



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS  
DEL INSTITUTO POLITÉCNICO NACIONAL**

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

**EXTRACCIÓN DE PARÁMETROS DE  
TUNELAMIENTO FOWLER-NORDHEIM EN  
TRANSISTORES FGMOS Y SU MODELO ANALÓGICO  
PARA SIMULACIÓN DE PROGRAMACIÓN CON  
SPICE**

**Tesis que presenta**

Ing. Gaspar Casados Cruz

**para obtener el grado de**

**Doctor en Ciencias**

**en la especialidad de**

Ingeniería Eléctrica

**Director de Tesis:** Dr. Mario Alfredo Reyes Barranca

México, D.F.

Marzo 2009.



# Agradecimientos

- A mi Director de Tesis: Dr. Mario Alfredo Reyes Barranca; por ser mi Asesor, mi Profesor y apoyarme hasta el final como solo lo hace un verdadero Amigo.
- A los miembros de mi Jurado: Dr. Alejandro Ávila García, Dr. José Antonio Moreno Cadenas, Dr. Jesús Ezequiel Molinar Solís y Dr. Victor Hugo Ponce Ponce; por sus valiosas observaciones y muy especialmente por revisar en tan corto tiempo el manuscrito de esta Tesis.
- A los Dres. Magali Estrada del Cueto y Antonio Cerdeira Altuzarra; por las deferencias que han tenido para mi persona y por su interés en que concluyese esta etapa.
- A mis profesores, por compartir conmigo su vasto conocimiento.
- Al Colegio de Profesores de la SEES; por darme la oportunidad de concluir este trabajo.
- Al Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional; por ser valuarte de Ciencia en México
- Al Consejo Nacional de Ciencia y Tecnología; por la Beca otorgada para la realización de mis estudios.



# Contenido

<b>Prefacio</b>	<b>xiii</b>
<b>Preface</b>	<b>xvii</b>
<b>Objetivos</b>	<b>xxi</b>
<b>1 Introducción</b>	<b>1</b>
1.1 El Transistor MOS de Compuerta Flotante . . . . .	1
1.2 El FGMOS y las Redes Neuronales Artificiales . . . . .	7
1.3 Problemas con el uso del FGMOS como Memoria Analógica . . . . .	8
<b>2 Celda de Almacenamiento. Principios de Operación</b>	<b>11</b>
2.1 Grabado de la Celda . . . . .	11
2.2 Modelo SPICE de Simulación para la Celda de Almacenamiento . . . . .	16
2.3 Aproximaciones al Control Lineal de Inyección o Extracción de Carga de la Compuerta Flotante del FGMOS . . . . .	20
2.4 Selección del Método de Control de Carga . . . . .	27

2.5	Comparador Analógico . . . . .	30
2.6	Propuesta de Mejora para el proceso de Grabado en una Memoria Analógica . . . . .	35
<b>3</b>	<b>Desarrollo Experimental y Discusión de Resultados</b>	<b>39</b>
3.1	Diseño de la Celda de Almacenamiento . . . . .	39
3.2	Determinación del Coeficiente de Acoplamiento $\alpha_{CG}$ del FGMOS . . . . .	46
3.3	Extracción de los Coeficientes de Tunelamiento Fowler-Nordheim . . . . .	55
3.4	Diseño del Comparador Analógico Síncrono . . . . .	64
<b>4</b>	<b>Diseño Topológico</b>	<b>71</b>
4.1	Proceso de Fabricación del Circuito Integrado . . . . .	71
4.2	Celda de Almacenamiento y Transistor de Referencia . . . . .	72
4.3	Comparador Analógico . . . . .	76
4.4	Circuito Integrado Completo . . . . .	78
	<b>Conclusiones</b>	<b>81</b>
	<b>Apéndices</b>	
<b>A</b>	<b>Código SPICE de las Simulaciones</b>	<b>83</b>
A.1	Simulación de la Programación de la Celda de Almacenamiento sin usar y usando un esquema de retroalimentación . . . . .	84
A.2	Simulación del Comparador Analógico Síncrono . . . . .	86
A.3	Simulación de la Celda de Almacenamiento y el Comparador Analógico. . . . .	88

---

A.4 Simulación del Experimento para la Determinación de los Parámetros de Tunelamiento Fowler-Nordheim . . . . .	91
<b>B Programas de Computadora</b>	<b>93</b>
B.1 Programa Auxiliar para la Determinación del Coeficiente de Acoplamiento $\alpha_{CG}$ y del Voltaje de Umbral. . . . .	93
B.2 Programa de Interpolación. Programa de Interpolación. . . . .	100
<b>Bibliografía</b>	<b>107</b>





# Lista de Figuras

1.1	Estructura del FGMOS de Kahng y Sze. . . . .	2
1.2	Estructura actual de un FGMOS. . . . .	3
1.3	Circuito Equivalente del FGMOS. . . . .	4
2.1	Diagrama de Bandas de Energía para la estructura inyector–compuerta-flotante.	12
2.2	Proceso de Grabado en la Celda de Almacenamiento. . . . .	13
2.3	Simulación del Proceso de Grabado aplicando varios pulsos consecutivos. . .	15
2.4	Circuito equivalente simplificado para un FGMOS. . . . .	18
2.5	Circuito equivalente para la Celda de Almacenamiento que incluye el tunelamiento Fowler-Nordheim. . . . .	19
2.6	Celda de Almacenamiento de Fujita y Amemiya. . . . .	21
2.7	Comportamiento durante la programación de la Celda de Fujita. . . . .	22
2.8	Celda de Almacenamiento de Lanzoni. . . . .	23
2.9	Comportamiento de la Celda de Lanzoni. . . . .	24
2.10	Celda de Almacenamiento de Shibata y Omi. . . . .	25
2.11	Simulación del esquema de retroalimentación. . . . .	29

2.12	Comparador Analógico Síncrono. . . . .	32
2.13	Simulación SPICE del Comparador Analógico. . . . .	34
2.14	Circuito propuesto para mejorar el proceso de grabado de una Memoria Analógica. . . . .	36
2.15	Simulación del circuito propuesto para mejorar el proceso de grabado en una Memoria Analógica. . . . .	37
3.1	Estructura Inyector–Compuerta–flotante simple. . . . .	40
3.2	Estructura Extractor–Compuerta–flotante simple. . . . .	42
3.3	Montaje experimental para la Caracterización Eléctrica del Transistor de Referencia y la Celda de Almacenamiento. . . . .	43
3.4	Curva de Transconductancia, medida y simulada, para el Transistor de Referencia. . . . .	44
3.5	Montaje experimental para comprobar la inyección y extracción de carga en la Celda de Almacenamiento. . . . .	45
3.6	Efecto de la extracción de carga desde la compuerta flotante de la Celda de Almacenamiento. . . . .	45
3.7	Efecto de la inyección de carga hacia la compuerta flotante de la Celda de Almacenamiento. . . . .	46
3.8	Procedimiento de obtención de $\alpha_{CG}$ . Transistor de Referencia. . . . .	51
3.9	Procedimiento de obtención de $\alpha_{CG}$ . Celda de Almacenamiento. . . . .	52
3.10	Celda Real y Simulación con $V_{fg} = -6.6205$ V. . . . .	54

---

3.11	Celda Real y Simulación con $V_{fg} = -1.1943$ V. . . . .	54
3.12	Simulación del comportamiento de la corriente Drenador-Fuente, durante la aplicación de una rampa lineal en la terminal extractora. . . . .	57
3.13	Gráfica FN de la región de alta corriente de tunelamiento en la simulación. . . . .	59
3.14	Montaje experimental para la determinación de los coeficientes de tunelamiento Fowler-Nordheim. . . . .	60
3.15	Formas de onda experimentales para la determinación de los coeficientes de tunelamiento. . . . .	62
3.16	Comparación entre una celda medida y una simulada empleando los valores de los coeficientes de tunelamiento obtenidos con la metodología propuesta. . . . .	63
3.17	Comparador Analógico Síncrono Completo. . . . .	65
3.18	Prueba del Comparador Analógico. . . . .	67
3.19	Respuesta del Comparador para distintos valores del Voltaje de Referencia. . . . .	69
4.1	Diseño Topológico de la Celda de Almacenamiento. . . . .	73
4.2	Fotografía de la Celda de Almacenamiento fabricada. . . . .	73
4.3	Diseño Topológico del Transistor de Referencia. . . . .	75
4.4	Fotografía del Transistor de Referencia fabricado. . . . .	76
4.5	Diseño Topológico del Comparador Analógico. . . . .	77
4.6	Fotografía del Comparador Analógico fabricado. . . . .	77
4.7	Topología del Circuito Integrado Completo. . . . .	78
4.8	“Dado” final del Circuito Integrado fabricado. . . . .	79



# Lista de Tablas

3.1	Determinación de $\alpha_{CG}$ , $V_{fg}^Q$ y $V_{TH}$ . . . . .	53
3.2	Dimensiones de los Transistores MOS usados en el Comparador Analógico. .	66
3.3	Prueba de Linealidad del Comparador Analógico. . . . .	68



# Prefacio

Desde la aparición de los transistores MOS de compuerta flotante, FGMOS, se han hecho estudios que encuentran nuevas aplicaciones a este dispositivo, mostrando su gran versatilidad tanto en el área de electrónica digital como en la analógica. Su concepción inicial introdujo al FGMOS como memoria en los circuitos digitales, en los que su único propósito era almacenar un “cero” lógico o un “uno” lógico. Este era un alcance limitado para la capacidad de operación que se le ha venido encontrando a este transistor con el paso de los años. Inicialmente, su estudio como memoria comprendía la optimización en su tiempo de respuesta para evitar algunos fenómenos parásitos que se presentaban durante su programación. Esta optimización se centraba en la configuración de la estructura, que básicamente está compuesta de dos compuertas colocadas una sobre la otra, donde aquella que estaba sobre la región de canal, estaba completamente aislada, sin tener ningún contacto eléctrico al exterior, lo que sí tenía la compuerta superior. El arreglo de estas dos compuertas llevó a hacer diferentes propuestas de configuración, pero éstas fueron siempre a nivel laboratorio, o bien, implementadas en las fábricas de firmas comerciales, las cuales obviamente no revelan sus tecnologías sobre las que basan la fabricación de sus arreglos de memorias. Esto lleva a

los investigadores y medio académico, a recurrir a tecnologías estándar, que afortunadamente están a su disposición en diferentes partes del mundo, a precios relativamente accesibles y a donde pueden enviar sus diseños para evaluar prototipos con fines de investigación y optimización de fenómenos que se presentan en este tipo de dispositivos. Usando este último recurso, el grado de libertad para la investigación y desarrollo (I&D) es también limitado, ya que los parámetros tecnológicos de cada una de las tecnologías disponibles están fijos por la fábrica y no se puede influir en variables como el espesor del óxido de compuerta, voltaje de umbral, capacitancias por unidad de área, etc., para influir a su vez en parámetros de velocidad y capacidad de almacenamiento, por ejemplo. Queda entonces al investigador, sacar provecho de las estructuras CMOS ofrecidas por las fábricas, proponiendo configuraciones o geometrías que optimicen el desempeño del FGMOS, pero que además, extiendan su campo de acción hacia la electrónica analógica.

Surgen entonces estudios que demuestran que el FGMOS puede ser empleado, por ejemplo, en Redes Neuronales Artificiales (RNAs), área en la cual los transistores de compuerta flotante encuentran aplicación como elementos sinápticos cuya función es almacenar valores denominados “pesos”, los que pueden ser modificados conforme una regla de aprendizaje. Además, al ser un elemento de memoria considerado no-volátil, por su propiedad de retención de carga a largo plazo, permitiría configurar arquitecturas que no “olviden” lo que se les ha enseñado, al ser diseñadas RNAs para una aplicación específica. Es entonces que a partir de esta extensión en su campo de acción, se da un impulso al estudio de nuevas propiedades del FGMOS y a la optimización de su desempeño en función de las características eléctricas de



la estructura básica que se puede diseñar en una tecnología estándar. Estos estudios llevan por diferentes caminos según el interés de aplicación y en particular la dirección que se le quiere dar a este trabajo de tesis, se centra en hacer una propuesta que permita reducir la no linealidad de la cantidad de portadores que se inyectan/extraen de la compuerta flotante, durante el proceso de programación, originado por la dependencia exponencial de la corriente de tunelamiento Fowler-Nordheim (FN); también, se pretende extraer los parámetros de tunelamiento FN característicos de la ecuación que modela este fenómeno, los cuales dependen de la tecnología. Esto ayudará a su vez, a modelar la programación eléctrica del dispositivo en un régimen dinámico, con la intención de simular y analizar arquitecturas de Redes Neuronales Artificiales y algoritmos de aprendizaje en línea. Por último, el trabajo abordado incluye la propuesta de un modelo para simuladores tipo SPICE, ya que modelos de transistores FGMOS en comportamiento dinámico no están regularmente incluidos en este tipo de simuladores. Contar con un modelo, ayuda a simplificar el análisis de circuitos para los propósitos indicados.

En el Capítulo 1 hacemos una breve descripción de la estructura de un transistor de compuerta flotante, su circuito equivalente y de las aplicaciones que tiene en la actualidad, enfocándonos al mismo tiempo en los problemas que presenta su uso en memorias del tipo analógico.

El Capítulo 2 es un estudio más detallado del uso del Transistor FGMOS como Memoria o Celda de Almacenamiento del tipo analógico, estudiándose los problemas derivados de la naturaleza no lineal de los fenómenos físicos involucrados en el proceso de programación de

la misma en especial el tunelamiento Fowler-Nordheim. Se hace una revisión de varias alternativas para resolver el problema de la no linealidad del proceso de inyección de carga hacia la compuerta flotante del FGMOS y se propone una alternativa que pueda implementarse en una tecnología de fabricación estándar. Se propone un modelo sencillo para usarse con simuladores de circuitos eléctricos como NGSPICE o PSpice que nos auxilie en el diseño de circuitos que empleen al FGMOS como elemento de memoria analógica.

En el Capítulo 3 se diseña una Celda de Almacenamiento para ser utilizada como memoria analógica y que, apoyada con los circuitos adecuados, presente una característica más lineal en lo concerniente a la cantidad de carga que se le extrae o inyecta al programarse. Se desarrolla una metodología para obtener dos parámetros importantes del FGMOS: el coeficiente de acoplamiento de la compuerta principal y el potencial en su compuerta flotante debido a la carga en ella almacenada. Se comprueba experimentalmente el proceso de inyección y extracción de carga y se prueban los circuitos que ayudarán para lograr controlar la cantidad de ella que se agrega o sustrae del FGMOS. De igual forma se presenta un método alternativo para determinar los coeficientes de tunelamiento Fowler-Nordheim, información indispensable para la simulación de circuitos que usen al FGMOS como memoria analógica.

El Capítulo 4 presenta los diseños topológicos de la Celda de Almacenamiento y los circuitos adicionales que en conjunto harán que la misma presente las características deseadas en cuanto al control de carga.

Finalmente, en el Capítulo 5 se presentan las conclusiones del trabajo realizado.

# Preface

Since floating-gate MOS transistors, FGMOS, has been appeared, studies have been done that find new applications for this device, showing its versatility in digital electronics area and for analog area as well. In the beginning, the FGMOS was used as memory in digital circuits, with storage of a logic “zero” or a logic “one” as its only purpose. This was a limited use as compared with the capabilities that has been found for this device along years. Firstly, studies about FGMOS as a memory, had their main subject on optimize its time-response, in order to avoid some unwanted phenomena which had been occurred at programming time. Such works had focused on the cell structure, which is a stack of two gates basically, the one over the channel region was fully isolated, without any external connexion to it, while the other one has. This two-gate arrangement led to different configuration approaches, but this had been done mainly in laboratories of commercial foundries, which doesn't reveal its technological processes. This also leads academic researchers and faculty to use some standard technologies, which are available in different countries at relatively low prices, so they can send designs intended for “basic research”, like studies about phenomena that take place in the device or for testing new applications. Using this last resource, the degree

---

of freedom for research and development (R&D) is limited also, because the technological parameters of every available fabrication process are fixed, and it is not possible to change items like gate oxide thickness, threshold voltage, capacitances per area unit, doping dose, etc. which have influence, for instance, in data transfer speed, storage capacity, breakdown voltages, etc. Then, researchers have to take the most advantages from the CMOS structures offered by silicon foundries, making proposals of configurations or geometric designs to increase FGMOS performance and to extend its use to analog electronics.

New studies arises showing that FGMOS can be used, for instance, in Artificial Neural Networks (ANNs), where floating-gate transistors are employed as synapse elements, keeping values known as “weights”, which can be modified according to a learning-rule. Additionally, as a non-volatile memory element due to its long-term charge-retention property, will allow configuring architectures that do not “forget” what has been trained to, as they have been designed as part of an ANN. Then, as a consequence of this novel use of FGMOS, a new impulse is given to studies about its properties and about optimize its performance as it depends on the electrical characteristics of the basic-cell that can be designed using a standard technology. Those studies lead to research in different ways depending on applications interest and this thesis in particular, focuses in making a proposal to reduce the non-linearity of the electrical charge amount that is extracted or injected during the cell programming process, originated from the exponential dependence of Fowler-Nordheim (FN) tunneling current; along with this, an extraction of the tunneling-equation parameters will be done which are characteristic of an specific technology. This will help in modeling the device pro-

---

gramming process, as part of the purpose of analyze and simulate Artificial Neural Networks and their “in-line” learning algorithms. Finally, this work includes an FGMOS dynamics model proposal for SPICE-like circuit simulators, this is because a model like that is not included in such simulators and, having one, helps to make simple the circuit analysis for the already mentioned purposes.

Chapter 1 is a brief description of the floating-gate transistor, including its structure, equivalent circuit, applications and some issues about its use as analog memory.

Chapter 2 is a more in-depth study of the FGMOS transistor used as an analog Memory or Storage-Cell, this study focuses on arising problems from the non-linear behavior of the physic phenomena involved in the cell programming, special attention has been put on Fowler-Nordheim tunneling. A review of some proposals to solve the non-linearity of the charge injection to the FGMOS’ floating gate is done also, and a suitable configuration for a storage-cell employing a standard fabrication process is proposed. We improve the simple FGMOS capacitive model by including FN tunneling injection/extraction, this model is intended to be used in electrical circuits simulators like NGSPICE or PSpice, for helping in the designing of circuits where FGMOS is employed as an analog memory element.

Chapter 3 presents a storage-cell design for being used as an analog memory, along with support-circuits, which shows a more linear behavior about charge injected or extracted during programming. A methodology for knowing two important FGMOS parameters: the gate coupling coefficient and the floating gate potential due to stored charge, was developed. The injection and extraction phenomenon was verified experimentally and the circuits that will

help in achieving the charge control goal were tested. An alternative method for knowing the Fowler-Nordheim tunneling parameters is presented also, this information is required for simulation of circuits that employ FGMOS as analog memories.

Chapter 4 shows the layouts of the Storage-Cell and the circuits that helps in achieving the desired charge-control characteristic for the storage-cell itself.

Finally, Conclusions about the work done are enumerated in Chapter 5.

# Objetivos

## Objetivo General

La presente tesis tiene como objetivo el estudio de las características de programación de los transistores MOS de compuerta flotante, FGMOS, integrados con tecnología estándar. De este estudio, se pretende establecer condiciones apropiadas de diseño de este tipo de dispositivos, así como contar con los parámetros necesarios para realizar simulaciones eléctricas que modelen adecuadamente el comportamiento de programación realizado, principalmente en aplicaciones analógicas como las Redes Neuronales Artificiales, RNA. Contando con estas herramientas, se tendrá posibilidad de realizar simulaciones de arquitecturas de RNAs para la implementación de algoritmos de aprendizaje en línea, empleando transistores FGMOS como elementos sinápticos.

## Objetivos particulares

Se plantean como objetivos particulares, los siguientes:

- 1) Establecer una metodología con la cual se puedan encontrar, de manera rápida y sencilla, los valores de los coeficientes de tunelamiento Fowler-Nordheim (FN), para cualquier tecnología empleada en la fabricación de circuitos integrados CMOS.
- 2) Proponer una estructura basada en un FGMOS, en la que reduzcamos los efectos de la variación exponencial del proceso de inyección/extracción de carga, resultando una mejora en el control de la programación de los transistores.
- 3) Proponer un modelo sencillo del FGMOS para su simulación en el proceso de programación analógica y su comprobación con celdas de almacenamiento estándar, como las empleadas en configuraciones de RNAs.

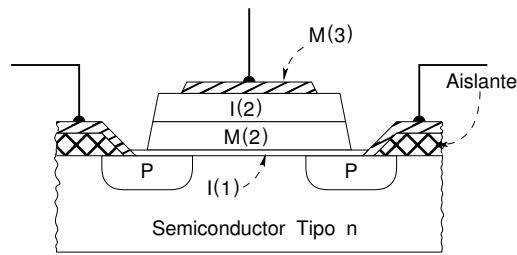


# Capítulo 1

## Introducción

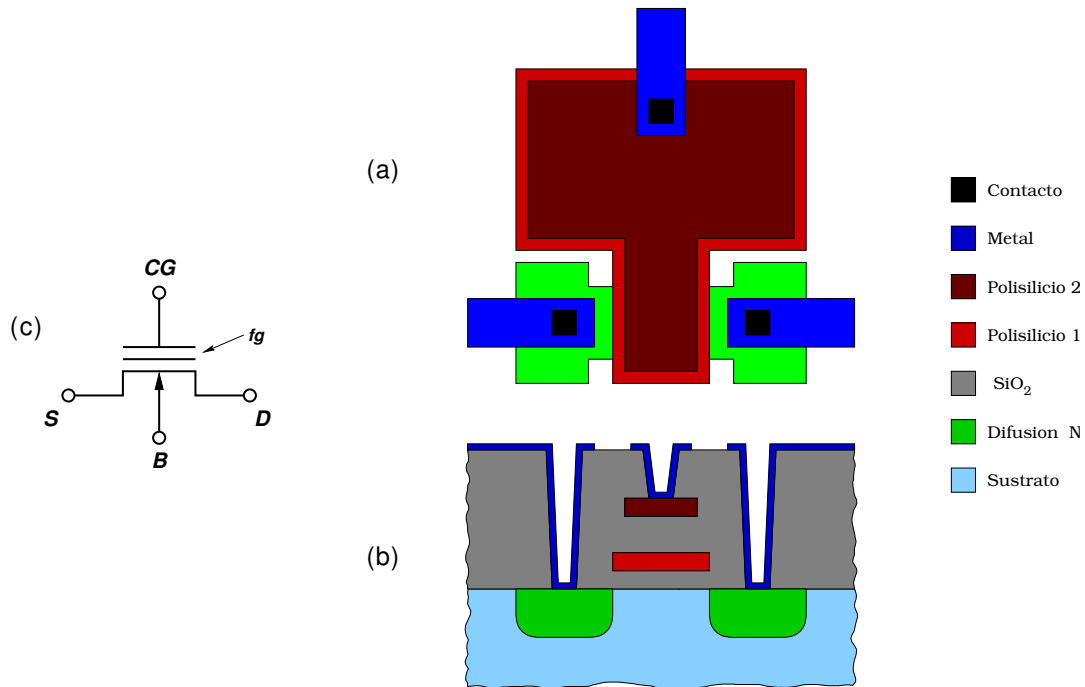
### 1.1 El Transistor MOS de Compuerta Flotante

El Transistor Metal-Óxido-Semiconductor de Compuerta Flotante (FGMOS) fue estudiado por primera vez en 1967 por D. Kahng y S. M. Sze. Se estableció como su característica principal la capacidad de recibir carga eléctrica en su –así denominada desde el principio– “compuerta flotante” y retenerla por periodos de tiempo de hasta una hora, augurándosele un futuro promisorio como elemento de memoria biestable [1]. La Figura 1.1 muestra la estructura primitiva de este dispositivo, en ella apreciamos una estructura de columna construida sobre el sustrato. I(1) es una capa aislante de Óxido de Silicio crecido térmicamente, M(2) es una capa metálica de Zirconio que actúa como compuerta flotante, I(2) es una segunda capa aislante, en este caso de Dióxido de Zirconio y finalmente una capa metálica de aluminio, M(3), como contacto. Actualmente, para su fabricación se sigue un proceso tecnológico que incluye el depósito y grabado de dos capas de silicio policristalino. En la



**Figura 1.1** Estructura del FGMOS de Kahng y Sze.

primera de ellas se define el patrón geométrico que forma el electrodo de compuerta como si se tratase de un transistor convencional, sin embargo, dicha zona de material se deja sin conexión eléctrica. El siguiente paso es crecer una capa de óxido de silicio, por lo que la compuerta se rodea completamente por este material aislante, denominándosele ahora, compuerta flotante (*fg*). Se realiza un nuevo depósito de silicio policristalino y en esa capa se define un polígono que tenga un área de traslape sobre el área de la compuerta flotante, esta zona sí tendrá contacto eléctrico, por lo que el voltaje que se aplique en ella, inducirá electrostáticamente un potencial en la compuerta flotante, el que establecerá el estado de conducción del transistor. Debido a lo anterior, dicha estructura se denomina compuerta de control (*CG*). Las terminales restantes preservan su nomenclatura del transistor MOS convencional: Fuente (*S*), Drenador (*D*) y Sustrato (*B*), tal como se ilustra en la Figura 1.2.



**Figura 1.2** Estructura actual de un FGMOS de Canal N. (a) Vista superior. (b) Vista frontal. (c) Símbolo eléctrico.

### 1.1.1 Circuito Eléctrico Equivalente del FGMOS

La compuerta flotante forma capacitores con las estructuras que le rodean, siendo las principales las que forma con la compuerta de control ( $C_{CG}$ ), con el sustrato en el área del canal del transistor ( $C_{OX}$ ), con el área de traslape de Drenador ( $C_D$ ) y de Fuente ( $C_S$ ). Existen otras capacitancias entre las que destacan la formada por el área de la compuerta flotante que se encuentra sobre el llamado “óxido de campo” ( $C_{FOX}$ ) y la llamada capacitancia de deserción de sustrato ( $C_{dep}$ ). Con estos elementos se establece el circuito equivalente para el FGMOS mostrado en la Figura 1.3.

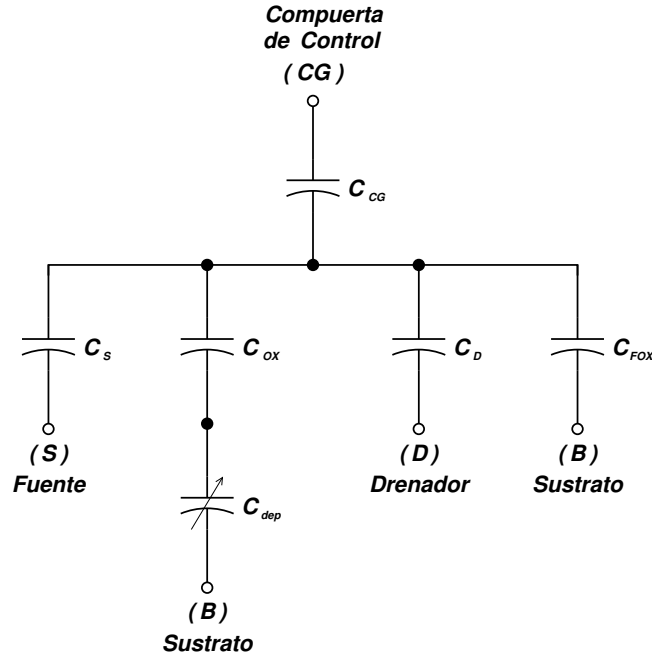


Figura 1.3 Circuito Equivalente del FGMOS.

Del circuito equivalente se deduce que el potencial de la compuerta flotante,  $V_{fg}$ , está determinado por la carga inducida por los potenciales de Compuerta  $V_G$ , de Drenador  $V_D$ , de Fuente  $V_S$  y de Sustrato  $V_B$ ; además de la carga real que se encuentre atrapada en la misma, de acuerdo a:

$$V_{fg} = \frac{C_{CG}}{C_{Tot}} V_G + \frac{C_D}{C_{Tot}} V_D + \frac{C_S}{C_{Tot}} V_S + \frac{C_{FOX}}{C_{Tot}} V_B + \frac{\frac{C_{OX} \times C_{dep}}{C_{OX} + C_{dep}}}{C_{Tot}} V_B + \frac{Q_{fg}}{C_{Tot}} \quad (1.1)$$

donde

$$C_{Tot} = C_{CG} + C_D + C_S + C_{FOX} + \frac{C_{OX} \times C_{dep}}{C_{OX} + C_{dep}} \quad (1.2)$$

En (1.1) las fracciones  $C_X/C_{Tot}$  se conocen como *coeficientes de acoplamiento*  $\alpha_X$ . Los valores de éstos no son constantes debido a que las capacitancias, a excepción de  $C_{CG}$  y  $C_{FOX}$ ,

son dependientes de los potenciales asociados, lo que da como resultado que se obtengan diferentes valores para los mismos, dependiendo de las condiciones de polarización. Si el FGMOS se encuentra en la región subumbral, la combinación en serie de  $C_{ox}$  y  $C_{dep}$  es menor que  $C_{ox}$ . Por el contrario, al operar el FGMOS mas allá del voltaje de umbral ( $V_{TH}$ ) se habrá formado el canal, entonces si la terminal de Fuente se encuentra aterrizada, la capacitancia vista desde la compuerta flotante será  $C_{ox}$  únicamente. De acuerdo con lo anterior, el valor de  $C_{Tot}$  será menor en condición de subumbral que en condiciones de inversión fuerte ( $V_{fg} > V_{TH}$ ), por lo que se tendrá un valor mayor de  $\alpha_{CG}$  en condición de subumbral [2]. No obstante, en ocasiones es adecuado considerar constantes los coeficientes de acoplamiento con la finalidad de simplificar el diseño y simulación de circuitos que involucren el uso de transistores de compuerta flotante.

### 1.1.2 Usos del FGMOS

La utilidad que se dio en un principio al FGMOS, fue como celda de almacenamiento (de tipo permanente) en memorias digitales, ya que el óxido de silicio que rodea a la compuerta flotante es un excelente aislante, que no permite se disipe la carga contenida en la misma, al menos en corto tiempo. Se ha estimado una capacidad de retención de al menos diez años. En las memorias digitales (EPROM, Flash EPROM y EEPROM), se agrega o extrae carga, es decir electrones, de la compuerta flotante con la finalidad de que el transistor que constituye la celda, se encuentre en estado de conducción o de corte, cuando se polarize la compuerta de control con el voltaje que representa el estado lógico alto. Los mecanismos utilizados

para dicho propósito son los “electrones-calientes”, el tunelamiento Fowler-Nordheim y la exposición a luz ultravioleta. La inyección de carga mediante electrones calientes consiste en aplicar un voltaje elevado a la terminal Drenador del transistor de la memoria, con lo que se logra que los electrones se aceleren lo suficiente para que algunos de ellos remonten la barrera de potencial de la interfaz Si – SiO<sub>2</sub> y queden atrapados en la compuerta flotante. El tunelamiento Fowler-Nordheim se da en estructuras conductoras separadas por un aislante de espesor cercano a los 20 nm o menos y consiste en que al aplicar un potencial de un valor tal que se establezca un campo eléctrico igual o superior de 10<sup>6</sup> V/cm, denominado *campo eléctrico crítico*, cuidando de no llegar a la ruptura del dieléctrico, la barrera de potencial se hace más angosta, permitiendo el paso de electrones a través de ella. Este fenómeno tiene la propiedad de ser bidireccional, es decir, que dependiendo de la polaridad del voltaje aplicado, los electrones serán inyectados o extraídos de la compuerta flotante. El uso de luz ultravioleta (UV) aprovecha el hecho de que al incidir ésta sobre el óxido de silicio, proporciona a algunos pares electron-hueco débilmente ligados, la energía cinética suficiente para que logren remontar la barrera de potencial entre el material de la compuerta flotante y el mismo óxido, estableciéndose una corriente muy pequeña y si el tiempo de exposición a la luz UV es suficiente, se logra desalojar toda la carga de la compuerta flotante [3].

El uso del FGMOS continuó, durante algún tiempo, orientado hacia las memorias digitales, hasta que en 1989 se presentó un circuito integrado denominado ETANN en el que se empleaban dispositivos de compuerta flotante en un arreglo matricial. La salida de las celdas, en su modalidad de “corriente”, eran empleadas por circuitos multiplicadores [4]. A partir

de entonces han surgido numerosos estudios sobre el FGMOS como memoria analógica, impulsados en gran parte por la demostración del fenómeno de tunelamiento Fowler-Nordheim en estructuras de inyección fabricadas con un proceso CMOS estándar de doble capa de polisilicio [5]. Paralelo a esto, uno de los avances mas importantes se dió con el desarrollo de aplicaciones de cómputo analógico a partir de transistores de compuerta flotante de entradas múltiples [6].

## 1.2 El FGMOS y las Redes Neuronales Artificiales

Las redes neuronales artificiales son circuitos con la capacidad de “aprender” un comportamiento o respuesta cuando se le proporciona una cierta cantidad de datos de entrada. Estos circuitos se emplean en numerosas aplicaciones entre las que podemos mencionar el reconocimiento de patrones, la aproximación de funciones, clasificadores y sistemas de control [7]. Una vez que se ha determinado la utilidad de una red neuronal para resolver un problema particular, debe elegirse una arquitectura y un algoritmo de aprendizaje y una vez definidos los elementos de un red, continúa la etapa de entrenamiento, cuyo objetivo es encontrar los denominados pesos sinápticos que hacen a la red comportarse en la forma deseada. El método mas empleado para realizar lo anterior, es simular la red en un sistema de cómputo y una vez que se obtienen los valores numéricos de los pesos, almacenarlos en la red de manera permanente. En el caso de que exista un cambio en los valores de entrada, de salida o en ambos, la red tendrá que aprender nuevamente mediante simulación y actualizarse los pesos sinápticos en el circuito. Este modo de entrenamiento se conoce como

“fuera de línea” (off-line) y es el preferido cuando las redes a entrenar son similares, pocas en cantidad y, sobre todo, se encuentran disponibles para su inmediata reprogramación y el retirarlas de operación, para dicho propósito, no ocasiona algún tipo de problema. Sin embargo, existen situaciones en las que la red a entrenar, se encuentra en un ambiente donde existen cambios repentinos en sus datos de entrada y debe responder en el corto plazo o bien de tiempo en tiempo requiere adaptarse a cambios en alguno de sus parámetros de entrada o de salida. En estos casos es deseable que la red pueda entrenarse nuevamente sin intervención humana, esto es lo que se denomina entrenamiento “en línea”. Ésto es un gran reto para los diseñadores, ya que implementar en circuitos (hardware) los algoritmos de aprendizaje, aún el más simple de ellos, no es sencillo.

### **1.3 Problemas con el uso del FGMOS como Memoria Analógica**

Entre los problemas que se presentan al emplear el transistor FGMOS como memoria analógica, podemos mencionar como los más sobresalientes la no linealidad del proceso de inyección/extracción de carga, lo que resulta en una limitación en el conjunto de valores que se pueden almacenar en la celda. En las memorias digitales no hay necesidad de lograr dicho control porque lo importante es llevar al transistor de sensado a conducción o corte. El otro problema radica en que, durante el proceso de llevar el contenido de la memoria a un valor deseado, los potenciales que se aplican a la celda son tales que existe una influencia electrostática de los mismos sobre el potencial de la compuerta flotante. Esto se traduce en una diferencia entre el valor que se lee de la celda durante la programación y el que se lee



bajo condiciones normales de operación de la celda.

El problema de no linealidad surge de la naturaleza misma del fenómeno de tunelamiento Fowler-Nordheim, en el que la densidad de corriente,  $J$ , depende exponencialmente del campo eléctrico  $E$  [8], de acuerdo a:

$$J = \alpha E^2 \exp\left(-\frac{\beta}{E}\right) \quad (1.3)$$

Donde  $\alpha$  y  $\beta$  son valores denominados *coeficientes de tunelamiento* y son característicos para los diversos materiales involucrados en la estructura, llamada *inyector*, donde se verifica el fenómeno. Partamos del hecho de que tenemos una celda cuya compuerta flotante se encuentre sin carga. Si aplicamos al inyector un pulso rectangular de amplitud  $A$  y ancho  $W$ , la diferencia de potencial entre la compuerta flotante y el inyector será, en principio, la amplitud del pulso y si su magnitud es la suficiente para alcanzar el valor del campo eléctrico crítico, entonces habrá un flujo de electrones hacia la compuerta flotante que ocasiona una reducción en la diferencia de potencial entre ésta y el inyector, disminuyendo dicho flujo de electrones; el cual se suspende súbitamente si la duración del pulso es suficientemente corta. Si aplicamos un nuevo pulso similar al anterior, como la compuerta flotante ya tiene un potencial, ahora la diferencia será menor que en el caso anterior. Si el campo eléctrico aún es suficiente para que se presente el fenómeno de tunelamiento, la magnitud de la carga inyectada será menor. Este proceso se repite para los pulsos subsecuentes hasta que se llega a una situación en que la diferencia de potencial no es suficiente para que se verifique el tunelamiento y cesa el proceso de inyección de carga. Es por esta razón que el tunelamiento Fowler-Nordheim es autolimitado.

Lo anterior ha dado origen a una línea de investigación para los FGMOS empleados como memoria analógica en las Redes Neuronales Artificiales, donde la reducción de los efectos originados por esta dependencia exponencial, mejora la resolución en voltajes o corrientes que se tiene para los pesos sinápticos.

Por lo que respecta al problema de la influencia electrostática, sobre la compuerta flotante del FGMOS, de los potenciales aplicados a la celda durante la programación, se ha buscado que los inyectores sean de las mínimas dimensiones posibles para disminuir su capacitancia. Junto con esto se puede incrementar las capacitancias restantes del FGMOS para minimizar aún más el coeficiente de acoplamiento de la estructura de inyección. Sin embargo, esto último representa un compromiso, ya que para lograrlo se aumentan las dimensiones de la celda ya sea del transistor o del capacitor formado por la compuerta de control y la compuerta flotante, lo que reduce la densidad de celdas en un área determinada.

Otro problema relacionado, más con el diseño de aplicaciones que utilizan al FGMOS que con el dispositivo en sí, es que no se cuenta con modelos de simulación simples para las operaciones de agregar/eliminar carga de la compuerta flotante del FGMOS y que podamos emplearlos con simuladores de circuitos de fácil acceso. Si bien existen modelos físicos completos que describen los fenómenos relacionados (Tunelamiento Fowler-Nordheim, Electrones calientes, etc.) requieren del uso, y modificación en ocasiones, de simuladores especiales que no están a nuestra disposición e.g. DAVINCI [9], ELDO [2], HFIELDS [10]. Por lo tanto, contar con un modelo sencillo nos permitirá trabajar en gran variedad de posibles usos del FGMOS, en los que se requiera programarlos.

## Capítulo 2

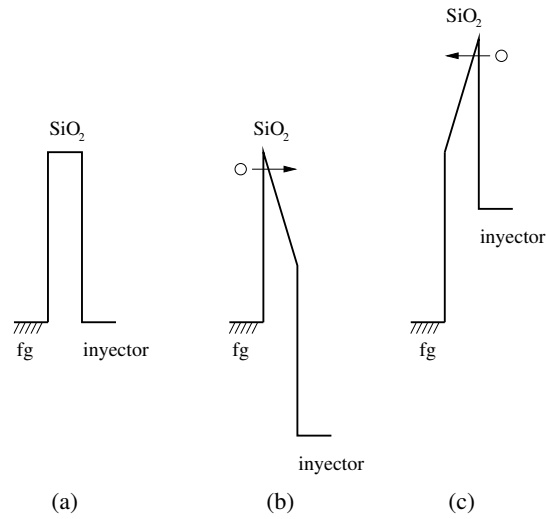
# Celda de Almacenamiento. Principios de Operación y Propuesta para el Mejoramiento de su Desempeño

### 2.1 Grabado de la Celda

Entenderemos por el término “grabar” o “programar” al hecho de agregar o sustraer carga (electrones) de la compuerta flotante de la Celda de Almacenamiento. Para este propósito se agrega, al FGMOS, una estructura denominada *inyector*. El fenómeno físico involucrado en el proceso, es el tunelamiento Fowler-Nordheim a través del óxido de silicio. Cuando la diferencia de potencial entre la compuerta flotante y el inyector es suficiente para establecer una intensidad de campo eléctrico crítica, se establece una corriente cuya densidad se encuentra dada por (1.3):

$$J = \alpha E^2 \exp\left(-\frac{\beta}{E}\right)$$

La Figura 2.1 muestra las bandas de energía de la estructura inyector–compuerta-flotante, tomando como referencia a ésta última. Suponiendo que no existe carga en la compuerta flotante y no hay voltaje aplicado en el inyector, las bandas están en el estado que se muestra



**Figura 2.1** Diagrama de Bandas de Energía para la estructura inyector-compuerta-flotante con distintos potenciales aplicados. (a) Cero, (b) Positivo y (c) Negativo.

en (a). Si se aplica un potencial positivo, las bandas son como se muestra en la parte (b) y la transferencia de electrones o *corriente de tunelamiento* se establece desde la compuerta flotante, por lo que se tiene una extracción de carga. Por el contrario, si el potencial aplicado es negativo las bandas quedan como se muestra en (c) y ahora la corriente de tunelamiento es hacia la compuerta flotante, teniéndose una inyección de carga.

Auxiliándonos de las gráficas en la Figura 2.2, cuyas escalas de tiempo (eje horizontal) están divididas en cinco regiones, describiremos el proceso de almacenamiento de carga en la celda mediante la aplicación de un pulso en el inyector. En (a) se muestra el pulso de programación  $V_{PP}$ , en (b) se tiene el potencial de compuerta flotante  $V_{fg}$  y en (c) la corriente de tunelamiento  $I_{tun}$ . En un principio, el pulso asciende desde cero a una razón de crecimiento constante y mientras no se alcance el campo eléctrico crítico, no existe la

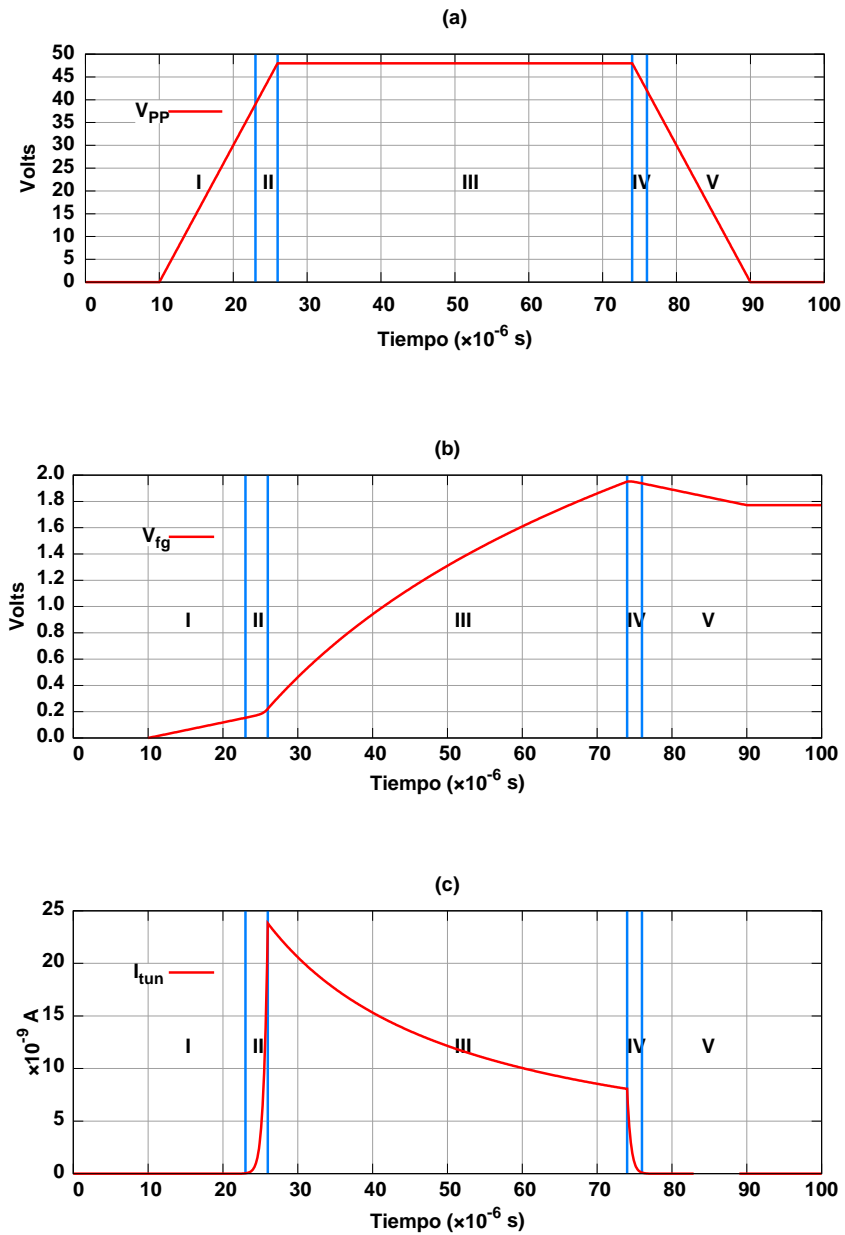
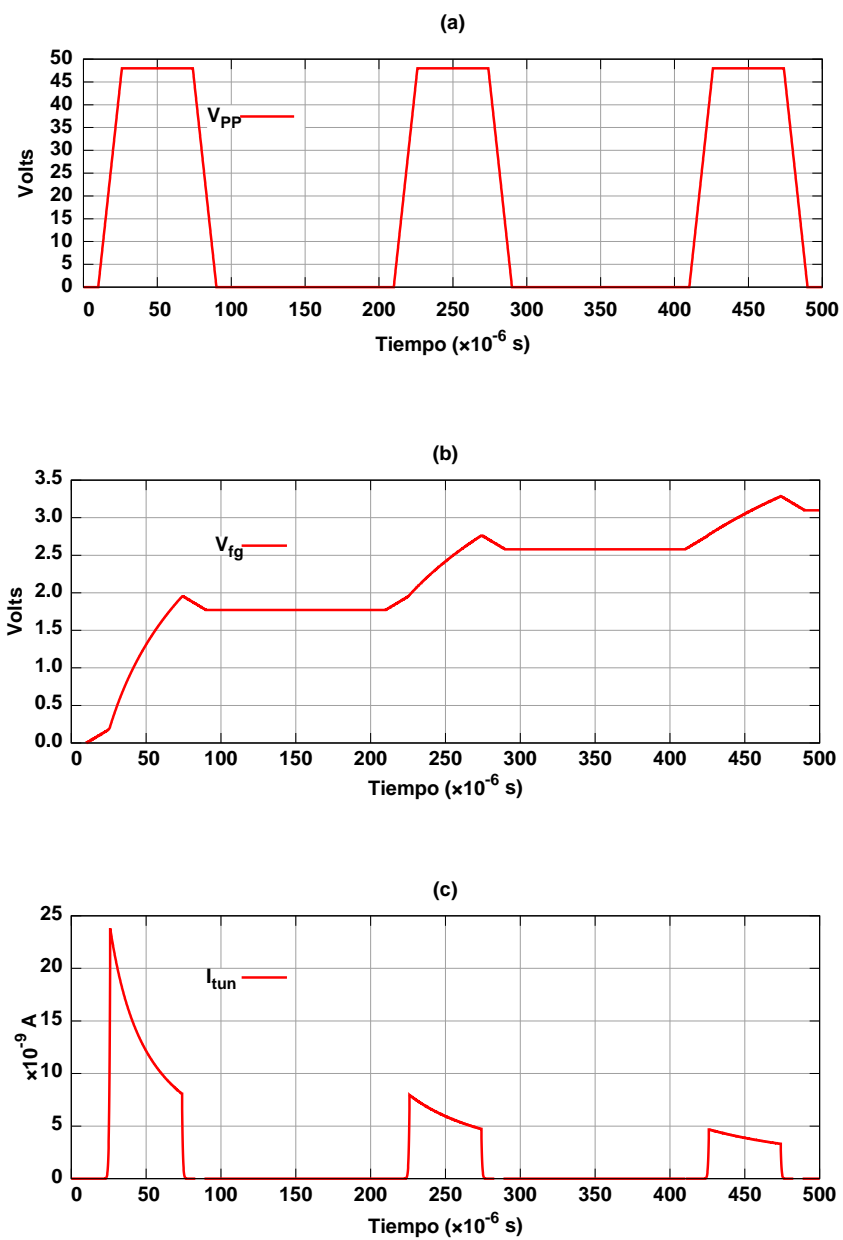


Figura 2.2 Proceso de Grabado en la Celda de Almacenamiento. (a) Pulso de Grabado  $V_{PP}$ , (b) Voltaje en la Compuerta Flotante y (c) Corriente de Tunelamiento.

corriente de tunelamiento (I). Sin embargo, se nota un incremento en el potencial de la compuerta flotante debido a la influencia electrostática de  $V_{PP}$  a través de la capacitancia de la estructura inyector–compuerta–flotante. Al iniciarse el tunelamiento, la corriente empieza a circular, extrayéndose carga de la compuerta flotante, dicha corriente crece rápidamente y detiene esta tendencia una vez que el pulso de programación alcanza su valor máximo (II).

La extracción de carga de la compuerta flotante hace que el potencial de la misma se haga positivo, lo que reduce la diferencia de potencial entre ella y el inyector, reduciéndose a su vez el campo eléctrico y la corriente de tunelamiento, proceso que continúa conforme se extrae más carga (III). Si el pulso es lo suficientemente corto en duración, en el momento en que se reduzca su amplitud, contribuirá al cese completo de la corriente de tunelamiento (IV). Una vez que cesa la corriente de tunelamiento, se nota un ligero descenso en el voltaje de la compuerta flotante, reducción que corresponde al desvanecimiento de la carga inducida por  $V_{PP}$ , la cual se anula por completo al llegar a cero el pulso de programación (V).

Anteriormente se enfatizó sobre la no linealidad del proceso de inyección de carga, comportamiento que visualizamos con ayuda de la Figura 2.3. En ella se presenta la aplicación de tres pulsos de igual amplitud y duración. Con el primer pulso de programación, siendo nulo el potencial de compuerta flotante, la diferencia de potencial entre ésta y el inyector es aproximadamente igual a  $V_{PP}$  y se extrae una cantidad de carga tal que, al término del pulso, el potencial de compuerta flotante es cercano a 1.75 V. Al aplicarse el segundo pulso, la diferencia de potencial mencionada es menor que durante el pulso previo, por lo que la corriente de tunelamiento inicial también lo es y en consecuencia la cantidad de carga ex-



**Figura 2.3** Simulación del Proceso de Grabado aplicando varios pulsos consecutivos. (a) Pulso de Grabado  $V_{PP}$ , (b) Voltaje en la Compuerta Flotante y (c) Corriente de Tunelamiento.

traída disminuye y el potencial final en la compuerta flotante se incrementa en menor grado, alcanzando un valor cercano a los 2.6 V. Finalmente, para el tercer pulso, la diferencia de potencial es menor aún y la carga extraída solo incrementa el potencial de compuerta flotante hasta los 3.1 V aproximadamente. De aquí, la necesidad de buscar alternativas para controlar la cantidad de carga que se inyecta o extrae de la celda en cada pulso, con lo que se tendrá una mejor resolución en el intervalo de voltaje que sea capaz de manejar la Celda de Almacenamiento.

## 2.2 Modelo SPICE de Simulación para la Celda de Almacenamiento

En la literatura existen numerosas propuestas, de circuitos equivalentes y modelos matemáticos, para representar el comportamiento eléctrico así como los fenómenos físicos presentes, durante las operaciones de escritura y borrado, en las celdas de memoria basadas en el transistor FGMOS. El modelo más empleado considera a la celda como un arreglo de capacitores [11] [12] [9] el cual, con algunas simplificaciones, es fácil de utilizar en simuladores de circuitos eléctricos, específicamente el denominado SPICE. Sin embargo, los fenómenos físicos que se presentan durante el proceso de escritura y borrado de la celda, no están incorporados en dicho modelo básico. En la literatura se encuentran algunos modelos para el FGMOS que incluyen dichos fenómenos [10], [13], [14]. Sin embargo, éstos requieren de un simulador especializado y la incorporación al mismo de las ecuaciones que describen los fenómenos físicos y que han de resolverse numéricamente. Esta tarea no es simple, porque precisa de tener acceso al código fuente del programa de simulación y estudiar la manera en

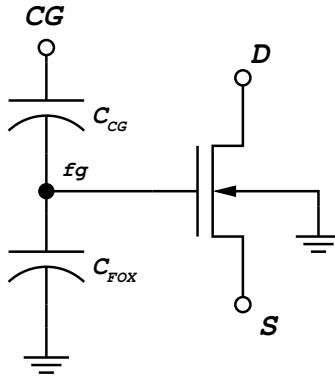


que se definen los dispositivos.

Nuestra celda de almacenamiento se fabricará utilizando una tecnología estándar (MOSIS AMIS-ABN 1.6  $\mu\text{m}$ ) que no entra en el rango de los dispositivos submicrométricos ni nos permite solicitar características especiales como espesores de óxido, niveles de dopaje, polisilicio de muy alta resistividad, etc. Por lo tanto, el modelo capacitivo es suficiente para realizar la simulación en un programa de distribución libre denominado NGSPICE, el cual es una versión mejorada del programa SPICE3f5 de la Universidad de Berkeley y está disponible en línea.

En la Figura 2.4 se muestra el circuito equivalente simplificado para un FGMOS. Éste se compone de los capacitores  $C_{CG}$  y  $C_{FOX}$  así como de un transistor MOS convencional. La capacitancia  $C_{OX}$  no se incluye de manera explícita ya que lo está dentro del modelo de simulación del transistor MOS convencional y es considerada en el momento de realizarse la simulación. No se han tomado en consideración las capacitancias que existen entre las terminales de Drenador y Fuente con la compuerta flotante, dado que su valor es pequeño y la inducción electrostática generada por los potenciales en ellas aplicados, no resulta significativa en nuestro caso. Además, la terminal de Fuente y el sustrato del dispositivo estarán conectados a tierra.

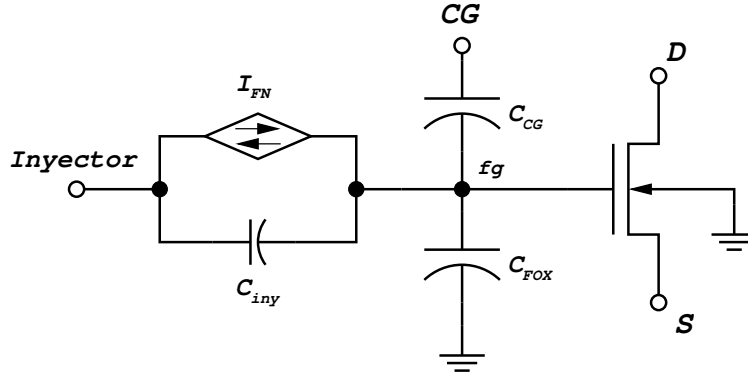
Es importante mencionar que este modelo, es para realizar una simulación en régimen transitorio, ya que el nodo de la compuerta flotante ( $fg$ ) no cuenta con una trayectoria de corriente directa (DC Path), lo que da origen a un error en el simulador si se pretende simular en el régimen de corriente directa. Esto parecería una desventaja, sin embargo, si



**Figura 2.4** Circuito equivalente simplificado para un FGMOS.

se requiere simular la curva de transconductancia o curva de transferencia de CD, basta con aplicar una fuente de voltaje de rampa lineal a la compuerta de control ( $CG$ ) y graficar  $I_{DS}$  contra  $V_{GS}$ .

Para poder simular el proceso de inyección/extracción de carga en la compuerta flotante del FGMOS, necesitamos incorporar al modelo una representación eléctrica del inyector y del fenómeno de tunelamiento Fowler-Nordheim. Físicamente, el inyector es un conductor que se sitúa por encima, o por debajo, de una zona determinada de la compuerta flotante y lo separa de ella una capa de óxido de silicio, por lo tanto, a la estructura inyector–compuerta–flotante la representaremos mediante un capacitor,  $C_{iny}$ . Por su parte, el tunelamiento Fowler-Nordheim implica el desplazamiento de electrones y es dependiente del campo eléctrico, el que a su vez depende del voltaje en la estructura inyector–compuerta–flotante, en consecuencia, le representaremos mediante una fuente de corriente controlada por voltaje,  $I_{FN}$ . El circuito equivalente del FGMOS, ampliado con nuestra propuesta, se muestra en la Figura 2.5. Nótese el carácter bidireccional de la fuente que representa el



**Figura 2.5** Circuito equivalente para la Celda de Almacenamiento que incluye el tunelamiento Fowler-Nordheim.

tunelamiento. La expresión que define a la corriente  $I_{FN}$  la obtenemos de la ecuación (1.3), para ello se asume, por simplicidad, que la estructura inyector–puerta–flotante es similar a un capacitor de placas paralelas de área  $A$ , separadas una distancia  $d$ . Entonces, el campo eléctrico  $E$ , presente en la estructura, queda definido por:

$$E = \frac{V}{d} \quad (2.1)$$

En consecuencia, si consideramos que el tunelamiento se verifica en toda el área del inyector, la ecuación (1.3) la reescribimos como:

$$I_{FN} = A\alpha \left( \frac{V_{tun}}{d} \right)^2 \exp \left( -\frac{\beta d}{V_{tun}} \right) \quad (2.2)$$

Donde  $V_{tun}$  es la diferencia de potencial en la estructura inyector–puerta–flotante y está determinado por:

$$V_{tun} = V_{iny} - V_{fg} \quad (2.3)$$

Siendo  $V_{iny}$  el voltaje aplicado al inyector.

Finalmente, nuestro modelo de simulación resulta ser simple y consiste de un transistor NMOS convencional, un arreglo de capacitores cuyos valores de capacitancia dependen de la topología de la celda y de los parámetros del proceso tecnológico empleado en su fabricación, además de una fuente de corriente controlada por voltaje. La inclusión de (2.2) en el programa de simulación es sencilla, ya que éste cuenta con la definición apropiada del dispositivo. Sin embargo, requerimos necesariamente de conocer los valores de los coeficientes de tunelamiento  $\alpha$  y  $\beta$ . En la literatura se reportan diferentes valores de los mismos [11][12][10][9][15], los que en un principio podremos usar en nuestro modelo para probarlo. No obstante, estos valores dependen de las características propias de los materiales con que se fabrique el inyector y de su construcción misma. En consecuencia, para el correcto modelado de nuestra Celda de Almacenamiento requerimos conocer el valor de los coeficientes de tunelamiento propios de la tecnología de fabricación que usaremos y debido a que no se encuentran reportados en la literatura, es necesario establecer una metodología para la extracción de los mismos en nuestros laboratorios.

### **2.3 Aproximaciones al Control Lineal de Inyección o Extracción de Carga de la Compuerta Flotante del FGMOS**

El uso de transistores FGMOS para aplicaciones analógicas, tiene como uno de sus principales retos, lograr controlar la cantidad de carga que se agrega o sustrae de la compuerta flotante, lo que aumentaría la resolución en el intervalo de voltaje que la celda sea capaz de manejar. Los intentos para lograr lo anterior se han orientado hacia el diseño de la

estructura de la celda o por el camino de implementar esquemas de monitoreo de carga y retroalimentación. Describiremos brevemente algunos de ellos. Fujita y Amemiya [16] propusieron en 1993 una celda, cuya topología se muestra en la Figura 2.6, en la cual una estructura inyectora se conecta a la compuerta flotante de un FGMOS a través de un resistor de muy alto valor ( $R_g$ ), en el orden de  $10^9 \Omega$ , hecho de polisilicio. También observamos un segundo inyector, que opera directamente sobre la compuerta flotante. Lo anterior tiene la finalidad de permitir comparar el comportamiento del dispositivo cuando se usa una u otra

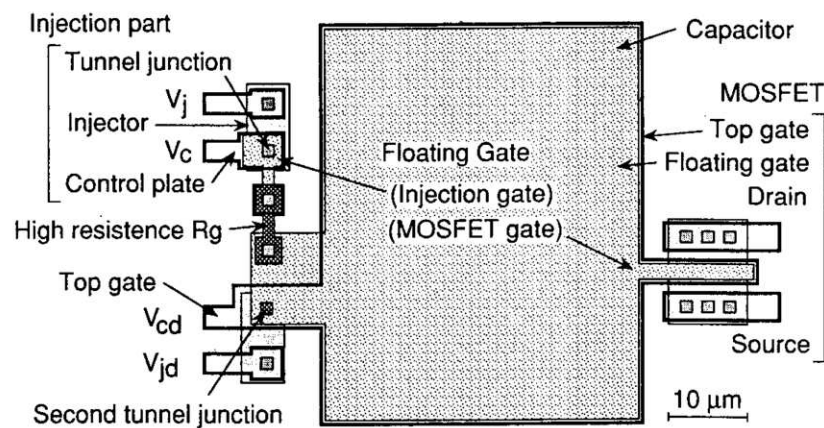
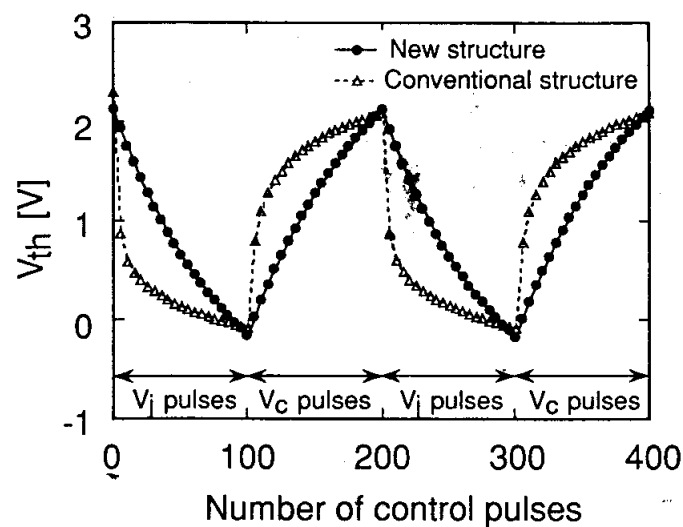


Figura 2.6 Celda de Almacenamiento de Fujita y Amemiya [16].

de las estructuras de inyección. Al ser la capacitancia del primer inyector mucho menor que la correspondiente al FGMOS, la carga que se inyecta o extrae a la *compuerta de inyección* (injection gate) es mucho menor en proporción a la que existe en la totalidad de la estructura. Por lo tanto, si se aplica un pulso de programación lo suficientemente angosto, será mínima la influencia de este potencial sobre la compuerta flotante. Después de aplicado el

pulso, la carga inyectada comienza a redistribuirse hacia la compuerta flotante a través del resistor mencionado, hasta que se alcanza el equilibrio electrostático; de esa forma logran un mejor control sobre la cantidad de carga agregada o extraída de la compuerta flotante del FGMOS en cada pulso, obteniéndose un cierto grado de linealización del proceso como se muestra en la Figura 2.7. En ella se compara la variación del voltaje de umbral conforme

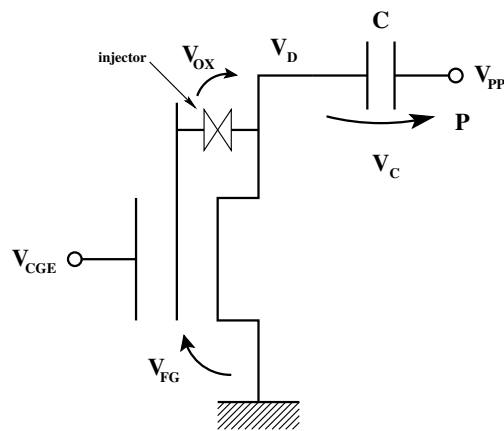


**Figura 2.7** Comportamiento durante la programación de la Celda de Almacenamiento de Fujita [16].

se inyecta o se extrae carga de la compuerta flotante, usando el inyector que transfiere carga directamente hacia ella (Conventional structure) o usando el inyector que lo hace a través del resistor de alto valor (New structure).

Lanzoni et. al. proponen, para una celda donde la inyección es a través del Drenador del FGMOS, agregar un capacitor (C) en serie con dicha terminal como se ilustra en la Figura 2.8 [17]. En este esquema, una de las condiciones a cumplir es que el valor de dicho

capacitor sea muy grande con respecto a la capacitancia total del FGMOS. Supongamos que inicialmente la carga en la compuerta flotante de la celda es negativa y por ser el transistor de canal N, bajo esta condición, éste no conduce corriente, entonces  $V_D \approx V_{PP}$ .



**Figura 2.8** Celda de Almacenamiento de Lanzoni et. al. [17].

Al incrementarse  $V_{PP}$  llegará un instante en que el voltaje a través del inyector,  $V_{OX}$ , alcance el valor adecuado para que comience a circular una corriente de tunelamiento. Dicha corriente extrae, en este caso, carga de la compuerta flotante, aumentando el potencial de la misma. Si  $V_{PP}$  continúa incrementándose, el tunelamiento persiste hasta el momento en que la carga extraída sea tal que el transistor alcance su voltaje de umbral y comience a conducir fuertemente, lo que rápidamente disminuye el voltaje de Drenador, suspendiéndose el tunelamiento. El voltaje de compuerta flotante para que suceda esto último, depende del valor presente en la compuerta de control durante el proceso de grabado en la celda, esto se explica partiendo de alguna de las ecuaciones que describen el comportamiento eléctrico del

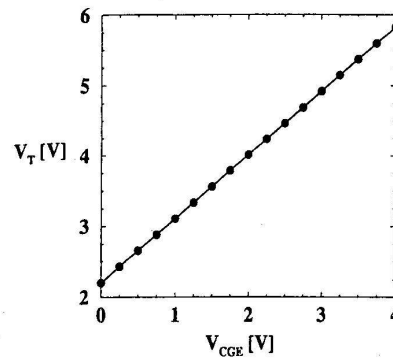
FGMOS, por ejemplo en la región de triodo:

$$I_D = KP_n \frac{W}{L} \left[ (\alpha_{CGE} V_{CGE} - V_{THN} + V_{fg}^Q) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.4)$$

Durante el proceso de extracción de carga  $V_{CGE}$  permanece fijo y el potencial de la compuerta flotante originado por la carga atrapada en ella,  $V_{fg}^Q$ , varía. Por lo que el voltaje de umbral visto por el potencial que varía es:

$$V_{THFGMOS} = \alpha_{CGE} V_{CGE} + V_{THN} \quad (2.5)$$

en consecuencia, se puede establecer una correlación entre los voltajes de umbral deseados para la celda y los voltajes aplicados a la compuerta de control, con la ventaja de que, como se ve en la ecuación (2.5), éstos se relacionan linealmente sin importar cómo varíe  $V_{fg}^Q$ . En la Figura 2.9 se presentan los resultados obtenidos por Lanzoni. Nótese la relación lineal entre el voltaje de umbral para el FGMOS después de la programación, con el voltaje presente en la compuerta de control durante dicho proceso.



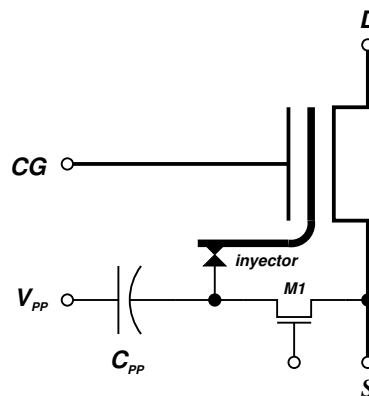
**Figura 2.9** Voltaje de Umbral  $V_T$  del FGMOS, “programado” en relación al Voltaje de Compuerta de Control  $V_{CGE}$  presente durante el grabado de la celda. [17]



Shibata y Omi proponen un esquema retroalimentado, en el cual la celda opera en modo de voltaje en configuración de “Seguidor de Fuente”. Para esto, la terminal de Fuente del FGMOS se conecta a tierra a través de un resistor de alto valor y la salida de la celda se toma en la mencionada terminal. En esta condición, el voltaje de salida está dado por:

$$V_{sal} = \alpha_{CG} V_{CG} + V_{fg}^Q - V_{TH} \quad (2.6)$$

Donde claramente se ve que si el voltaje en la compuerta de control ( $V_{CG}$ ) es cero y, de alguna manera, el voltaje de umbral del transistor ( $V_{TH}$ ) de la celda también es cero, entonces el voltaje de salida es el potencial de compuerta flotante debido a la carga almacenada en la celda ( $V_{fg}^Q$ ). En esta celda el inyector se conecta a la fuente del voltaje de programación  $V_{PP}$ , a través de un capacitor  $C_{PP}$  como se muestra en la Figura 2.10 [18]. El valor de



**Figura 2.10** Celda de Almacenamiento de Shibata y Omi.

dicha capacitancia se escoge de tal forma que sea mucho mayor que la correspondiente al inyector. De esta manera, cuando se aplique el voltaje de programación, la mayor parte del mismo caerá entre la terminal inyectora. La aportación novedosa en esta propuesta es

el transistor de retroalimentación  $M1$ , el cual ayuda a linealizar el proceso de inyección de carga. Supongamos primeramente que el transistor  $M1$  no es parte de la celda. Entonces, por lo estudiado en la Sección 2.1, al aplicar en la terminal  $V_{PP}$  una serie de pulsos de programación positivos de igual amplitud y duración, se extrae una cantidad de carga  $Q_i$  con cada uno de ellos, cumpliéndose que:

$$Q_1 > Q_2 > Q_3 > \dots$$

proceso que se suspende cuando la diferencia entre la amplitud de los pulsos y el potencial de la compuerta flotante no es suficiente para que exista el tunelamiento. Consideremos ahora que se cumplen las condiciones impuestas a la ecuación (2.6) y, asumiendo nuevamente una carga nula inicial en la compuerta flotante, un primer pulso de programación extrae una cantidad de carga  $Q$  y se incrementa el potencial de compuerta flotante. El valor de este último se lee en la terminal de Fuente de la celda. Si ahora, mientras  $V_{PP} = 0$ , encendemos el transistor  $M1$ , el voltaje de salida de la celda se aplica al capacitor  $C_{PP}$  cargándolo con dicho valor; hecho esto apagamos a  $M1$ . Al aplicar el siguiente pulso de programación, la diferencia de potencial en la estructura inyector–compuerta–flotante será:

$$V_{tun} = V_{PP} + V_{C_{PP}} - V_{fg}^Q \quad (2.7)$$

Por acción de la retroalimentación:

$$V_{C_{PP}} = V_{fg}^Q$$

Por lo tanto:

$$V_{tun} = V_{PP}$$

Este resultado es importante, pues muestra que con el segundo pulso de programación se extrae la misma cantidad de carga que con el pulso previo, lo que es justamente, la *linealización* de la cantidad de carga que se extrae de la compuerta flotante de la celda [15].

## 2.4 Selección del Método de Control de Carga

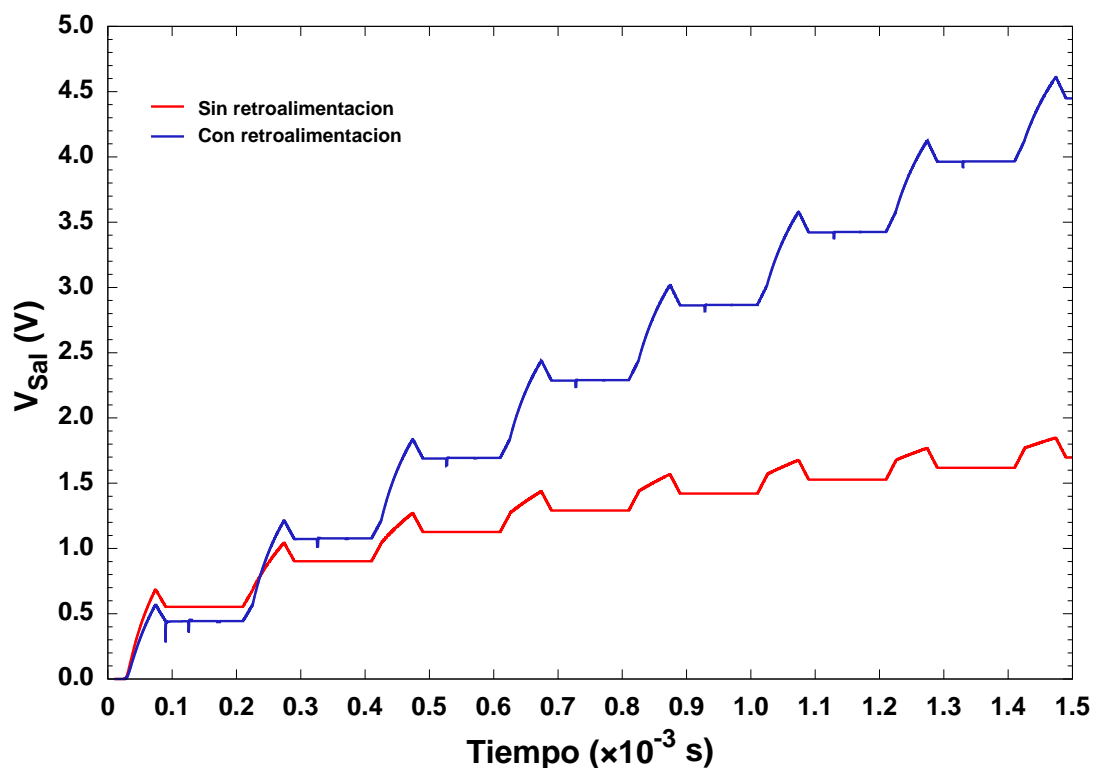
Todas las propuestas comentadas en la sección anterior, si bien despiertan nuestro interés, tienen la desventaja de no ser realizables usando un proceso de fabricación estándar como al que tenemos acceso. En la celda de Fujita y Amemiya, para lograr un resistor del orden propuesto por ellos, se requiere depositar silicio policristalino con una resistividad de aproximadamente  $50 \text{ G}\Omega/\square$ , mientras que el proceso de fabricación que usaremos ofrece una resistividad de  $33 \text{ }\Omega/\square$ . En el caso de la propuesta de Larcher, el problema es que el tunelamiento es por la terminal de Drenador lo que implica crecer un óxido fino y tener una región de bajo nivel de dopado en dicha terminal, características que igualmente no corresponden al proceso tecnológico que emplearemos.

El caso de la propuesta de Shibata y Omi de igual manera depende de procesos tecnológicos especiales, ya que el espesor del óxido en su inyector se encuentra alrededor de los 15 nm y el voltaje de umbral para el transistor MOS tipo N de sensado de la celda tiene un voltaje de umbral de -1.5 V [15]. No obstante, el esquema de retroalimentación es factible de emplearse con la celda fabricada con la tecnología estándar que usaremos. Entre las diferencias de funcionamiento estará que, la separación entre la compuerta flotante y el inyector será el espesor del óxido de silicio crecido entre las dos capas de silicio policristalino, definido por el

proceso de fabricación y por lo tanto, los voltajes de tunelamiento son mayores. Otra característica es que nuestros transistores NMOS se fabrican sobre el sustrato y, en consecuencia, el seguidor de voltaje reducirá su rango de salida ya que existirá un  $V_{SB}$  que incrementa el voltaje de umbral. Esto mismo limitará el rango de voltajes que puedan “pasar” a través del transistor de retroalimentación. Aún con todo lo anterior, la mejora que se logre en cuanto al control de carga será de mucha utilidad para la realización de investigaciones futuras. Como pulso de programación aplicaremos pulsos con una “rapidez de variación con respecto al tiempo” durante los flancos de subida, que sea relativamente lenta. Esto con la finalidad de reducir el deterioro que experimenta el óxido de tunelamiento debido a la rápida razón de variación con respecto al tiempo de los flancos de un pulso rectangular [12], siendo el daño más serio en óxidos gruesos [19] (que es nuestro caso) lo que reduce la vida útil del inyector y por lo tanto de la celda.

Para mostrar lo apropiado del método de retroalimentación, usando nuestro modelo SPICE, simulamos el comportamiento de una celda con las características de la tecnología de fabricación que utilizaremos, operando sin y con la retroalimentación. El código para la simulación puede consultarse en la Sección A.1. La Figura 2.11 presenta los resultados de la simulación, en la que se aplican a la celda siete pulsos de programación (no mostrados en la figura). La curva de la celda operando sin retroalimentación muestra el comportamiento descrito previamente en la Sección 2.1. Obsérvese como disminuye la cantidad de carga extraída en cada pulso de programación y, al ser estos de amplitud constante, en algún momento cesará el proceso de extracción, estableciéndose un límite al valor que puede leerse

de la celda, para una determinada amplitud y número de los pulsos de programación. Por el contrario, en la celda con retroalimentación la cantidad de carga extraída por un pulso específico es solo un poco menor a la extraída en el pulso anterior, mejorándose el comportamiento de la extracción de carga. Como beneficio adicional, se logra aumentar el valor máximo que se almacena en la celda (para las características y el número de pulsos aplicados). Cuando se emplea retroalimentación, dicho valor es muy cercano a los 4.5 V y, por el contrario, es menor a los 2.0 V al no usarse retroalimentación.



**Figura 2.11** Simulación del esquema de retroalimentación, con parámetros de una tecnología de fabricación estándar, para la Celda de Almacenamiento.

## 2.5 Comparador Analógico

En la sección inmediata anterior se mostró como, con la retroalimentación, se hace más uniforme la cantidad de carga que se sustrae o se agrega a la compuerta flotante de un FGMOS. Sin embargo, en la Figura 2.11 se observa que con cada pulso, la cantidad de carga extraída es tal, que los voltajes leídos de la celda al final de cada pulso se encuentran muy separados el uno del otro. Por lo anterior, solo un número pequeño de valores de voltaje pueden ser almacenados en la celda, lo que limita su uso en circuitos analógicos. En consecuencia, se requiere un método para permitir que el voltaje almacenado en la celda pueda tomar el mayor número de valores posibles dentro de su rango de operación. Esto se puede lograr de dos formas: la primera es encontrar la amplitud del pulso de programación que inyecte un mínimo de carga, lo que reduce el cambio de voltaje almacenado entre pulsos. La segunda consiste en monitorear, de manera continua, el voltaje de salida de la celda durante la programación. Así, cuando éste sea igual al valor deseado, se detenga la extracción o inyección de carga.

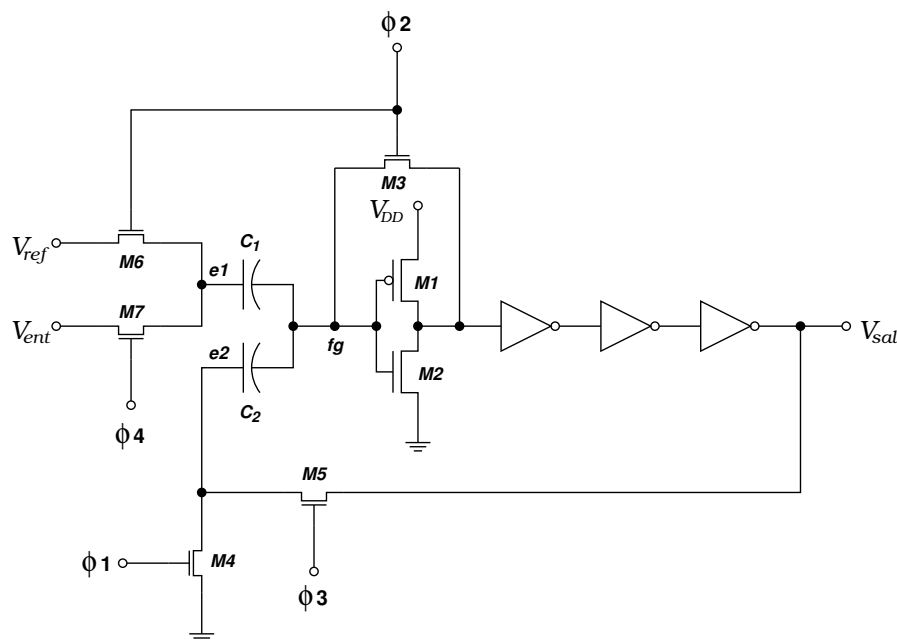
Controlar la amplitud de los pulsos de programación es simple y no requiere de circuitos adicionales. Sin embargo, por la naturaleza exponencial del tunelamiento Fowler-Nordheim, la corriente de tunelamiento varía grandemente con incrementos muy pequeños de la amplitud del pulso de programación, lo que nuevamente limita el valor mínimo de cambio de voltaje que puede darse con cada pulso aplicado.

El monitoreo del voltaje de salida de la celda, requiere de un circuito que permita comparar dicho valor con el que desea tenerse almacenado en ella. En el instante que ambos

valores sean iguales, el circuito terminará anticipadamente el pulso de programación en curso e indicará a la fuente de los mismos que suspenda la aplicación de los subsecuentes. Los circuitos de comparación se diseñan para operar en modo continuo o asíncrono y en modo síncrono o “con reloj”. En el primer caso, el comparador en todo momento se encuentra en operación mientras que en el segundo una o varias señales de reloj se encargan de dar inicio y terminar una serie de etapas de procesamiento. Una desventaja del comparador asíncrono es que si lo requerimos para usarse con distintas celdas, por ejemplo en un arreglo; donde lo importante es tener el mayor número de celdas y algunos circuitos son de uso compartido, debemos conectar a sus entradas varios transistores operando como interruptores, y si ninguno de ellos se encuentra activo, la terminal queda flotando; lo que ocasiona un estado lógico alto en su salida, que puede ser interpretado erróneamente por los circuitos de control. Por el contrario, un comparador síncrono realiza su tarea hasta que recibe las señales apropiadas una vez que se han establecido las condiciones previas, por ejemplo la selección de la celda donde se grabará información y no sufre de inestabilidad durante los cambios que se den en sus entradas, como consecuencia de la conmutación de los transistores de selección. El comparador a utilizar debe tener una respuesta rápida a la condición de igualdad entre los voltajes que compara, de esta manera el pulso de programación se suspenderá lo más pronto posible, evitándose la extracción de carga adicional. Aquí, nuevamente la dependencia exponencial del tunelamiento Fowler-Nordheim impone restricciones ya que, si la respuesta del comparador es más lenta que la rapidez con que el pulso de programación alcanza su amplitud máxima, se extraerá o inyectará más carga de la necesaria y el valor

del voltaje almacenado se alejará del valor deseado. Sin embargo, ésta dificultad se resuelve reduciendo la rapidez con que el pulso de programación asciende a su amplitud máxima, lo cual es sencillo de controlar y optimizar.

El comparador, cuyo diagrama se muestra en la Figura 2.12, satisface lo mencionado anteriormente [18]. Su topología se basa en un inversor neuronal, ( $\nu$ -MOS), de dos entradas



**Figura 2.12** Comparador Analógico Síncrono.

[6], el cual es un inversor de compuerta flotante con coeficientes de acoplamiento iguales para cada una de ellas. En la descripción del funcionamiento del comparador analógico, nos auxiliaremos tanto de la figura anterior como de la Figura 2.13, ésta última muestra los resultados de la simulación SPICE del circuito con  $V_{ref} = 2.5$  V. Al inicio del ciclo de comparación, las señales de reloj  $\phi_1$  a  $\phi_4$  se encuentran en el estado lógico bajo, lo que



mantiene inactivos a los transistores  $M3$  hasta  $M7$ . La primer señal de reloj  $\phi_1$  toma el estado lógico alto y enciende al transistor  $M4$ , el cual aterriza la terminal  $e2$  del capacitor  $C_2$ . Unos instantes después, la señal  $\phi_2$  toma el estado alto encendiendo a los transistores  $M3$  y  $M6$ , el primero cortocircuita la salida del inversor neuronal con su compuerta flotante, formándose un divisor de tensión.  $M1$  y  $M2$  se diseñan para que en esta condición el potencial en la compuerta flotante sea de  $\frac{V_{dd}}{2}$ . Por su parte,  $M6$  polariza la placa de  $C_1$  marcada  $e1$  con el valor deseado  $V_{ref}$ . Durante esta etapa,  $\phi_2$  permanece en el estado alto lo suficiente para permitir que  $C_1$  se cargue con el valor  $\frac{V_{dd}}{2} - V_{ref}$ . Después de un intervalo corto de tiempo, la señal  $\phi_3$  es llevada al estado lógico alto, lo que habilita un camino de retroalimentación del voltaje de salida del comparador hacia la terminal  $e2$  del capacitor  $C_2$ . Hecho lo anterior, la señal  $\phi_1$  es devuelta al estado lógico bajo desactivando  $M4$ , simultáneamente la señal  $\phi_4$  es llevada al estado alto, lo que enciende a  $M7$  permitiendo el paso del voltaje a comparar  $V_{ent}$ . A partir de este instante, el potencial de la compuerta flotante del inversor neuronal está determinado por:

$$V_{fg} = \alpha_{1,2} (V_{DD} + V_{ent} - V_{ref} + V_{e2}) + \frac{C_{eq}}{C_{Tot}} \frac{V_{DD}}{2} \quad (2.8)$$

Donde, dado que  $C_1 = C_2 = C$  :

$$\alpha_{1,2} = \frac{C}{C_{Tot}}$$

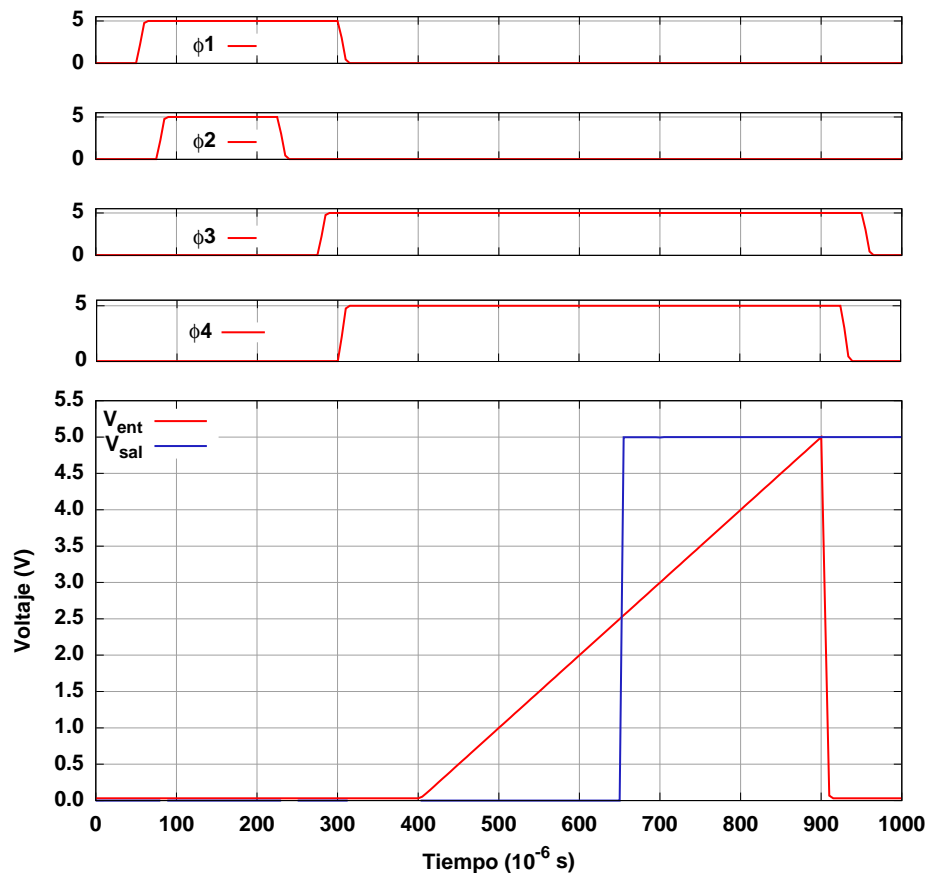
Siendo :

$$C_{eq} = C_{FOX} + C_{OXN} + C_{OXP}$$

y

$$C_{Tot} = C_1 + C_2 + C_{eq}$$

Asumiendo que la conmutación del inversor neuronal se da cuando  $V_{fg} = \frac{V_{DD}}{2}$ , resolviendo



**Figura 2.13** Simulación SPICE del Comparador Analógico.

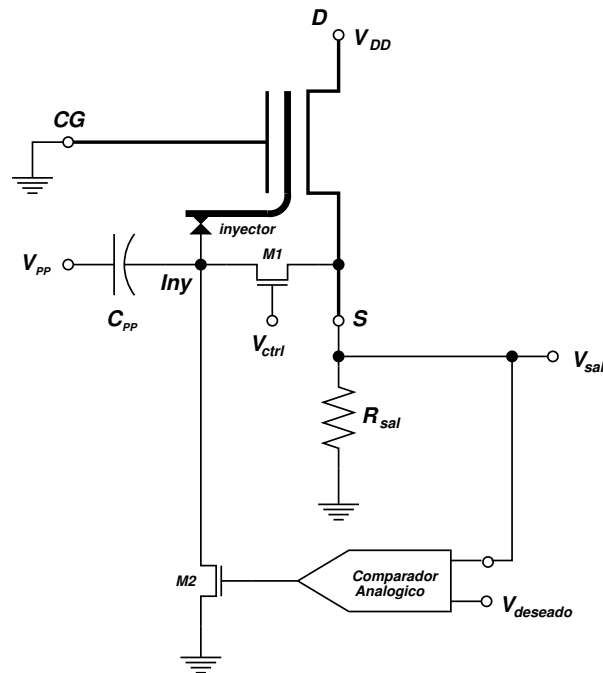
(2.8) para este valor, encontramos que la igualdad se cumple cuando  $V_{ent} = V_{ref}$ . Como consecuencia del cambio de estado del inversor neuronal de alto a bajo, debido al número impar de etapas de inversión que le siguen, en la salida del comparador tendremos un estado lógico alto. El voltaje de salida se retroalimenta al comparador a través de  $M7$ , haciendo ahora que  $V_{e2} > 0$  reforzando el cambio de estado. Es importante mencionar que el inversor

que sigue inmediatamente al inversor neuronal se diseña para que su voltaje de transición sea unos cuantos milivolts por encima del valor  $\frac{V_{DD}}{2}$ , esto evita cambios de estado erráticos en la salida del comparador cuando  $M1$  y  $M2$  actúan como divisor de tensión. Nótese en La Figura 2.13 cómo el cambio de estado se lleva a cabo en un valor ligeramente mayor a  $V_{ref}$  y permanece estable aún después de que  $V_{ent}$  ha descendido a cero. El listado de comandos para la simulación se encuentra en la Sección A.2.

## 2.6 Propuesta de Mejora para el proceso de Grabado en una Memoria Analógica

Con todo lo visto anteriormente, estamos en posibilidad de plantear un circuito que tenga las características planteadas en los objetivos del presente trabajo. La primera, tener un mejor control de la cantidad de carga que se inyecta o extrae de la compuerta flotante de la celda con cada pulso de programación y, segunda, lograr que el valor que se lee de la celda sea lo más cercano al valor deseado. En la Figura 2.14 se ilustra la conjunción de la Celda de Almacenamiento con Retroalimentación y el Comparador Analógico, circuito con el que obtendremos los resultados buscados. En el circuito, la celda opera como seguidor de voltaje y la salida se toma de la terminal Fuente del FGMOS. El transistor  $M1$  retroalimentará el voltaje de salida de la celda hacia el capacitor  $C_{PP}$  entre cada pulso de programación, activándose con la señal  $V_{ctrl}$ .

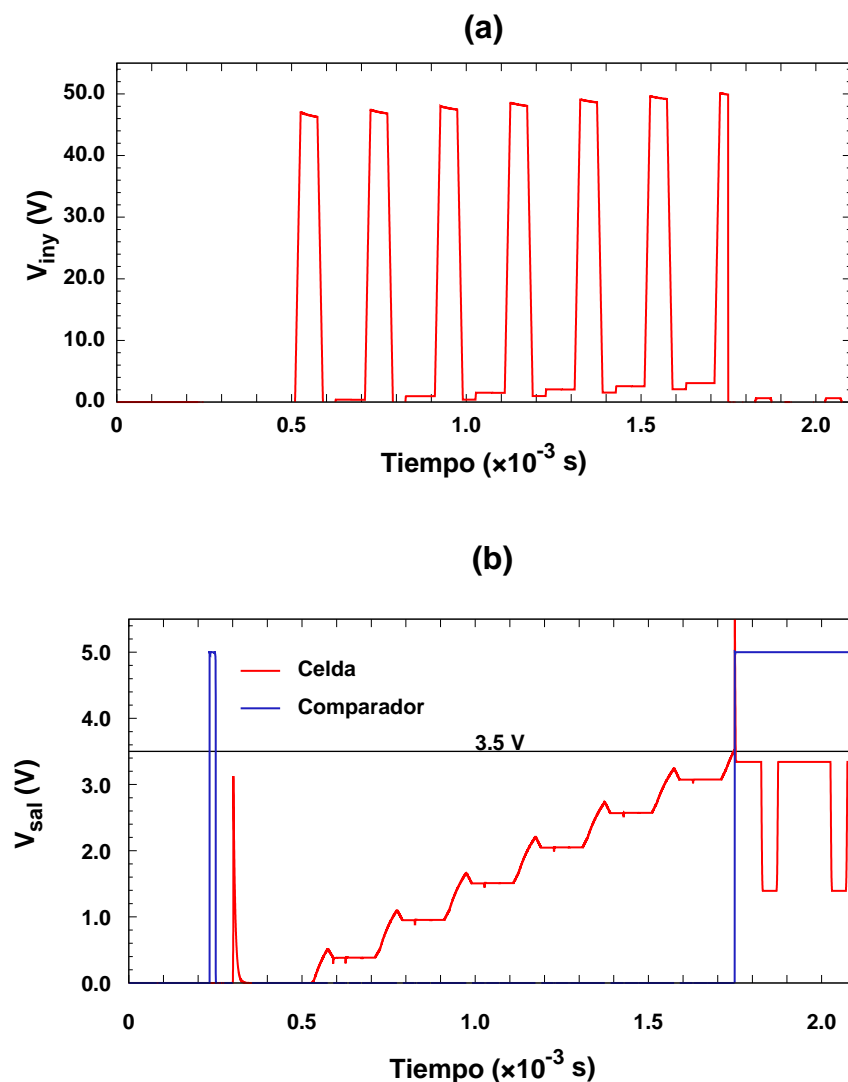
Una de las terminales del Comparador Analógico se conecta también a la salida de la celda, para monitorear el voltaje en ésta durante la programación. La otra terminal se conecta a la fuente que proporciona el voltaje que se desea grabar en la celda,  $V_{deseado}$ . Por



**Figura 2.14** Circuito propuesto para mejorar el proceso de grabado de una Memoria Analógica.

su parte, la salida del comparador se usa para activar al transistor  $M2$  en el momento en que se detecte la condición  $V_{sal} = V_{deseado}$ . En consecuencia, el potencial en el inyector  $V_{Iny}$  se reducirá rápidamente, suspendiéndose el tunelamiento. Como la salida del Comparador Analógico permanece en el estado “alto”, los pulsos de programación subsecuentes no afectan el contenido de la Celda de Almacenamiento. En la Figura 2.15 se presentan los resultados de la simulación del circuito que conjunta la Celda de Almacenamiento y el Comparador Analógico. El código para realizar la simulación se puede consultar en la Sección A.3.

El voltaje que se deseó almacenar en la celda, durante la simulación, fue de 3.5 V. Nótese, en la parte (a) de la figura, cómo por efecto de la retroalimentación, el voltaje en el nodo  $Iny$  varía su amplitud y mantiene casi constante la cantidad de carga que se extrae



**Figura 2.15** Simulación del circuito propuesto para mejorar el proceso de grabado en una Memoria Analógica.

de la celda con cada pulso de programación. En la parte (b) de la misma figura, se observa que al alcanzar el voltaje de salida de la celda el valor del voltaje deseado, la salida del Comparador Analógico cambia de estado y activa al transistor  $M2$ , ocasionando que  $V_{Iny}$  caiga súbitamente a cero, suspendiéndose la programación de la celda. Es importante hacer

---

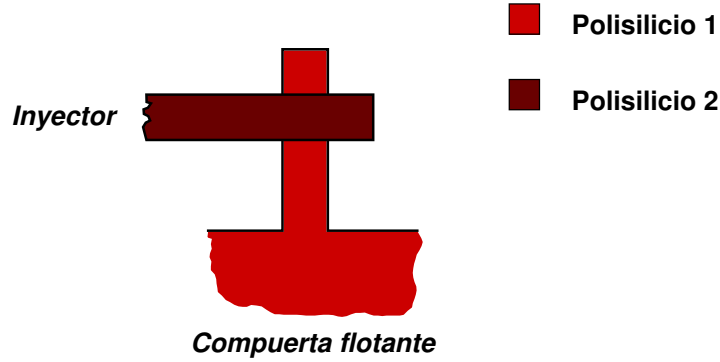
notar, que el valor en la salida de la celda está por debajo del voltaje deseado en alrededor de 125 mV. Esta discrepancia se relaciona con el potencial inducido electrostáticamente en la compuerta flotante por el mismo voltaje de programación, por ello es importante diseñar adecuadamente la celda y minimizar dicho efecto. La perturbación en el voltaje de salida de la celda, que se observa en la parte (b) de la figura anterior, es debida a que en la simulación se continúan aplicando los pulsos de control que activan a *MI*. En la práctica, las señales de control del proceso serán generadas por un microcontrolador. Por lo tanto, si también conectamos la salida del comparador a la entrada de “interrupción” del microcontrolador, éste puede responder suspendiendo la aplicación de los pulsos de programación y de los pulsos de control de la retroalimentación.

# Capítulo 3

## Desarrollo Experimental y Discusión de Resultados

### 3.1 Diseño de la Celda de Almacenamiento

Esta estructura tendrá dos funciones importantes, la primera de ellas es ser nuestra unidad básica de almacenamiento la que, en un momento dado, se utilizará en conjunto para implementar alguna RNA simple, ajustar el voltaje de corrimiento (offset) de amplificadores operacionales, etc. El segundo uso que haremos con la celda, será como dispositivo de prueba para la obtención de los coeficientes de tunelamiento Fowler-Nordheim. La estructura de la celda es simple: un transistor NMOS de las dimensiones mínimas recomendadas por MOSIS para circuitos analógicos; un inyector, consistente en una línea en la capa de Polisilicio2 que cruce perpendicularmente sobre una línea en la capa de Polisilicio1, ésta última línea es parte de la compuerta flotante, como se ilustra en la Figura 3.1. El área de traslape de ambas líneas debe ser la mínima, para que su capacitancia  $C_{iny}$  también lo sea. Con la finalidad de minimizar la inducción electrostática, originada por el voltaje aplicado al inyector, sobre el potencial de la compuerta flotante durante el proceso de grabado en la celda, el coeficiente



**Figura 3.1** Estructura Inyector-Compuerta-flotante simple.

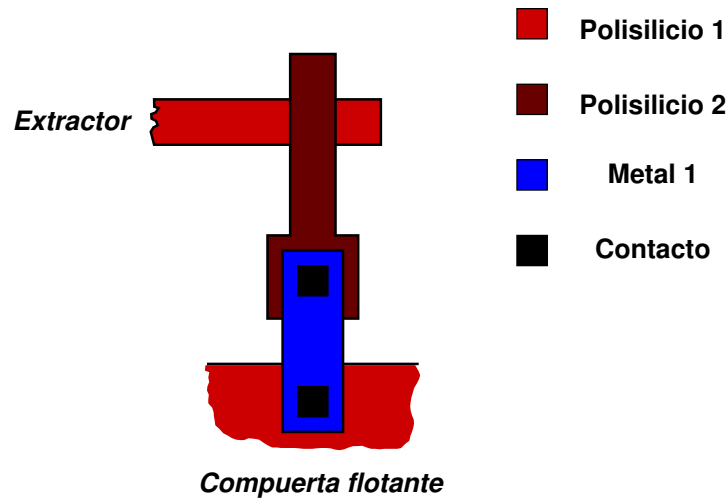
de acoplamiento  $\alpha_{iny}$  definido por:

$$\alpha_{iny} = \frac{C_{iny}}{C_{iny} + C_{CG} + C_{FOX} + C_{OX}} \quad (3.1)$$

debe ser lo más pequeño posible. Esto se logra, primordialmente, aumentando las capacitancias restantes, con el compromiso de incrementar el tamaño físico de la celda. En nuestro caso escogimos hacer una compuerta flotante grande cuya capacitancia con la compuerta de control,  $C_{CG} \approx 200 \times C_{iny}$ . En un primer circuito integrado, se fabricó la celda incluyendo el capacitor  $C_{PP}$  y los transistores  $M1$  y  $M2$  (Figura 2.14), esperándose voltajes de tunelamiento relativamente más bajos a los reportados anteriormente en la literatura ( $\approx 12$  V) [5], [20], [21], [22] y que corresponden a una tecnología de fabricación anterior (ORBIT 2.0  $\mu\text{m}$ ), cuyo espesor de óxido entre la estructura inyector-compuerta-flotante era de aproximadamente 75 nm. Sin embargo, al momento de querer comprobar los fenómenos de inyección y extracción de carga, encontramos que no se verificaba ninguno de los dos fenómenos al aplicar voltajes de las magnitudes anteriormente reportadas, por lo que decidimos incrementar la amplitud de los pulsos de programación. Esta acción tampoco tuvo éxito, ya que el



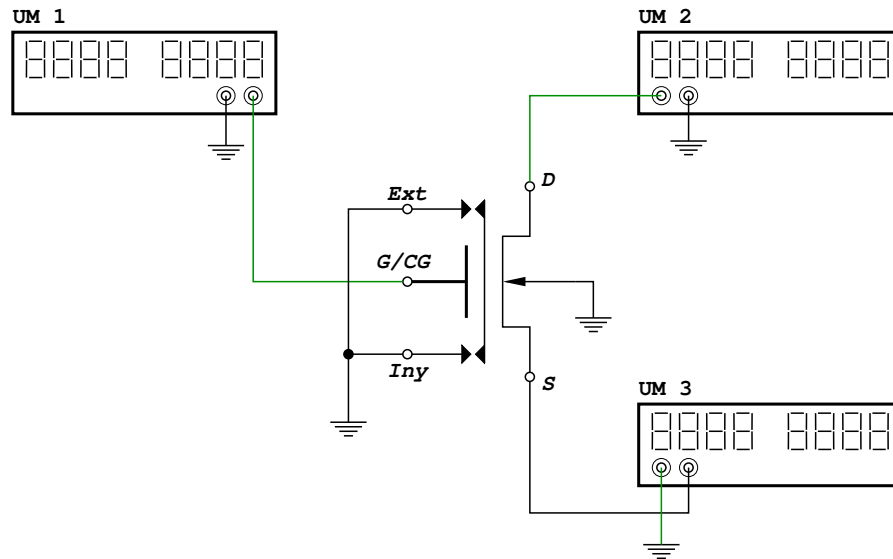
nodo del inyector se encontraba conectado con dos transistores NMOS convencionales, cuyo voltaje de ruptura inverso para las regiones de Drenador o de Fuente resultó ser de 17 V aproximadamente, actuando como un sujetador de voltaje que no permite el incremento del potencial del inyector. En un segundo diseño, se optó por eliminar los transistores y dejar las terminales adecuadas para colocarlos externamente. Nuevamente, al realizar las pruebas de inyección y extracción de carga encontramos dos comportamientos contrarios a lo esperado. El primero de ellos fue, que los voltajes requeridos en el inyector para que se verificase el tunelamiento, eran del orden de 28 V, valor muy superior a los reportados con anterioridad y que esperábamos fuese menor dado que el proceso que utilizamos tiene un espesor de óxido entre las capas de polisilicio del orden de los 60 nm. El segundo inconveniente fue, que solamente en una de las celdas el inyector presentaba la característica de bidireccionalidad, siendo en las restantes únicamente posible la inyección de carga, no teniéndose extracción de la misma incluso aplicando voltajes de hasta 40 volts positivos en el inyector. Esto nos hizo suponer que, en la tecnología de fabricación empleada, la emisión de electrones por tunelamiento Fowler-Nordheim se daba preferentemente de Polisilicio2 hacia Polisilicio1. Por todo lo anterior, en la tercer celda fabricada, agregamos una estructura adicional a la que denominamos *extractor* y consiste del mismo concepto del inyector, solo que la compuerta flotante se conecta a una tira de Polisilicio2 y el electrodo que tendrá contacto al exterior del circuito integrado es la tira de Polisilicio1, como se ilustra en la Figura 3.2. Posteriormente comprobáramos, de manera afirmativa, la hipótesis acerca de la dirección preferencial para los electrones emitidos por tunelamiento.



**Figura 3.2** Estructura Extractor-Compuerta-flotante simple.

### 3.1.1 Caracterización Eléctrica de la Celda de Almacenamiento y Transistor de Referencia

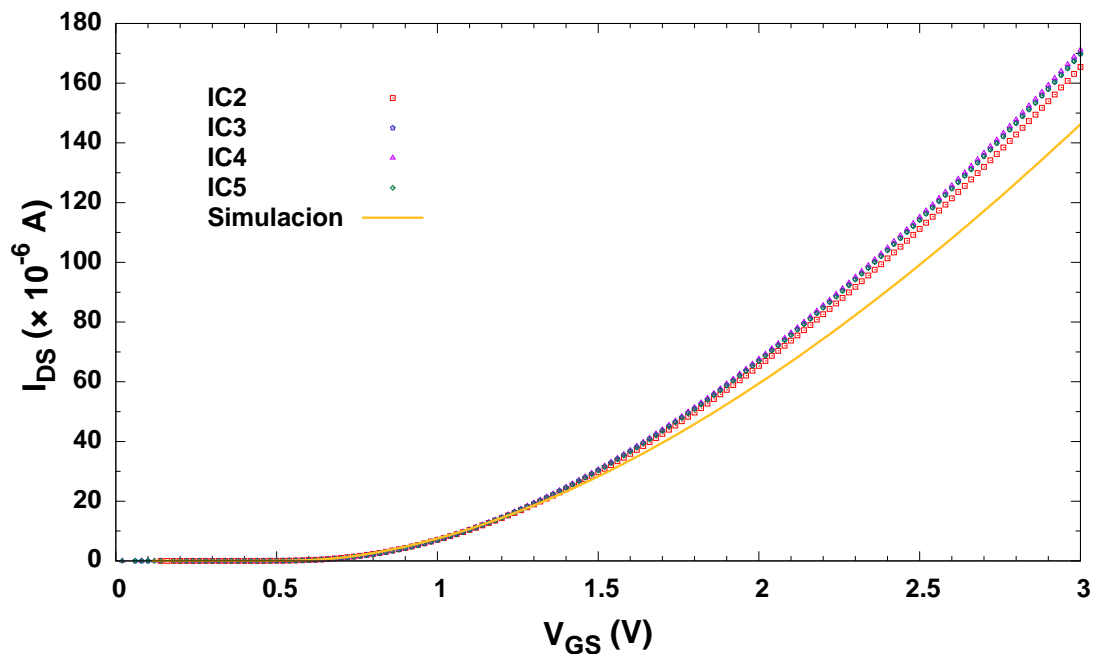
La primera caracterización que realizamos a la Celda de Almacenamiento y al Transistor de Referencia consiste en obtener su curva de transconductancia  $I_{DS}$  vs  $V_{GS}$ , de la que se obtiene, entre otros, el Voltaje de Umbral,  $V_{TH}$ . El dispositivo bajo prueba se conecta como se ilustra en la Figura 3.3. Las Unidades de Medición, UM (Keithley 236), son instrumentos que cumplen la función tanto de polarizar al circuito como de medir voltajes o corrientes, éstas son configurables por el usuario vía un panel frontal o mediante una computadora a través de una interfaz GPIB, lo que permite realizar mediciones automatizadas. UM1 se utiliza como fuente de voltaje, generando el barrido de valores  $V_{GS}$  para polarizar la terminal de compuerta ( $G$  o  $CG$ ) del dispositivo bajo prueba, UM2 opera como fuente de voltaje fija proporcionando la polarización  $V_{DD}$ , UM3 se utiliza para medir la corriente Drenador-Fuente



**Figura 3.3** Montaje experimental para la Caracterización Eléctrica del Transistor de Referencia y la Celda de Almacenamiento.

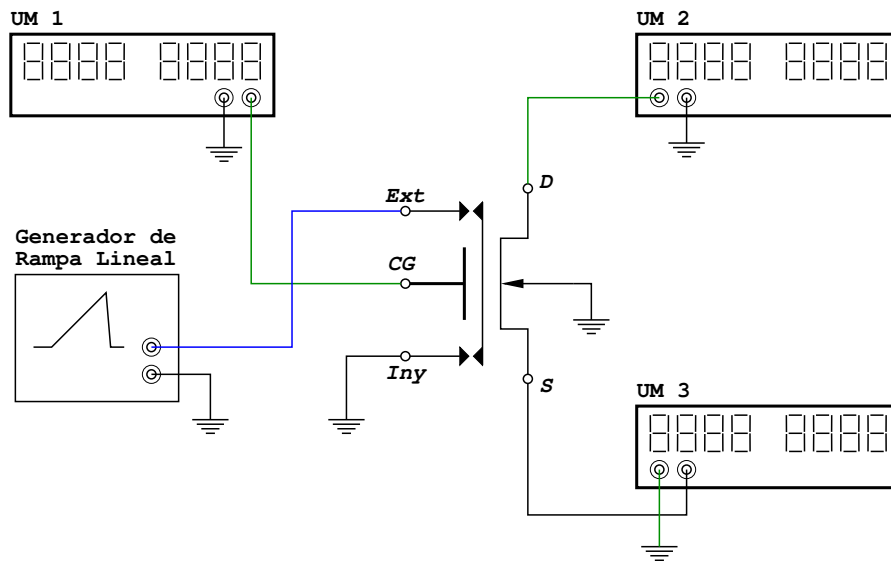
$I_{DS}$ . En la Figura 3.4 se muestra una gráfica de las curvas de transconductancia para los Transistores de Referencia de cada uno de los circuitos integrados recibidos, no se incluye el correspondiente a IC1 porque resultó dañado. Nótese el buen empare de los transistores de IC3, IC4 e IC5, solo el transistor de IC2 se desvía un poco, sin embargo corresponde con la dispersión propia de todo proceso de fabricación. En la misma gráfica se incluye el resultado de una simulación del Transistor de Referencia, utilizando nuestro modelo SPICE. La diferencia entre los transistores reales pone de manifiesto la utilidad de lograr un mejor control de la carga inyectada o extraída del FGMOS, para emplearlo como elemento de corrección de desviaciones en aplicaciones analógicas.

Una prueba importante es comprobar que efectivamente suceden los fenómenos de inyección y de extracción de carga. Para ello se agregó, al montaje de la Figura 3.3, un

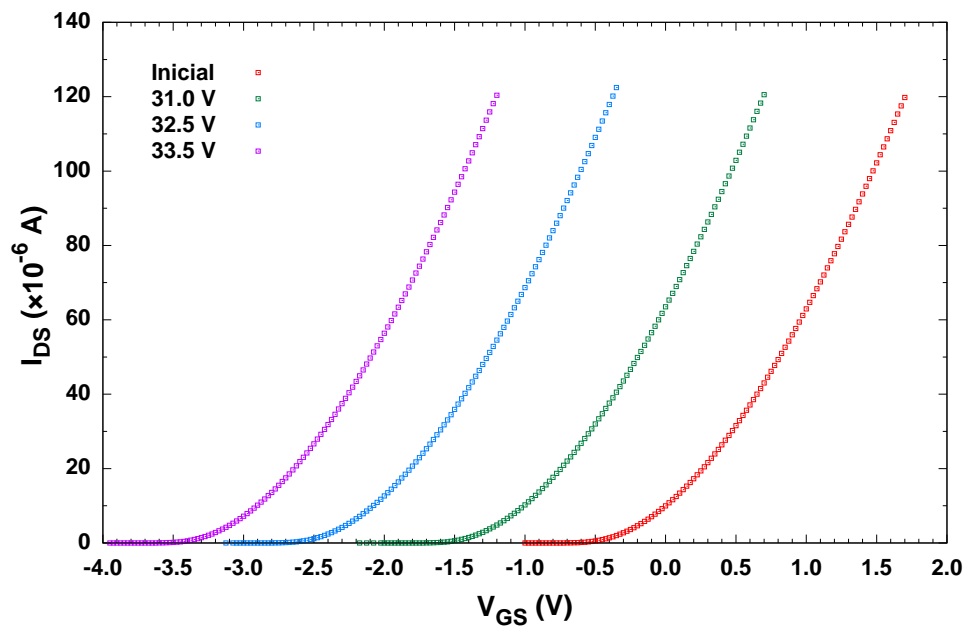


**Figura 3.4** Curva de Transconductancia, medida y simulada, para el Transistor de Referencia.

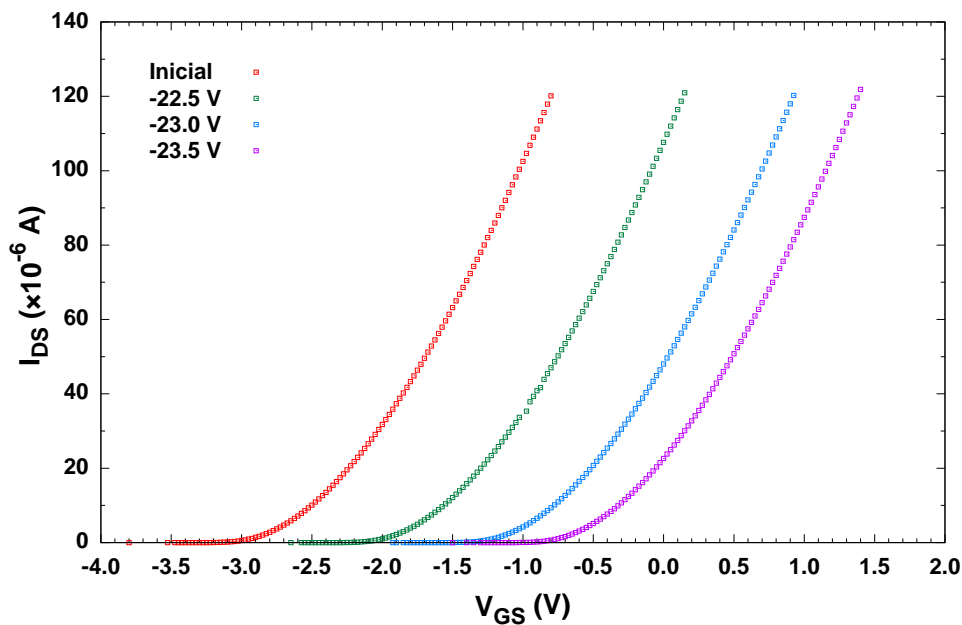
Generador de Rampa Lineal, el cual proporciona el pulso de programación  $V_{PP}$  en un rango de 0 a  $\pm 55$  V. Éste se conecta al inyector ( $Iny$ ) o al extractor ( $Ext$ ) según sea el caso y conectando a tierra la estructura opuesta, como se ilustra en la Figura 3.5. Se aplicó una secuencia de tres pulsos positivos al extractor y tres pulsos negativos al inyector, todos de diferente amplitud y entre cada pulso se midió la curva de transconductancia. En las Figuras 3.6 y 3.7 se muestran los resultados de estas mediciones, donde se observa un desplazamiento de la curva de transconductancia, hacia la izquierda con los pulsos positivos en el extractor y hacia la derecha con los pulsos negativos en el inyector. De esta forma queda demostrada la inyección/extracción de carga en nuestras estructuras.



**Figura 3.5** Montaje experimental para comprobar la inyección y extracción de carga en la Celda de Almacenamiento.



**Figura 3.6** Efecto de la extracción de carga desde la compuerta flotante de la Celda de Almacenamiento.



**Figura 3.7** Efecto de la inyección de carga hacia la compuerta flotante de la Celda de Almacenamiento.

## 3.2 Determinación del Coeficiente de Acoplamiento $\alpha_{CG}$ del FGMOS

Existen diferentes metodologías para la determinación de los coeficientes de acoplamiento de un transistor FGMOS. Gran parte de ellas se basan en la comparación del comportamiento eléctrico del FGMOS con un –así denominado– Transistor de Referencia, el cual es topológicamente idéntico al FGMOS a excepción de que la compuerta de control y la compuerta flotante están cortocircuitadas entre sí. En principio, se han considerado constantes todas las capacitancias involucradas, sin embargo algunas de ellas presentan variaciones con la polarización lo que hace que cambie el valor de  $C_{Tot}$  y en consecuencia los valores de dichos coeficientes. Esto ha dado lugar a propuestas para determinar los coeficientes de

acoplamiento en niveles bajos de polarización, principalmente en la región subumbral [23], [24]. Lo anterior toma mucha importancia tratándose de celdas en cuya topología existe un traslape considerable de la compuerta flotante, sobre la región de Drenador –o de Fuente–, y en algunos casos el óxido entre dichas áreas se fabrica muy delgado, lo que incrementa el acoplamiento del voltaje de polarización de Drenador –o de Fuente– sobre la compuerta flotante, lo cual puede llegar a ser indeseado en algunos casos. De igual forma, se ha buscado resolver los problemas que surgen de comparar dos transistores, ya que las variaciones inherentes a todo proceso tecnológico de fabricación de semiconductores, ocasionan diferencia entre dispositivos aunque éstos se encuentren muy cerca el uno del otro. Lo anterior induce a errores en la estimación de los coeficientes de acoplamiento, sobre todo en los nuevos dispositivos de dimensiones cada vez más reducidas [25], por lo que se buscan métodos que no requieran del Transistor de Referencia [26], [27] o que permitan minimizar los efectos por disparidad entre éste y el FGMOS [24]. En nuestro caso, por fabricar la celda de almacenamiento con una tecnología estándar y que el transistor de la misma no operará en la región subumbral, resultan adecuados aquellos métodos que consideran constantes todas las capacitancias que determinan los coeficientes de acoplamiento. El más conocido de ellos compara el voltaje de umbral del Transistor de Referencia con el correspondiente al FGMOS, bajo la condición de que la carga de la compuerta flotante sea cero [11], [28]. Otro método hace circular la misma magnitud de corriente en ambos transistores y toma nota del voltaje de compuerta para el Transistor de Referencia, y del voltaje de la compuerta de control en el caso del FGMOS. Con estas mediciones, para varios valores de corriente, se

elabora una gráfica  $V_G$  vs.  $V_{CG}$  a la que se ajusta una recta, cuya pendiente es el coeficiente de acoplamiento  $\alpha_{CG}$  y la intercepción con el eje  $y$  es el potencial de la compuerta flotante debido a la carga en ella atrapada,  $V_{fg}^Q$  [29]. Un método alternativo [27], consiste en obtener una familia de curvas  $\sqrt{I_D}$  vs.  $V_{CG}$  para el FGMOS bajo distintos potenciales de Fuente ( $V_S$ ), siempre que ésta se encuentre cortocircuitada al sustrato. Se obtiene el voltaje de umbral del FGMOS para cada curva y con un par de ellos se resuelve un sistema de ecuaciones que da por resultado  $\alpha_{CG}$ , esta forma de obtener dicho coeficiente no requiere del Transistor de Referencia ni que la carga de la compuerta flotante del FGMOS sea nula.

De estos tres métodos, el descrito en [29] llama nuestra atención porque nos permite conocer el coeficiente de acoplamiento  $\alpha_{CG}$  y el potencial de la compuerta flotante  $V_{fg}^Q$ ; valor, este último, no proporcionado por los otros métodos mencionados. Sin embargo, el proceso de ajustar la corriente del Transistor de Referencia y del FGMOS a un mismo valor en repetidas ocasiones, consume mucho tiempo y resulta tedioso si se pretende caracterizar varios dispositivos. Haciendo un análisis matemático del comportamiento eléctrico del Transistor de Referencia y del FGMOS, encontramos que es posible la determinación de  $\alpha_{CG}$  y  $V_{fg}^Q$  a partir de la medición de la corriente Drenador-Fuente  $I_{DS}$ , contra el voltaje de Compuerta-Fuente  $V_{GS}$ , de ambos dispositivos.

Partiendo de la ecuación del transistor MOS en saturación y extrayéndole la raíz cuadrada, se tiene lo siguiente:



Para el Transistor de Referencia,  $T_{ref}$ :

$$\sqrt{I_{DS}} = \sqrt{\frac{\beta_n}{2}} (V_{GS} - V_{THN}) \quad (3.2)$$

Y para el Transistor FGMOS de la celda,  $T_{cel}$ :

$$\sqrt{I_{DS}} = \sqrt{\frac{\beta_n}{2}} (\alpha_{CG} V_{GS} - V_{THN} + V_{fg}^Q) \quad (3.3)$$

En las ecuaciones anteriores, el término  $\beta_n$  es el llamado parámetro de transconductancia del transistor MOS y depende de las dimensiones del mismo y de otras características.

Manipulando (3.2) y (3.3), las podemos reescribir como:

$$\sqrt{I_{DS}} = \sqrt{\frac{\beta_n}{2}} V_{GS} - \sqrt{\frac{\beta_n}{2}} V_{THN} \quad (3.4)$$

$$\sqrt{I_{DS}} = \sqrt{\frac{\beta_n}{2}} \alpha_{CG} V_{GS} - \sqrt{\frac{\beta_n}{2}} (V_{THN} - V_{fg}^Q) \quad (3.5)$$

Las ecuaciones (3.4) y (3.5) tienen la forma  $y = mx + b$ . Asumiendo que el Transistor de Referencia es idéntico al FGMOS de la Celda de Almacenamiento, podemos eliminar el término que contiene a  $\beta_n$  al relacionar la pendiente para el primero,  $m_{ref}$ , con la pendiente para el segundo,  $m_{cel}$ , obteniéndose:

$$\begin{aligned} \frac{m_{cel}}{m_{ref}} &= \frac{\sqrt{\frac{\beta_n}{2}} \alpha_{CG}}{\sqrt{\frac{\beta_n}{2}}} \\ &= \alpha_{CG} \end{aligned} \quad (3.6)$$

Si además, hacemos la siguiente operación con la ordenada al origen para el transistor de la Celda de Almacenamiento,  $b_{cel}$ , y la correspondiente para el Transistor de Referencia,  $b_{ref}$ :

$$\begin{aligned} \frac{b_{cel} - b_{ref}}{m_{ref}} &= \frac{\sqrt{\frac{\beta_n}{2}} (-V_{THN} + V_{fg}^Q + V_{THN})}{\sqrt{\frac{\beta_n}{2}}} \\ &= V_{fg}^Q \end{aligned} \quad (3.7)$$

podemos obtener también el valor de la carga presente en la compuerta flotante, lo cual es un dato muy útil en la caracterización y análisis de los FGMOS.

Entonces, la metodología a seguir se describe en los siguientes pasos:

1. Medir  $I_{DS}$  vs.  $V_{GS}$  para el Transistor de Referencia y para la Celda de Almacenamiento.
2. Obtener  $\sqrt{I_{DS}}$  para ambos dispositivos.
3. Obtener  $\frac{d}{dV_{GS}}$  para los datos calculados en el punto anterior, encontrar su valor máximo y seleccionar un rango de valores en la vecindad de dicho punto, cuya diferencia con el mismo sea de alrededor de  $\pm 2\%$ .
4. Efectuar la regresión lineal de los puntos, situados en el intervalo arriba seleccionado, en las curvas  $\sqrt{I_{DS}}$  vs.  $V_{GS}$  de cada dispositivo.
5. Con (3.6) obtener  $\alpha_{CG}$  y con (3.7) obtener  $V_{fg}^Q$

En las Figuras 3.8 y 3.9 se ilustra el procedimiento descrito. Las gráficas (a) corresponden a la medición experimental de la curva  $I_{DS}$  vs.  $V_{GS}$ ; las gráficas (b) corresponden al cálculo de  $\sqrt{I_{DS}}$ ; las curvas (c) muestran la derivada de  $\sqrt{I_{DS}}$  con respecto a  $V_{GS}$ . En éstas últimas, se distingue una región casi plana (marcada en color verde) de donde se toman los datos que satisfacen lo establecido en el punto tres del procedimiento descrito y que se ajustan a una recta para obtener los valores de pendiente  $m$  y ordenada al origen  $b$ , que al relacionarse nos darán el coeficiente de acoplamiento ( $\alpha_{CG}$ ) y el voltaje de umbral ( $V_{TH}$ ) de cada dispositivo, como se nota en las gráficas (d).

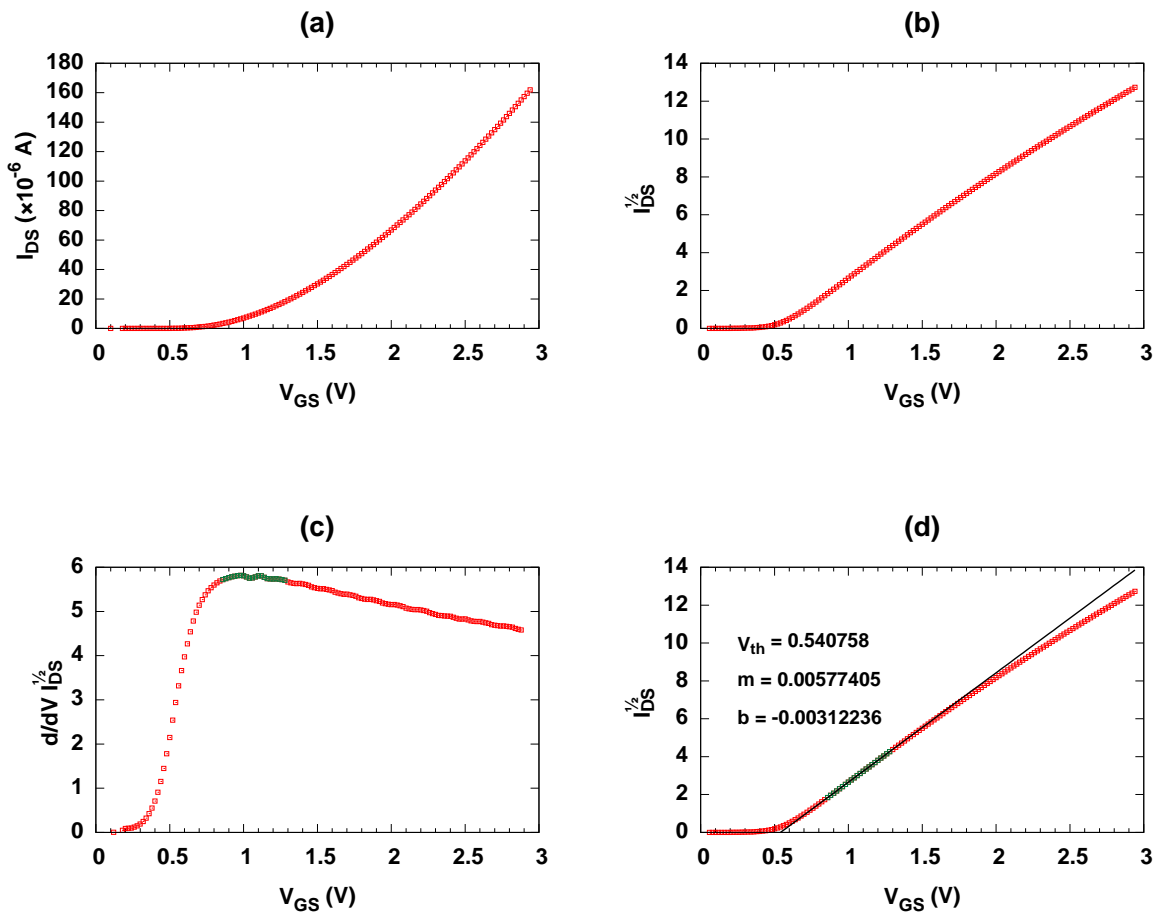


Figura 3.8 Procedimiento de obtención de  $\alpha_{CG}$ . Transistor de Referencia.

Con los valores mostrados, obtenemos según (3.6) y (3.7):

$$\alpha_{CG} = +0.86864$$

$$V_{fg}^Q = -6.6205V$$

El valor obtenido para  $\alpha_{CG}$  concuerda con el que se calcula a partir del modelo capacitivo del FGMOS visto en el Capítulo 1. Los valores de las capacitancias, determinadas con los

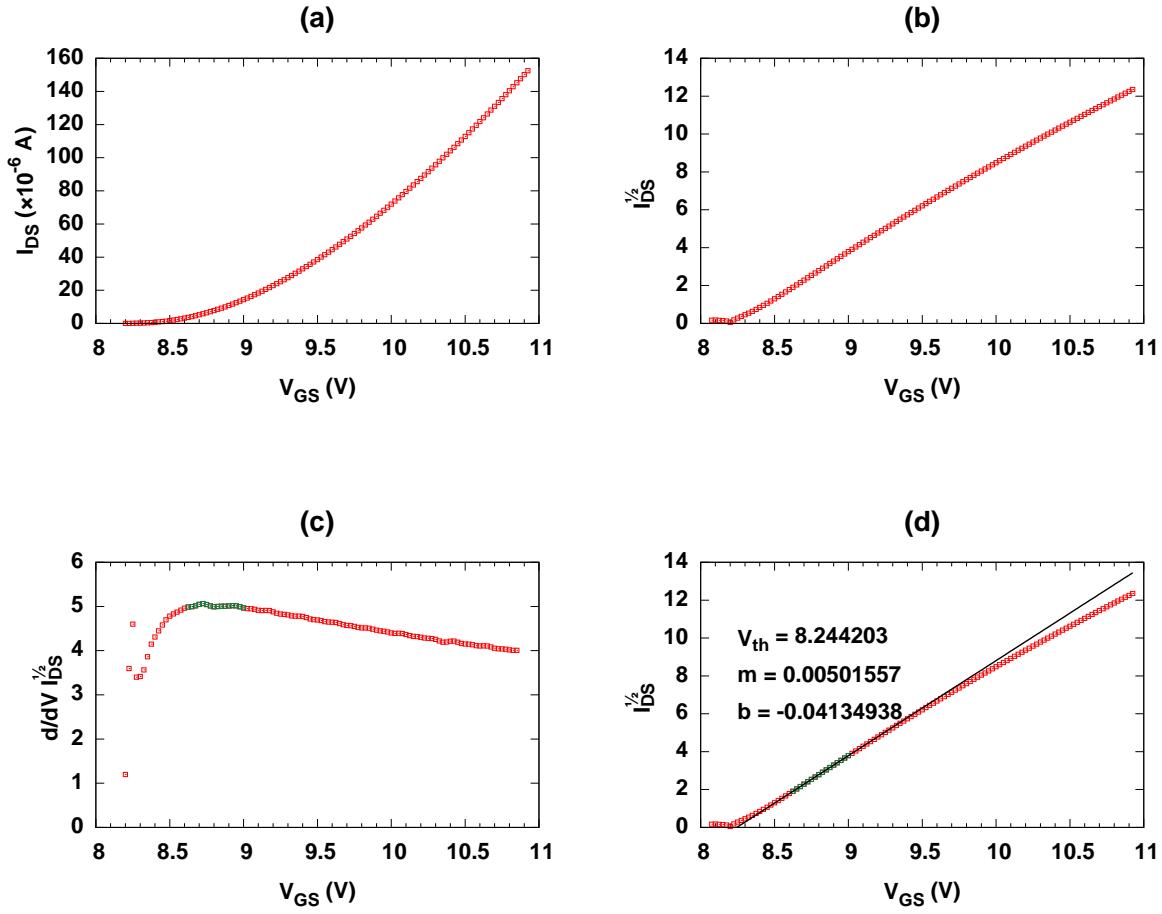


Figura 3.9 Procedimiento de obtención de  $\alpha_{CG}$ . Celda de Almacenamiento.

parámetros del proceso tecnológico con que se fabricó la celda y el transistor de referencia, son:  $C_{OX} = 17.1264$  fF,  $C_{iny} = C_{ext} = 1.4592$  fF,  $C_{CG} = 328.32$  fF y  $C_{FOX} = 31.3344$  fF, con los que se obtiene:

$$\alpha_{CG} = \frac{C_{CG}}{C_{CG} + 2C_{iny} + C_{OX} + C_{FOX}} = 0.8645$$

Resultado que valida el método de determinación de  $\alpha_{CG}$ . En la Tabla 3.1 se muestran los

resultados de determinar  $\alpha_{CG}$  para las celdas fabricadas, las mediciones se realizaron sobre los circuitos integrados tal y como se recibieron de fábrica. Nótese la uniformidad del proceso de fabricación, ya que para la mayoría de los dispositivos el coeficiente de acoplamiento fue cercano al estimado de 0.86. En el caso de la Celda B del circuito integrado IC5, no se obtuvo valor alguno de corriente por lo que asumimos que presenta daño.

**Tabla 3.1** Determinación de  $\alpha_{CG}$ ,  $V_{fg}^Q$  y  $V_{TH}$ .

Dispositivo	m	b	$\alpha_{CG}$	$V_{fg}^Q$	$V_{TH}$
$T_{ref}$	0.00577405	-0.00312236			0.540758
IC1 Celda A	0.00501557	-0.0413494	0.86864	-6.6205	8.2442
IC1 Celda B	0.00494825	-0.00343844	0.85698	-0.05474	0.69488
IC1 Celda C	0.004949	-0.0412475	0.85711	-6.6028	8.33451
IC2 Celda A	0.00487469	-0.0651885	0.84424	-10.7492	13.3728
IC2 Celda B	0.00489608	0.0379202	0.84795	7.1081	-7.74501
IC2 Celda C	0.00492116	-0.0332535	0.85229	-5.2184	6.75726
IC3 Celda A	0.00498464	-0.0341973	0.86328	-5.3818	6.86054
IC3 Celda B	0.00497685	-0.0437265	0.86193	-7.0322	8.78599
IC3 Celda C	0.00494801	-0.0100133	0.85694	-1.1934	2.02371
IC4 Celda A	0.00494843	-0.0223233	0.85701	-3.3254	4.5112
IC4 Celda B	0.00453614	-0.0514631	0.78561	-8.3721	11.3451
IC4 Celda C	0.00496679	-0.00359477	0.86019	-0.08182	0.723675
IC5 Celda A	0.00501138	-0.00682473	0.86791	-0.64121	1.36185
IC5 Celda B	—	—	—	—	—
IC5 Celda C	0.00521219	-0.0553581	0.90269	-9.0466	10.6209

Usando nuestro modelo para simulación SPICE, comprobamos qué tan confiable es el valor obtenido para el potencial de compuerta flotante. Simplemente se introdujo en nuestro modelo como condición inicial, para el nodo de compuerta flotante, el valor de voltaje determinado con nuestra metodología. Realizamos esto en dos muestras, una de ellas es la que se empleó en la demostración del método. Los resultados se observan en las Figuras 3.10 y 3.11, en ellas notamos cómo el desplazamiento de la curva de la celda simulada, provocado

por el potencial de compuerta flotante que se introdujo, hace que ésta se sobreponga a la curva experimental; lo que indica que el valor obtenido para  $V_{fg}^Q$  es confiable.

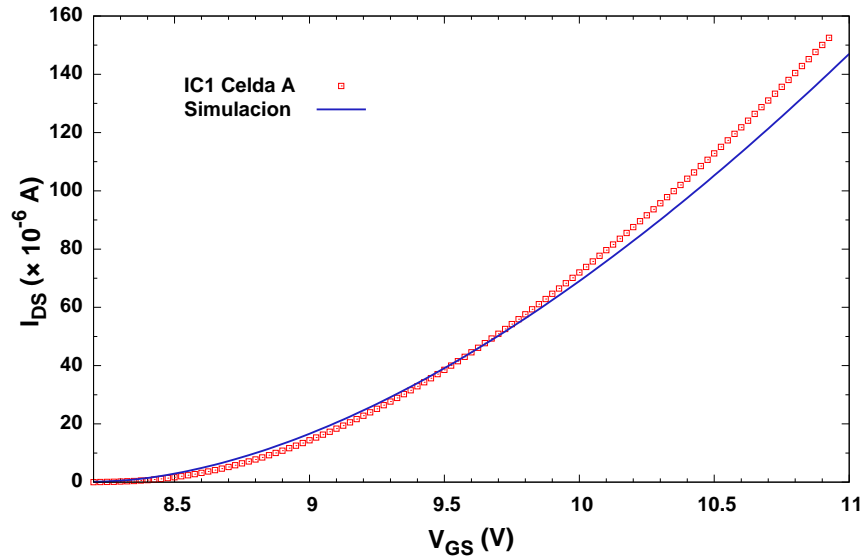


Figura 3.10 Celda Real y Simulación con  $V_{fg} = -6.6205$  V.

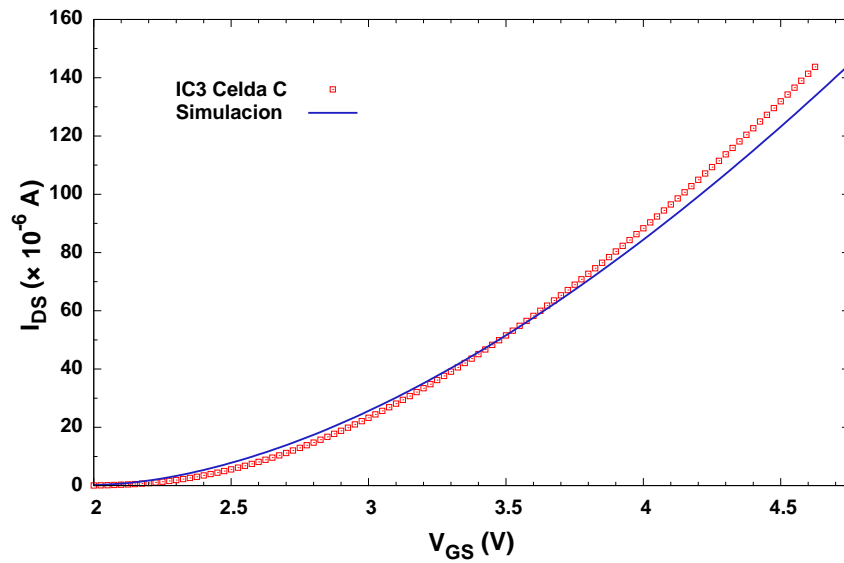


Figura 3.11 Celda Real y Simulación con  $V_{fg} = -1.1943$  V.

Finalmente, el procedimiento propuesto es sencillo de realizar con cualquier programa de hoja de cálculo. Sin embargo, en el caso de muchas muestras puede hacerse una labor tediosa, por ello se desarrolló un programa que efectúa todos los cálculos y cuyo código fuente puede consultarse en la Sección B.1. Algo que vale la pena remarcar de este método, es que no es necesario eliminar la carga en la compuerta flotante para caracterizar al FGMOS. Así, pudieron medirse transistores con voltajes de umbral extremos como  $-7.74$  V para la celda “B” del circuito integrado “IC2” y  $11.34$  V para la celda “B” del circuito integrado “IC4”.

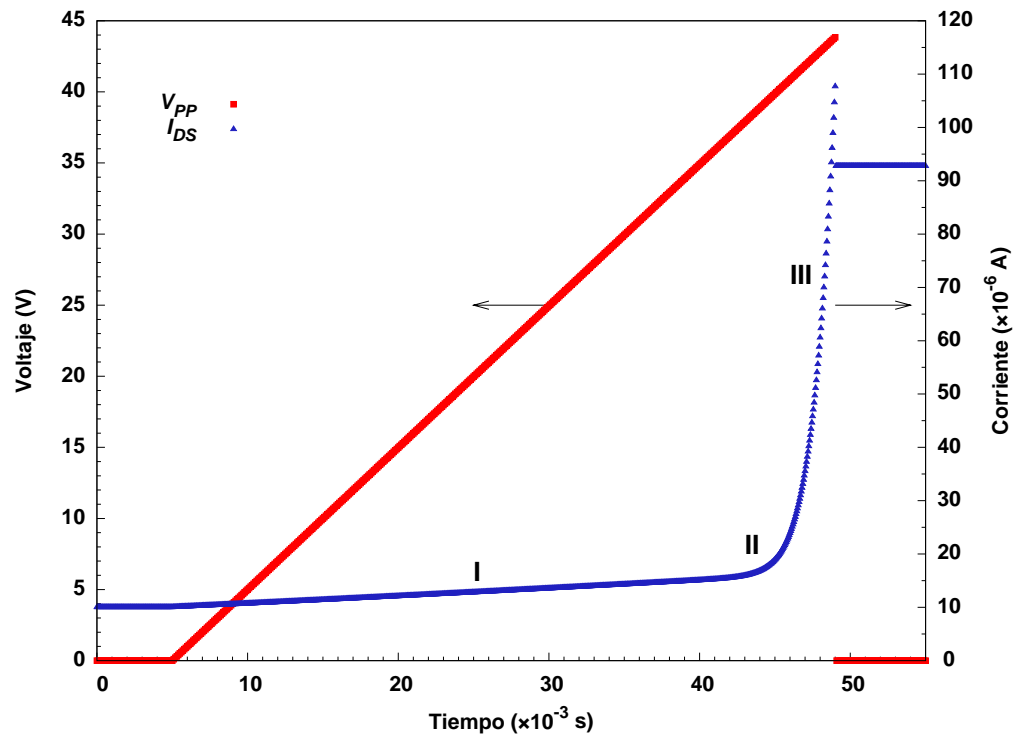
### 3.3 Extracción de los Coeficientes de Tunelamiento Fowler-Nordheim

El método clásico para la obtención de los coeficientes de tunelamiento Fowler-Nordheim,  $\alpha$  y  $\beta$ , consiste en medir la corriente que fluye a través de un transistor MOS de área grande conectado como capacitor. La razón de ello es que la densidad de corriente de tunelamiento es baja por lo que se precisa de un área de tunelamiento grande para hacer posible su medición. Otros métodos emplean un transistor FGMOS con un inyector, al cual se aplica una serie de pulsos rectangulares para agregar o eliminar carga de la compuerta flotante, midiéndose el voltaje de umbral del dispositivo antes y después de cada pulso. Los cambios en el voltaje de umbral permiten conocer la cantidad de carga que se agregó o eliminó y, junto con la duración de cada pulso, estimar la corriente de tunelamiento promedio. Un método alternativo consiste en medir cómo cambia la corriente de drenador en una memoria tipo FLOTOX durante el tiempo que se está aplicando una rampa lineal de voltaje en su electrodo de compuerta [30]. El procedimiento aquí desarrollado sigue esta última línea

dada su facilidad de implementación y adaptación al tipo de celda por nosotros diseñada. En primer lugar como condición inicial, el dispositivo bajo prueba es llevado a un estado en el cual su corriente Drenador-Fuente tenga un valor de  $10 \mu\text{A}$ . Con ello el FGMOS se encuentra operando en la región de saturación y será aplicable el modelo capacitivo simple del mismo.

Usando nuestro modelo SPICE para la Celda de Almacenamiento, simularemos el comportamiento de la misma cuando el voltaje aplicado en el extractor sea una rampa lineal, en lugar de un pulso rectangular. Para la simulación, los parámetros introducidos en la fuente de corriente que representa el tunelamiento Fowler-Nordheim son  $\alpha = 1.25 \times 10^{-6} \text{ A/V}^2$ ,  $\beta = 2.67 \times 10^8 \text{ V/cm}$ , la distancia de tunelamiento ( $d$ ) se consideró como  $50 \times 10^{-7} \text{ cm}$  y un área del inyector ( $A$ ) de  $1.0 \times 10^{-4} \text{ cm}^2$ . La Figura 3.12 muestra el resultado de la simulación en la cual la rampa aplicada,  $V_{PP}$ , tiene una pendiente de  $1000 \text{ V/s}$ . El código para la simulación puede consultarse en la Sección A.4. En dicha figura se distinguen tres regiones: (I) La corriente  $I_{DS}$  se incrementa ligeramente y en forma casi lineal con el incremento de  $V_{PP}$ , esto debido a la inducción de carga en la compuerta flotante a través de  $C_{ext}$ , (II) comienza a manifestarse el tunelamiento Fowler-Nordheim observándose una “rodilla” en la curva y (III)  $I_{DS}$  se incrementa rápidamente debido al incremento de la corriente de tunelamiento, la cual es súbitamente suspendida cuando  $V_{PP}$  cae a cero. Nótese que  $I_{DS}$  desciende a un nivel por debajo del máximo alcanzado, esto se debe a que el potencial inducido en la compuerta flotante por  $V_{PP}$  se hace igualmente cero.





**Figura 3.12** Simulación del comportamiento de la corriente Drenador-Fuente, durante la aplicación de una rampa lineal en la terminal extractora.

De las curvas de la Figura 3.12 se extraen los parámetros de tunelamiento con el siguiente procedimiento:

1. Captúrense las formas de onda  $V_{PP}$  vs.  $t$  e  $I_{DS}$  vs.  $t$ .
2. Seleccione un conjunto de puntos  $(t, V_{PP}, I_{DS})$  en la región donde existe una corriente de tunelamiento alta. De preferencia inicie desde el punto inmediato anterior a la caída de  $V_{PP}$  hasta un punto antes de la región donde la corriente de tunelamiento es baja.
3. Para cada uno de los puntos seleccionados, encuentre  $V_{fg}$  mediante el mapeo de los valores de  $I_{DS}$  en la curva de transconductancia del Transistor de Referencia. El

programa de computadora de la Sección B.2 se desarrolló con este propósito.

4. Calcule los valores para el voltaje de tunelamiento en cada punto

$$V_{tun} = V_{PP} - V_{fg} \quad (3.8)$$

5. Calcule el potencial de compuerta flotante debido a la carga atrapada en ella

$$V_{fg}^Q = V_{fg} - V_{PP} \times \alpha_{inj} \quad (3.9)$$

Recordando que  $\alpha_{inj}$  es el coeficiente de acoplamiento para el inyector o extractor

$$\alpha_{inj} = \frac{C_{iny}}{C_{CG} + C_{FOX} + 2 C_{iny} + C_{OX}} \quad (3.10)$$

6. Determine la carga que se agregó a, o sustrajo de, la compuerta mediante tunelamiento

FN:

$$\Delta Q_{fg}^{FN} = \frac{V_{fg}^Q(t_n) - V_{fg}^Q(t_{n-1})}{C_{CG} + C_{FOX} + 2 C_{iny} + C_{OX}} \quad (3.11)$$

7. Aproxime la rampa lineal entre cada punto con un pulso rectangular con una amplitud

dada por:

$$\overline{V}_{tun} = \frac{V_{tun}(t_n) - V_{tun}(t_{n-1})}{2} \quad (3.12)$$

8. Determínese la corriente de tunelamiento promedio entre muestras mediante:

$$\overline{I}_{tun} = \frac{\Delta Q_{fg}^{FN}}{t_n - t_{n-1}} \quad (3.13)$$

9. Finalmente, con los datos obtenidos en los pasos 7 y 8, realice la gráfica  $\ln(I_{tun}/V^2_{tun})$

vs.  $1/V_{tun}$ , haga una regresión lineal y determínense los valores de  $\alpha$  y  $\beta$  partiendo de

la intercepción con el eje de las ordenadas  $b$  y la pendiente  $m$

$$\alpha = \frac{b}{A} \quad (3.14)$$

$$\beta = \frac{m}{d} \quad (3.15)$$

Para la obtención de los parámetros de tunelamiento se tomaron los puntos simulados en el intervalo  $47.5$  a  $49.0 \times 10^{-3}$  s con una resolución de  $25 \times 10^{-6}$  s. Empleando el procedimiento arriba descrito, se obtiene la gráfica FN mostrada en la Figura 3.13, realizándose una regresión lineal para obtener los valores de  $\alpha = 1.24789 \times 10^{-6}$  A/V<sup>2</sup> y de  $\beta = 2.56904 \times 10^8$  V/cm que resultan ser muy cercanos a los empleados en la simulación.

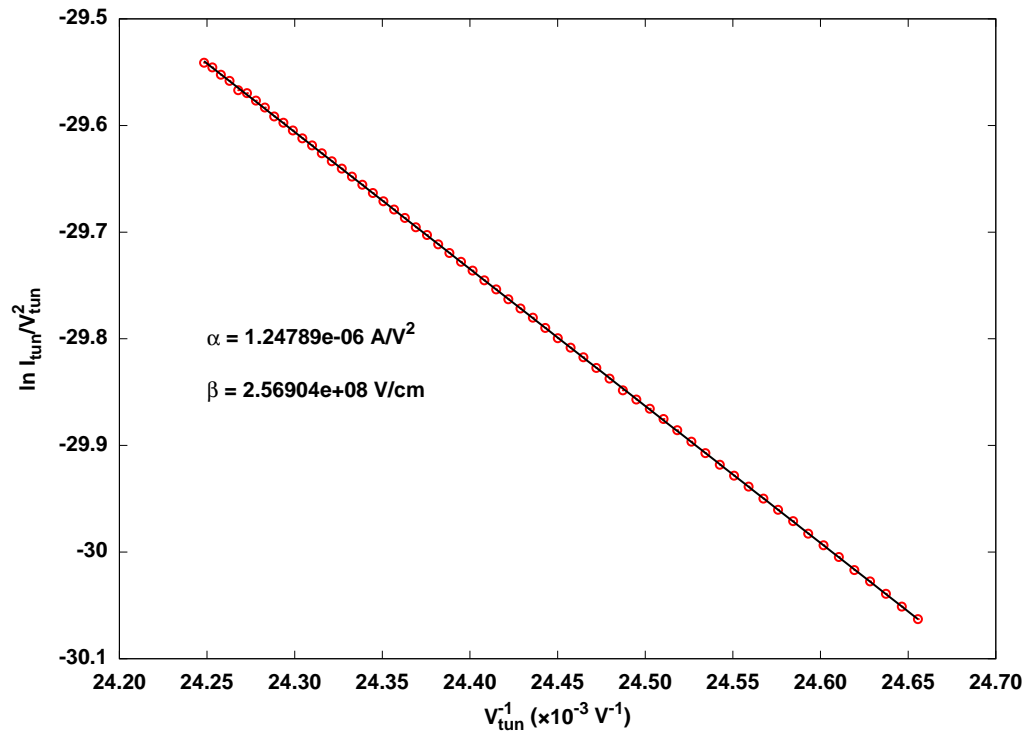
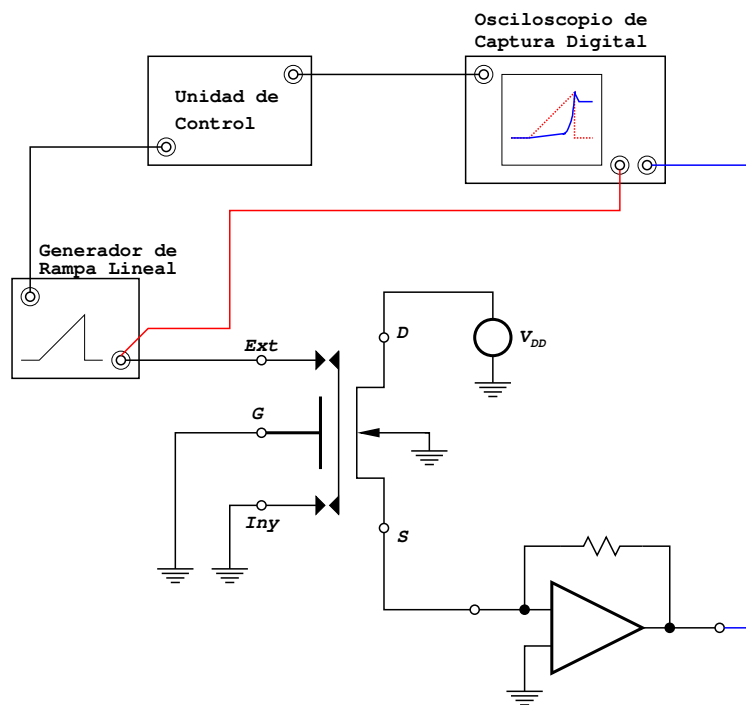


Figura 3.13 Gráfica FN de la región de alta corriente de tunelamiento en la simulación.

### 3.3.1 Montaje Experimental

Con la finalidad de determinar los coeficientes de tunelamiento Fowler-Nordheim para la tecnología con la que se fabricaron nuestras celdas de almacenamiento, se montó el arreglo experimental ilustrado en la Figura 3.14. El dispositivo bajo prueba se prepara previamente



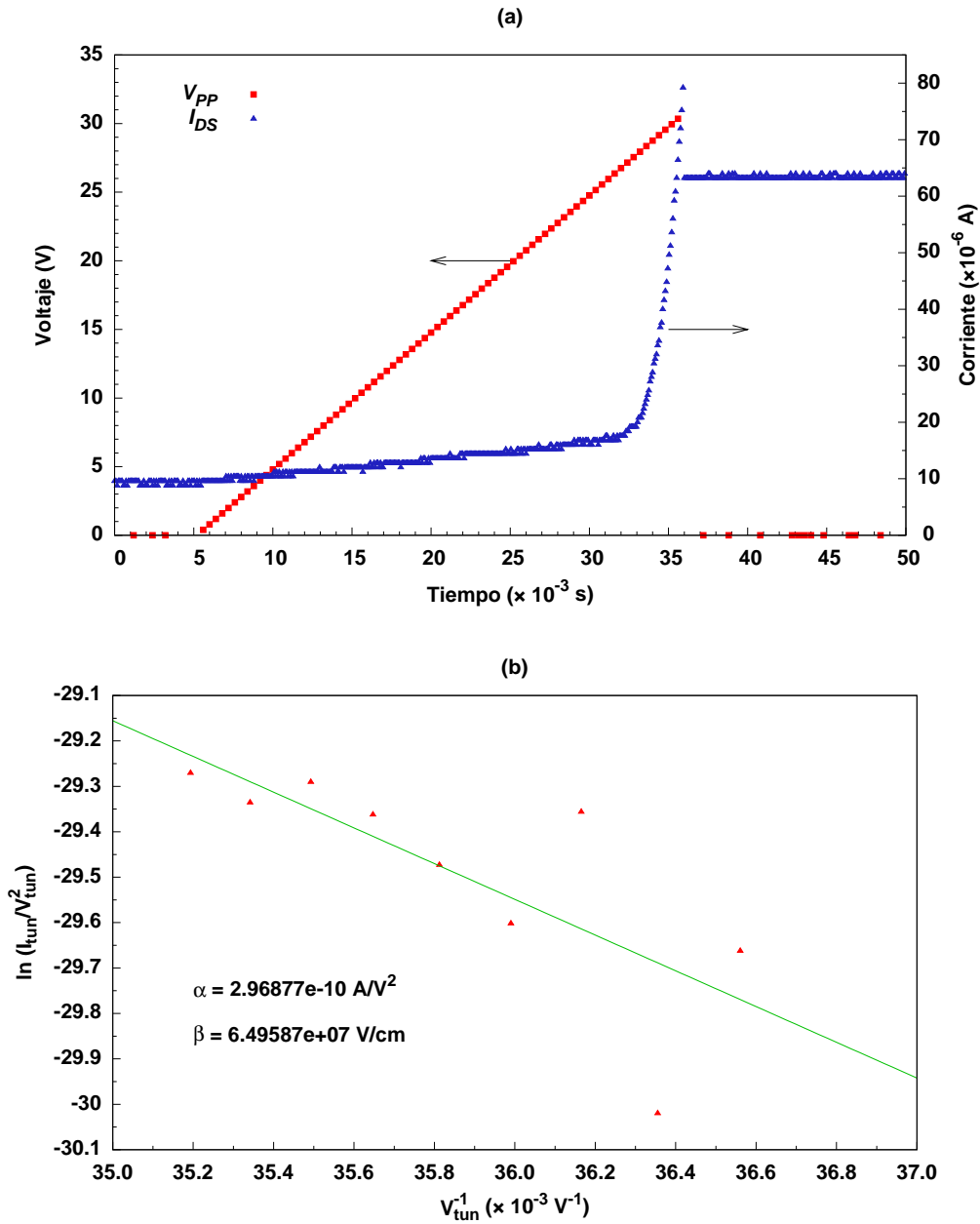
**Figura 3.14** Montaje experimental para la determinación de los coeficientes de tunelamiento Fowler-Nordheim.

para que, con una polarización de  $V_{DD} = 5.0$  V y  $V_G = 0.0$  V, la corriente Drenador-Fuente sea de aproximadamente  $10 \mu\text{A}$ . El Generador se diseñó para proporcionar una rampa lineal de voltaje de  $1000\text{V/s}$ , la corriente  $I_{DS}$  es convertida a voltaje para poder medirla con el Osciloscopio de Captura Digital (Tektronix TDS2012 de doble-canal con interfaz GPIB), la Unidad de Control se encarga de sincronizar la operación del Generador y del Osciloscopio.

Las formas de onda  $V_{PP}$  vs.  $t$  e  $I_{DS}$  vs.  $t$ , almacenadas en la memoria del Osciloscopio, son transferidas hacia una computadora para su análisis y extraer de ellas los coeficientes de tunelamiento.

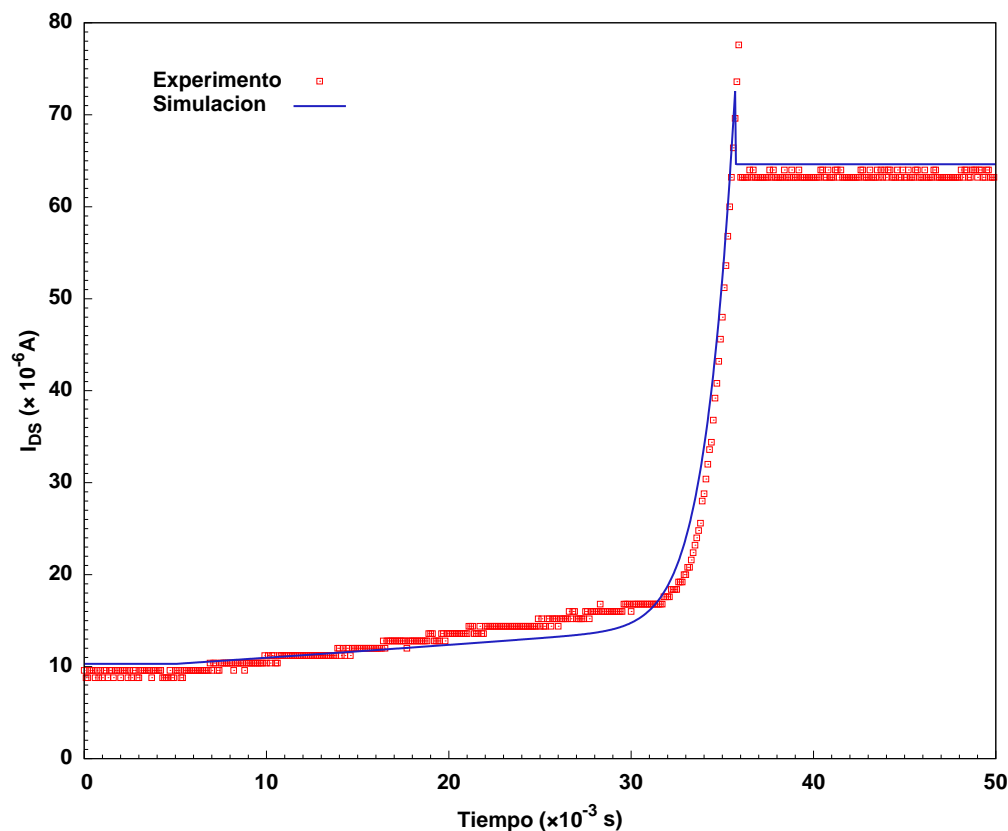
### 3.3.2 Resultados

Se efectuaron mediciones en algunas celdas para validar nuestro método de obtención de los parámetros de tunelamiento. La Figura 3.15 muestra las curvas medidas, (a), para una de nuestras celdas; en la que observamos claramente las tres regiones anteriormente descritas. Igualmente incluye la gráfica FN, (b), que se obtiene del grupo de datos que se encuentran en la región donde la corriente de tunelamiento es apreciable. Nótese en la gráfica FN, como los puntos que corresponden a voltajes que no dan origen a valores lo suficientemente altos de la corriente de tunelamiento (a la derecha de la gráfica), se encuentran más dispersos y, por el contrario, los puntos donde el cambio en la corriente de tunelamiento es mayor (a la izquierda de la gráfica) se ajustan mejor a la recta esperada. Lo anterior es consecuencia de la resolución (ocho bits) del osciloscopio, que en los puntos donde comienza el tunelamiento no es capaz de detectar los cambios en la corriente y se pierde información. Sin embargo, con el uso de un sistema de captura de señales de doce o más bits de resolución mejorará notablemente la medición. Los valores obtenidos de  $\alpha$  y  $\beta$  son  $2.96877 \times 10^{-10}$  A/V<sup>2</sup> y  $6.49587 \times 10^7$  V/cm, respectivamente.



**Figura 3.15** Formas de onda experimentales para la determinación de los coeficientes de tunelamiento.

El valor obtenido para  $\beta$  se encuentra cercano a los valores que se han reportado en la literatura, los que varían entre  $1.88 \times 10^8 \text{ V/cm}$  [11] y  $2.67 \times 10^8 \text{ V/cm}$  [9], lo que demuestra



**Figura 3.16** Comparación entre una celda medida y una simulada empleando los valores de los coeficientes de tunelamiento obtenidos con la metodología propuesta.

lo apropiado de la metodología de extracción desarrollada. En lo que respecta al valor de  $\alpha$ , existe cierta incertidumbre en su valor ya que en su cálculo se consideró que el área de tunelamiento es la totalidad del inyector, lo cual no es cierto ya que para este tipo de inyectores está establecido que el tunelamiento se da en zonas localizadas cuyo tamaño no es posible determinar [22].

Los valores obtenidos de  $\alpha$  y  $\beta$  se usaron en nuestro modelo de simulación con la finalidad de comparar los resultados del mismo con la curva experimental, el resultado se ilustra en la Figura 3.16. Nótese la buena similitud entre ambas curvas, por lo tanto podemos concluir

que contamos con un método para la extracción de los coeficientes de tunelamiento Fowler-Nordheim y un modelo para simulación en SPICE del proceso de programación de una Celda de Almacenamiento analógica; ambos confiables y fáciles de utilizar.

### 3.4 Diseño del Comparador Analógico Síncrono

Las mínimas dimensiones para los transistores son  $W = 4.8 \mu\text{m}$  y  $L = 3.2 \mu\text{m}$ , las que son ligeramente mayores a las recomendadas por MOSIS para circuitos analógicos que se fabriquen empleando el proceso AMIS-ABN de  $1.6 \mu\text{m}$ . Se hizo de esta manera a fin de garantizar las características eléctricas de los dispositivos. Los transistores que se emplean para aplicar los voltajes  $V_{ref}$  y  $V_{ent}$  ( $M6$  y  $M7$  en la Figura 2.12) se sustituyeron por compuertas de transmisión que, si bien ocupan mucho mayor área que un solo transistor, nos permite aumentar el rango de voltajes que pueden compararse. Recuérdese que un transistor MOS de canal N que se emplea como interruptor puede pasar voltajes de hasta  $V_{DD} - V_{THN}$  [31]. Sin embargo, en el proceso de fabricación empleado, este tipo de transistor está construido sobre el sustrato el cual estará aterrizado y en consecuencia existe un  $V_{SB} \neq 0$ , lo que incrementa el voltaje de umbral del transistor en cuestión, limitando el rango de voltajes a cerca de 3.7 V como máximo. Por su parte, el uso de la compuerta de transmisión permitió comparar voltajes de hasta 4.5 V. La primer etapa de inversión ( $M10$  y  $M11$ ) se diseñó para tener su punto de conmutación en un valor menor a  $\frac{V_{DD}}{2}$ . Esto tiene la finalidad de que cuando el inversor neuronal opere como divisor de voltaje y en su salida exista el valor  $\frac{V_{DD}}{2}$ , no se ocasione un estado indefinido que provoque oscilación en la salida del comparador. La



última etapa de inversión se diseñó para proporcionar una corriente de salida lo suficientemente alta para conectarse con un dispositivo comercial. La Figura 3.17 presenta el diseño completo del comparador y la Tabla 3.2 registra las dimensiones para los transistores.

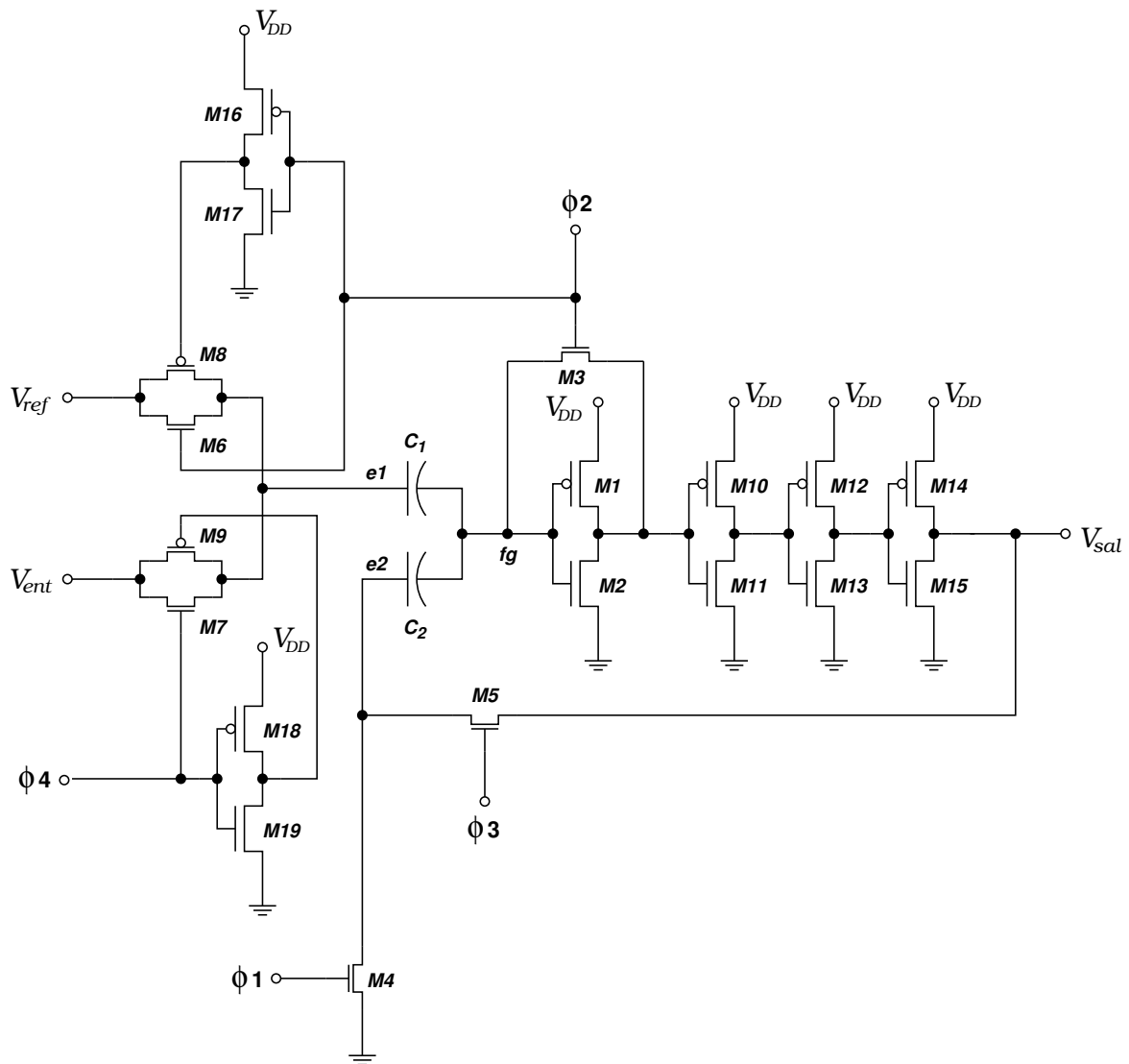


Figura 3.17 Comparador Analógico Síncrono Completo.

**Tabla 3.2** Dimensiones de los Transistores MOS usados en el Comparador Analógico.

Transistor	$W/L^a$
<i>M1</i>	20/4
<i>M2 - M9</i>	6/4
<i>M10</i>	14/4
<i>M11</i>	6/4
<i>M12</i>	20/4
<i>M13</i>	6/4
<i>M14</i>	96/4
<i>M15</i>	24/4
<i>M16 - M19</i>	6/4

<sup>a</sup>Múltiplos de la unidad de dibujo denominada  $\lambda = 0.8\mu\text{m}$

### 3.4.1 Pruebas Realizadas

Se diseñó un circuito para generar las señales de reloj  $\phi_1$  a  $\phi_4$  en la secuencia usada cuando se simuló el comparador. Éste también controló la generación de la rampa lineal que fue el voltaje de entrada  $V_{ent}$ , contra el que se compara el valor del voltaje de referencia  $V_{ref}$ . La Figura 3.18 muestra la prueba del comparador para un voltaje de referencia de 2.5 V, en ella observamos mucha similitud con los resultados de simulación presentados anteriormente en la Figura 2.13. Se operó el comparador con distintos valores del voltaje de referencia en un intervalo desde 250 mV hasta 4.5 V, los resultados se presentan en la Tabla 3.3, en ella comparan los distintos voltajes de referencia con los voltajes en que el comparador cambió de estado. Analizando los valores la mencionada Tabla, encontramos que existe una desviación promedio de 65 mV, a este valor hay que agregarle la incertidumbre de la medición del osciloscopio de  $\pm\frac{1}{2}$  bit menos significativo, que para la sensibilidad vertical empleada durante la medición (1V/Div) es de  $\pm 15\text{mV}$ . Este valor de desviación, para algunas aplicaciones

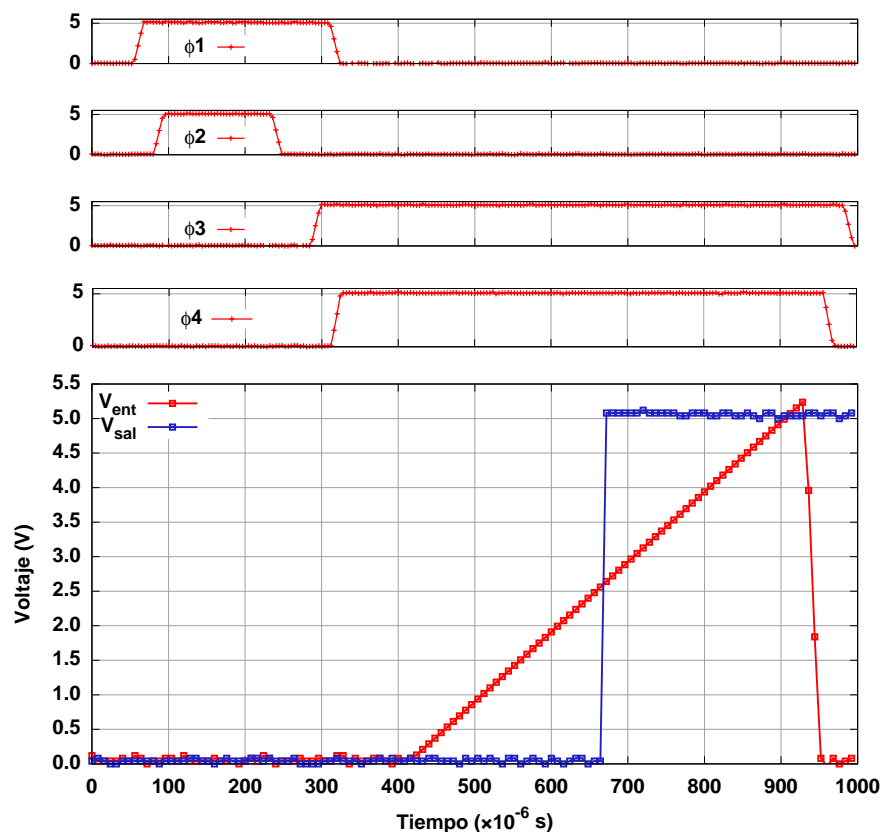


Figura 3.18 Prueba del Comparador Analógico.  $V_{ref} = 2.5 \text{ V}$

como el almacenamiento de pesos sinápticos en RNAs, no representa mucho problema ya que las las redes son bastante tolerantes en cuanto a la exactitud requerida para los valores de dichos pesos. Sin embargo, para aplicaciones más precisas, como el ajuste de desviaciones (trimming), probablemente se requiera diseñar nuevamente el circuito para minimizar las desviaciones o usar otro tipo de comparador.

Podemos apreciar en las Figuras 3.19 (a), (b) y (c) que el funcionamiento del comparador es muy semejante al simulado, los cambios de estado en la salida se verifican en valores muy

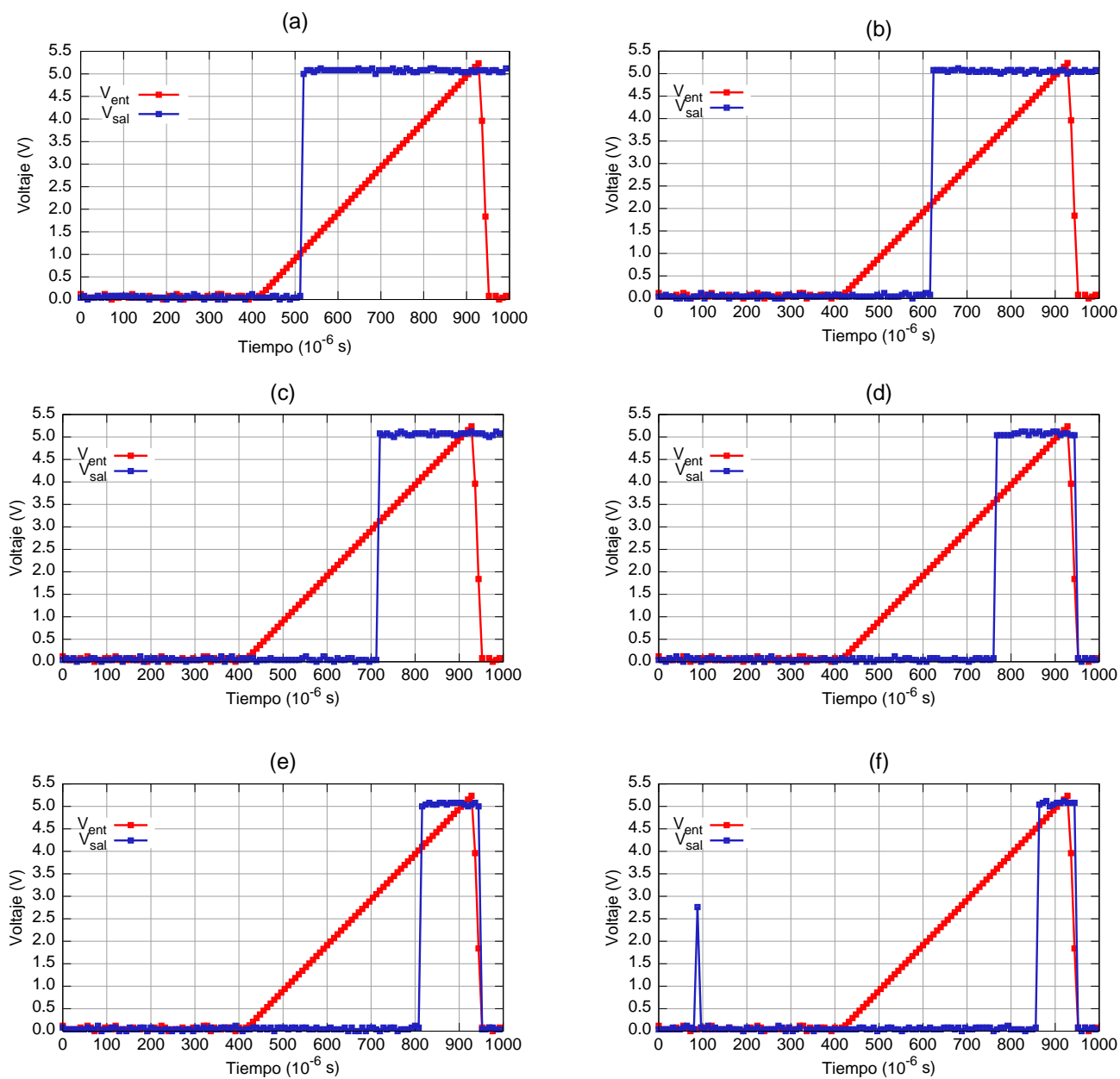
**Tabla 3.3** Prueba de Linealidad del Comparador Analógico.

$V_{ref}$ (mV)	$V_{ent}$ (mV)
250	310
500	515
1000	1040
1500	1570
2000	2080
2500	2560
3000	3060
3500	3570
4000	4070
4500	4580
4750	4840

cercanos al valor de  $V_{ref}$  empleado en cada caso y permaneciendo la salida estable en el estado lógico alto. Por otra parte, en las Figuras 3.19 (d), (e) y (f) observamos que la salida del comparador cambia de estado al descender  $V_{ent}$ , este comportamiento se da por el hecho de retroalimentar el voltaje de salida del comparador hacia la terminal e2. Recordando la ecuación (2.8), se puede explicar este comportamiento:

$$V_{fg} = \alpha_{1,2} (V_{DD} + V_{ent} - V_{ref} + V_{e2}) + \frac{C_{eq}}{C_{Tot}} \frac{V_{DD}}{2}$$

Cuando se inicia la comparación  $V_{ent} < V_{ref}$  y  $V_{sal} = 0$  por lo que el voltaje retroalimentado a través de  $M5$  es cero, es decir  $V_{e2} = 0$ . Cuando el voltaje de entrada supera ligeramente al voltaje de referencia, se da el cambio de estado y el voltaje de salida del comparador es  $V_{DD}$ , por lo que ahora el voltaje en la terminal e2 es  $V_{DD} - V_{THN}$ . Como el sustrato del transistor  $M5$  está conectado a tierra, existe un potencial de sustrato con respecto a la terminal de fuente y  $V_{e2}$  solo alcanza un valor cercano a 3.7 Volts. En consecuencia, mientras  $V_{ent} + V_{e2} > V_{ref}$  la salida del comparador permanecerá en el estado alto. Como en la prueba del comparador



**Figura 3.19** Respuesta del Comparador para distintos valores del Voltaje de Referencia.  
(a) 1.0 V, (b) 2.0 V, (c) 3.0 V, (d) 3.5 V, (e) 4.0 V y (f) 4.5 V.

usamos una rampa lineal para  $V_{ent}$  y en un momento determinado es llevada al valor de cero volts, si  $V_{e2} > V_{ref}$  la salida del comparador permanece en el estado alto tal como se observa en las tres primeras gráficas de la Figura 3.19; para las tres gráficas subsecuentes  $V_{e2} < V_{ref}$  por lo que al descender  $V_{ent}$  el voltaje en la compuerta flotante del inversor neuronal se hace menor a  $\frac{V_{DD}}{2}$  y la salida cambia al estado lógico bajo. Sin embargo, este comportamiento no representa problema ya que el voltaje que se lee en la celda de almacenamiento, que en última instancia será el voltaje de entrada, permanece estable por lo cual no se da la condición arriba descrita y la salida del comparador permanecerá en el estado alto.

# Capítulo 4

## Diseño Topológico

### 4.1 Proceso de Fabricación del Circuito Integrado

La fabricación del circuito integrado que contendrá los diseños propuestos se realiza a través de MOSIS, que pone a disposición de instituciones educativas, empresas y dependencias de gobierno, procesos de fabricación de dispositivos con fines de investigación y desarrollo de aplicaciones. El proceso adecuado para nuestro propósito es el denominado AMIS ABN cuyas características principales son:

- Dimensión mínima de  $1.6 \mu\text{m}$ .
- Un pozo N.
- Dos capas de metal.
- Dos capas de polisilicio.

El diseño topológico o *layout* sigue una serie de reglas establecidas para cada proceso tecnológico particular y consiste de uno o varios dibujos que representan las distintas capas o *layers* de que se compone el proceso de fabricación. Los dibujos se realizan empleando programas de computadora en los que cada capa tiene un color y patrón de relleno específico, lo que permite distinguirlos cuando se está realizando el diseño y una vez que se ha terminado, se guarda en un archivo que contiene la descripción de los patrones correspondientes a cada una de las capas del proceso de fabricación, este archivo es interpretado en las plantas de fabricación de los dispositivos. Es importante mencionar que las formas geométricas básicas que definen dispositivos, líneas de conexión y demás elementos del circuito integrado, son rectangulares y sus dimensiones deben ser múltiplos enteros de una cifra denominada “lambda”, representada por la letra griega del mismo nombre “ $\lambda$ ”. Para el caso de la tecnología que usaremos, se tiene establecido un valor para  $\lambda$  de  $0.8 \mu\text{m}$ . El proceso AMIS ABN es del tipo que se conoce como de “modo-mezclado” (mixed-mode) porque admite diseños de circuitos analógicos y de circuitos digitales en una misma área de silicio. En este caso, MOSIS recomienda diseñar los transistores MOS para aplicaciones analógicas, con una longitud ( $L$ ) y ancho ( $W$ ) de canal mínimas de  $3 \times \lambda$  y  $5 \times \lambda$  respectivamente, esto para garantizar la uniformidad en las características eléctricas de los mismos.

## 4.2 Celda de Almacenamiento y Transistor de Referencia

La Celda de Almacenamiento, cuya topología y fabricación real se presentan en la Figuras 4.1 y 4.2 respectivamente, consiste de un transistor MOS de dimensiones, en  $\lambda$ , de  $W/L =$



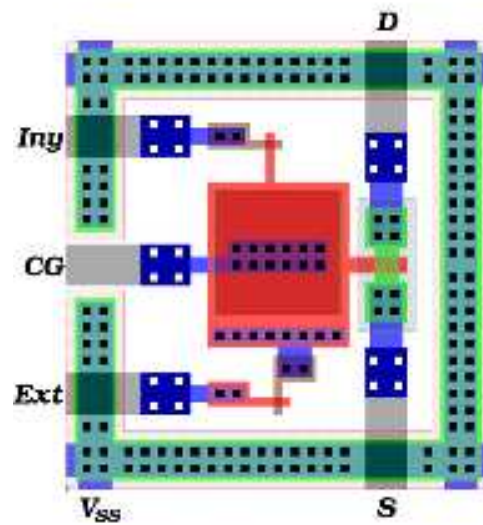


Figura 4.1 Diseño Topológico de la Celda de Almacenamiento.

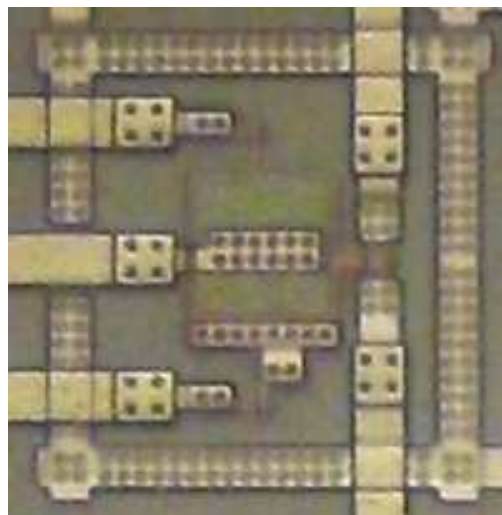
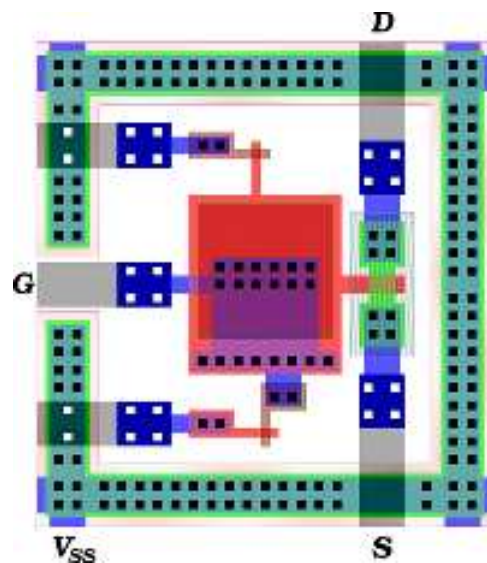


Figura 4.2 Fotografía de la Celda de Almacenamiento fabricada.

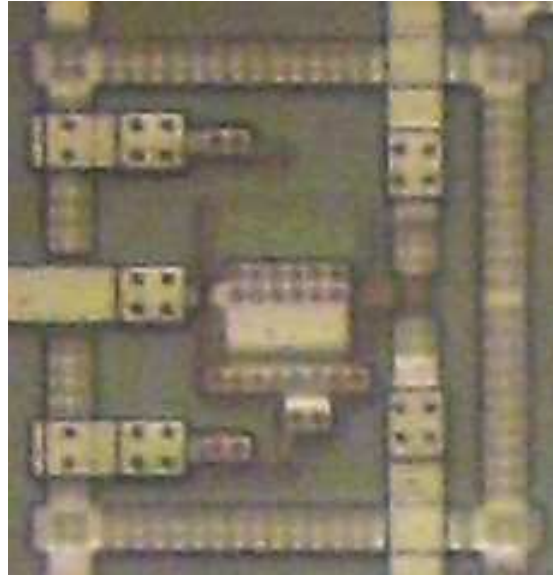
6/4, con una compuerta flotante de  $40 \times 34 \lambda$ , la compuerta de control tiene un área de  $30 \times 30 \lambda$ . El inyector y el extractor consisten de un cruce, a noventa grados, de una línea en la capa de Polisilicio2 sobre una línea en la capa de Polisilicio1, formando parte ésta última de la compuerta flotante [5]. Este diseño de inyector es el más simple, aunque en la literatura se ha reportado que en estructuras de capacitores también se presenta el tunelamiento [32]. Como se atribuye el hecho de que exista tunelamiento Fowler-Nordheim, a defectos de textura en el perímetro de las áreas de Polisilicio, se buscó mejorar la eficiencia de inyección mediante diseños que aumentaban el perímetro y el número de esquinas de la placa superior del inyector [32], o bien, violando algunas de las reglas de diseño para lograr (presumiblemente) ángulos más agudos en las esquinas del polisilicio [21]. Inclusive, se intentó optimizar teóricamente el número de “irregularidades geométricas” (bumps) que ayudaría a tener el mayor número de asperezas en la interfaz Polisilicio-Óxido de Silicio, con lo que se incrementaría la densidad de corriente de tunelamiento y se pudiese emplear voltajes de programación más bajos [33]. Sin embargo no se obtuvieron resultados concluyentes en ninguno de los estudios realizados.

Nótese la diferencia entre el inyector y el extractor. Para el primero, el electrodo al que se aplica el voltaje de programación se encuentra en la segunda capa de Polisilicio, mientras que para el segundo se realizó un contacto de la compuerta flotante hacia un área en la segunda capa de Polisilicio que igual permanece aislada de cualquier otra estructura y el electrodo donde se aplicará el pulso de programación, está en la primer capa de Polisilicio. Esto se hizo así porque en un diseño de Celda, mandado previamente a fabricar, en el que

la inyección y extracción de carga se realizaba por una sola estructura, encontramos que el primer fenómeno sí era posible en todas las celdas fabricadas, sin embargo la extracción solo se dio en una de ellas y en las restantes no se logró, inclusive aplicando voltajes de hasta 40 V. Esta unidireccionalidad observada se repitió en nuestro último diseño. Al aplicar un pulso negativo en el inyector, agregamos carga a la celda pero si el pulso era positivo no se logró extraerla. La situación inversa se presentó en el caso del extractor, un pulso negativo no inyectaba carga en la celda mientras que con un pulso positivo se efectuó la extracción de carga. La Figura 4.3 es el diseño topológico del Transistor de Referencia, el cual es idéntico a la Celda de Almacenamiento, con la diferencia que la compuerta de control y la compuerta flotante se encuentran cortocircuitadas entre sí y tanto el inyector como el extractor se han conectado al contacto de sustrato que rodea a ambos dispositivos. La fotografía del Transistor de Referencia tal como fue fabricado se muestra en la Figura 4.4.



**Figura 4.3** Diseño Topológico del Transistor de Referencia.



**Figura 4.4** Fotografía del Transistor de Referencia fabricado.

### 4.3 Comparador Analógico

En la Figura 4.5 se muestra el diseño topológico del Comparador Analógico. Los transistores  $M14$  y  $M15$  se forman por cuatro transistores en paralelo, ello con la finalidad de obtener los beneficios de un menor tamaño y reducción de las capacitancias de deserción de Fuente y Drenador [31]. La placa superior de cada uno de los capacitores,  $C1$  y  $C2$ , tienen dimensiones de  $48 \times 48 \lambda$ , mientras que la dimensión de la placa inferior, que es común a ambos dispositivos, es de  $104 \times 52 \lambda$ .

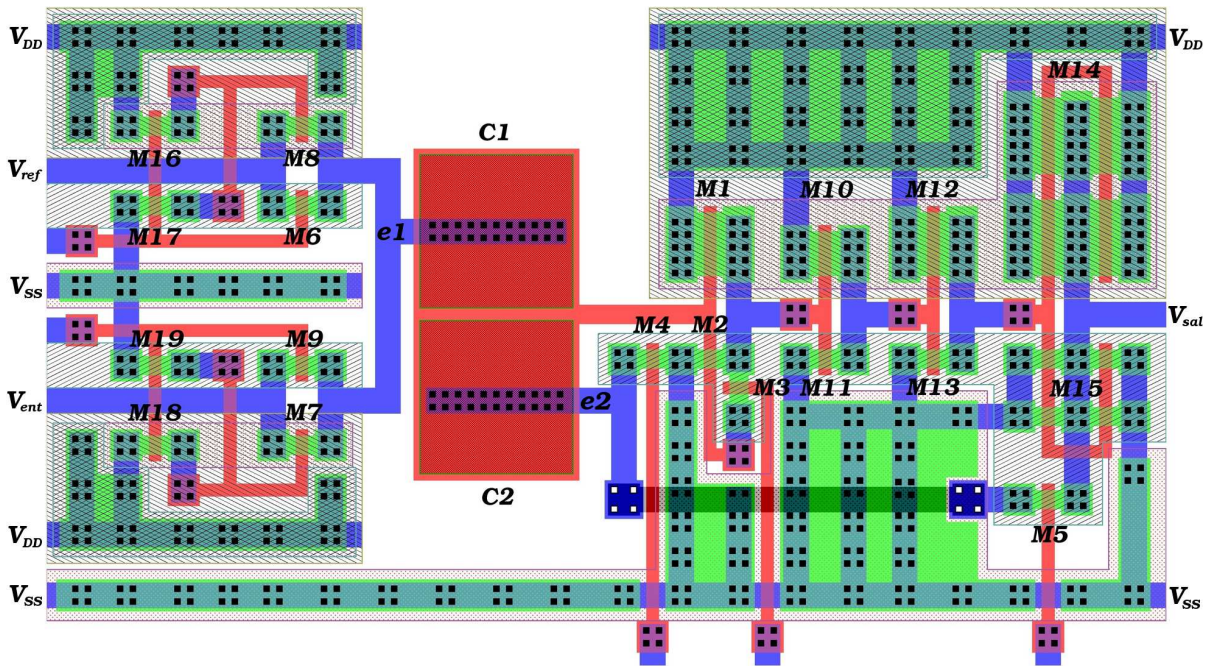


Figura 4.5 Diseño Topológico del Comparador Analógico.

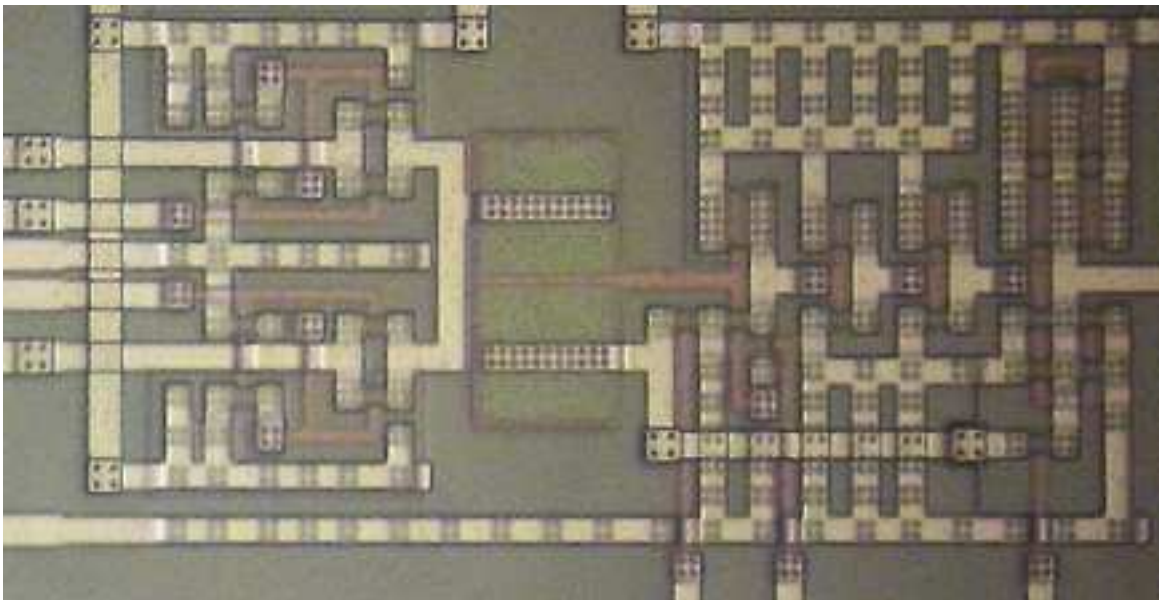
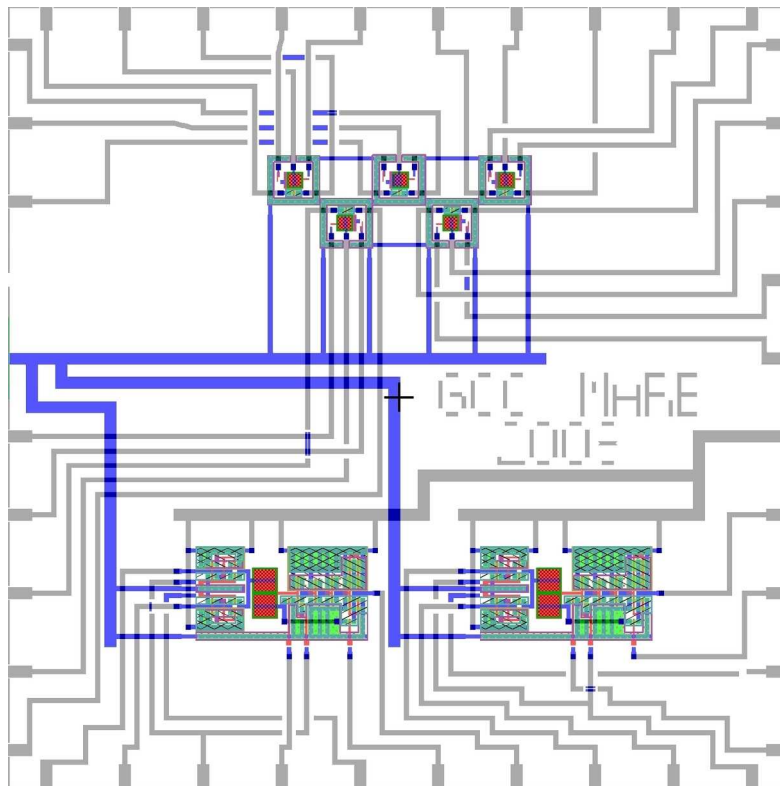


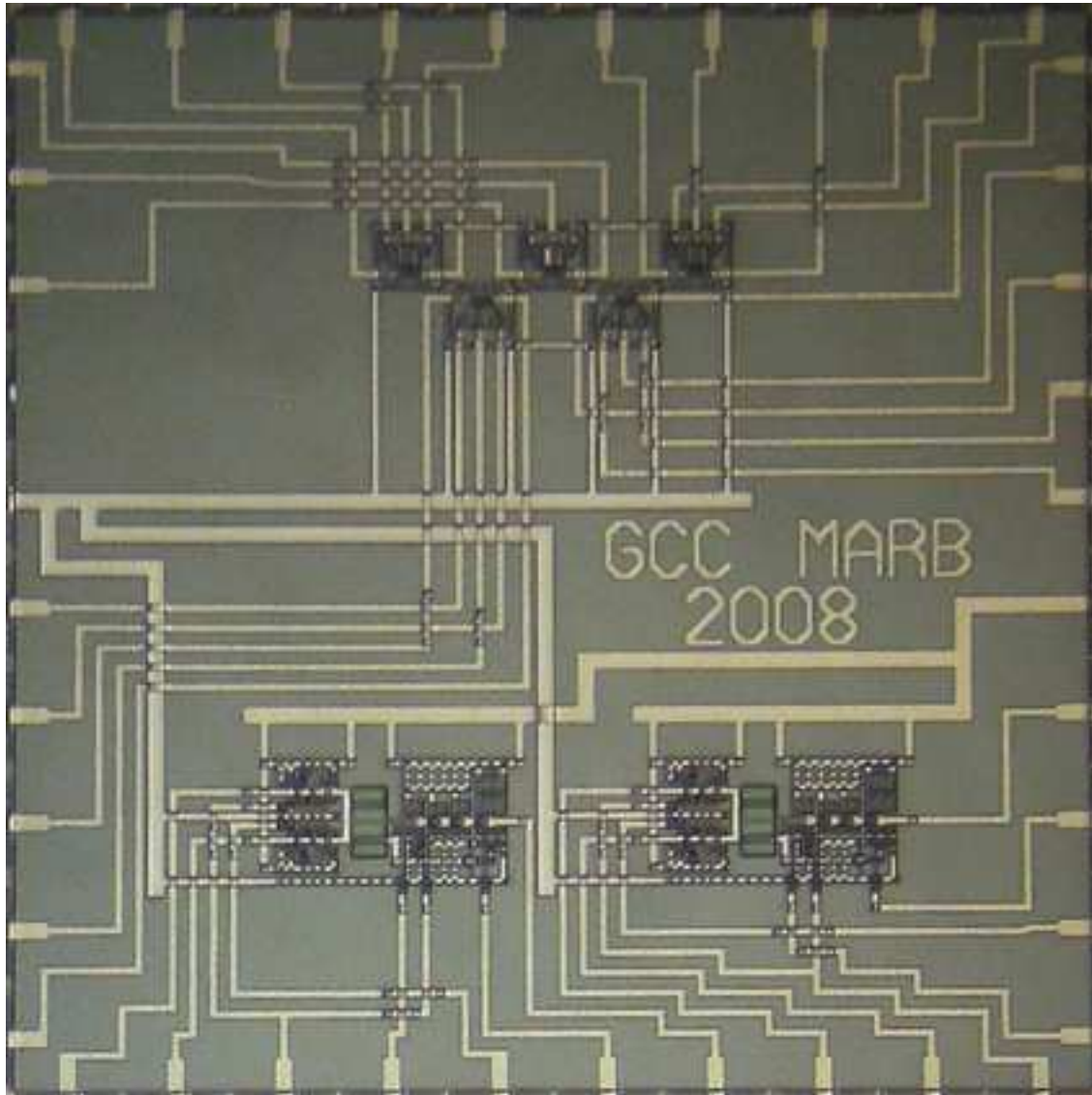
Figura 4.6 Fotografía del Comparador Analógico fabricado.

## 4.4 Circuito Integrado Completo

Para el proceso de fabricación utilizado, MOSIS hace entrega de cinco circuitos integrados en un encapsulado tipo “Doble-Línea” (Dual In-Line) de 40 terminales. Dos de dichas terminales son para los voltajes de alimentación  $V_{SS}$  y  $V_{DD}$ . El número de terminales restantes permitio albergar dentro del circuito integrado: un Transistor de Referencia, cuatro Celdas de Almacenamiento y dos Comparadores Analógicos. La distribución de nuestras estructuras, dentro del circuito integrado, se muestra topológicamente en la Figura 4.7 y en la Figura 4.8 se presenta la fotografía del “dado” correspondiente al circuito fabricado.



**Figura 4.7** Topología del Circuito Integrado Completo.



**Figura 4.8** “Dado” final del Circuito Integrado fabricado.





# Conclusiones

El trabajo desarrollado en esta tesis y que fue presentado en los capítulos anteriores, tiene como principal aportación, el establecimiento de una metodología de diseño y caracterización de los transistores MOS de compuerta flotante, FGMOS, orientada hacia su aplicación en circuitos analógicos. Se ilustran conceptos que sirven como base para lograr una simulación transitoria de programación del FGMOS, contando con los parámetros característicos del tunelamiento Fowler-Nordheim, los cuales no son proporcionados dentro del grupo de parámetros extraídos, por la fábrica de silicio. Estos logros se resumen a continuación por orden de relevancia:

- Se desarrolló una metodología para la obtención de los parámetros de tunelamiento Fowler-Nordheim de estructuras inyectoras elaboradas con un proceso de fabricación estándar. Al emplearla se encontró buena concordancia entre los datos medidos y simulados con los parámetros extraídos a partir las mediciones, por lo que la podemos utilizar en la caracterización de dispositivos que se fabriquen con tecnologías diferentes.
- Se desarrolló un modelo de simulación sencillo para una celda de memoria analógica basada en un transistor FGMOS con inyección y extracción de carga mediante el

mecanismo de tunelamiento Fowler-Nordheim. Este modelo permitirá simular sistemas que empleen memorias analógicas como pueden ser arreglos asociativos, redes neuronales artificiales, circuitos de cómputo analógico, etc., basados en FGMOS.

- Se demostró la posibilidad de linealizar el proceso de inyección de carga mediante una técnica de retroalimentación susceptible de ser implementada en un circuito integrado fabricado con un proceso estándar.
- Para la tecnología de fabricación empleada con los FGMOS, se determinó una asimetría en el tunelamiento Fowler-Nordheim, por lo que se optimizó el diseño topológico de la estructura inyectora, para sacar ventaja de la superficie con emisión preferencial de portadores.
- Se propone un método alternativo que permite la caracterización de los coeficientes de acoplamiento, que entrega al mismo tiempo el voltaje presente en la compuerta flotante del FGMOS. El procedimiento seguido es sencillo, rápido y con resultados bastante buenos.
- Se diseñaron y construyeron circuitos de apoyo para tener la posibilidad de caracterizar el tunelamiento Fowler-Nordheim, con opción de programar la generación de un tren de pulsos, de magnitudes hasta de 50 V, diferentes anchos de pulso y con tiempos de subida apropiados para minimizar el daño físico del óxido de tunelamiento.

# Apéndice A

## Código SPICE de las Simulaciones

Los siguientes listados de códigos para simulación se utilizaron con el simulador NGSPICE, el cual es una mejora del simulador Spice3f5 de la Universidad de Berkeley. El simulador NGSPICE esta disponible bajo los términos de una licencia GNU, que permite su libre distribución y modificación, lo que en un momento dado podría alentar el desarrollar un modelo para el FGMOS que se incorpore al simulador como un dispositivo más de su biblioteca y no en la forma de “Macromodelo”. En caso de contar con otro simulador, por ejemplo PSPICE, habrá que “portar” el código aquí presentado. Sin embargo, ésta es una tarea simple de realizar ya que la única diferencia entre ambos simuladores es la manera de implementar las “Fuentes Dependientes No-Lineales”

## A.1 Simulación de la Programación de la Celda de Almacenamiento sin usar y usando un esquema de retroalimentación

\*Simulacion de Celda como Seguidor Fuente  
 \*Programacion sin y con Retroalimentacion

Vdd Vdd 0 DC 5V

\*Voltaje de control para el transistor de retroalimentacion  
 \*Quite el \* a la siguiente linea para simular con retroalimentacion  
 \*Vctrl ctrl 0 PULSE(0 5 125us 5us 5us 40us 200us)

\*Pulsos de Programacion

Vpp Vpp 0 PWL(

+ 0us 0V 10us 0V 15us 15V 20us 30V 25us 45V 26us 48V 30us 48V  
 + 70us 48v 74us 48V 75us 45v 80us 30V 85us 15v 90us 0v 100us 0v  
 + 150us 0V  
 + 200us 0V 210us 0V 215us 15V 220us 30V 225us 45V 226us 48V 230us 48V  
 + 270us 48v 274us 48V 275us 45v 280us 30V 285us 15v 290us 0v 300us 0v  
 + 350us 0V  
 + 400us 0V 410us 0V 415us 15V 420us 30V 425us 45V 426us 48V 430us 48V  
 + 470us 48v 474us 48V 475us 45v 480us 30V 485us 15v 490us 0v 500us 0v  
 + 550us 0V  
 + 600us 0V 610us 0V 615us 15V 620us 30V 625us 45V 626us 48V 630us 48V  
 + 670us 48v 674us 48V 675us 45v 680us 30V 685us 15v 690us 0v  
 + 700us 0v  
 + 750us 0V  
 + 800us 0V 810us 0V 815us 15V 820us 30V 825us 45V 826us 48V 830us 48V  
 + 870us 48v 874us 48V 875us 45v 880us 30V 885us 15v 890us 0v 900us 0v  
 + 950us 0V  
 + 1000us 0V 1010us 0V 1015us 15V 1020us 30V 1025us 45V 1026us 48V  
 + 1030us 48V  
 + 1070us 48v 1074us 48V 1075us 45v 1080us 30V 1085us 15v 1090us 0v  
 + 1100us 0v  
 + 1150us 0V  
 + 1200us 0V 1210us 0V 1215us 15V 1220us 30V 1225us 45V 1226us 48V  
 + 1230us 48V  
 + 1270us 48v 1274us 48V 1275us 45v 1280us 30V 1285us 15v 1290us 0v  
 + 1300us 0v

```
+ 1350us 0V
+ 1400us 0V 1410us 0V 1415us 15V 1420us 30V 1425us 45V 1426us 48V
+ 1430us 48V
+ 1470us 48v 1474us 48V 1475us 45v 1480us 30V 1485us 15v 1490us 0v
+ 1500us 0v)
```

```
*Fuente de Corriente para el Tunelamiento Fowler-Nordheim
```

```
Btun iny1 3 I=(V(iny,fg)/abs(V(iny,fg)))*1E-4*1.25E-6
+          *(abs(V(iny1,fg))/50E-7)^2
+          *exp(-50E-7*2.57E8/abs(V(iny1,fg)))
Vsenseitun 3 fg DC 0
```

```
*Modelo Capacitivo del FGMOS
```

```
Cg 0 fg 328.32f
Cpar fg 0 31.3344f
Ciny1 iny1 fg 1.4592f
Ciny2 0 fg 1.4592f
Cpp Vpp iny1 437.76f
```

```
Mcelda Vdd fg Sal 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
Rsal Sal 0 10Meg
```

```
*Quite el * a la siguiente linea para simular con retroalimentacion
```

```
*Mretro Sal ctrl iny1 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
```

```
.include t81y.mod
.tran 0.1us 1500us
.ic v(fg)=0.0 v(iny1)=0.0
.end
```

## A.2 Simulación del Comparador Analógico Síncrono

\*Prueba del Comparador Analogico

```
Vao Vao 0 DC 12.0V
Vdd Vdd 0 DC 5.0V
Vent Vent 0 PWL(0 0V 200us 0.0V 300us 0.0v 400us 0.0V 450us
+ 0.5V 500us 1V 550us 1.5V 600us 2V 650us 2.5V 700us 3V
+ 750us 3.5V 800us 4V 850us 4.5V 900u 5V 901u 0V)
Vref Vref 0 DC 3.00
```

\*Inversor NuMOS

```
M1 salnumos fg 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M2 salnumos fg Vdd Vdd CMOSP W=16.0u L=3.2u Pd=72u Ps=72u
```

```
C1 ent1 fg 840.5f
C2 ent2 fg 840.5f
CPar fg 0 124.6f
```

```
M3 salnumos FI2 fg 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
```

```
Xa Vref ent1 FI2 Vdd CompTrans
Xb Rampa ent1 FI4 Vdd CompTrans
```

```
M6 salida FI3 ent2 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
```

```
M7 ent2 FI1 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
```

\*Etapas de Salida

\*

\*Primer Inversor

```
M8 salinv1 salnumos 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M9 salinv1 salnumos Vdd Vdd CMOSP W=11.2u L=3.2u Pd=48.0u Ps=48.0u
```

\*Segundo Inversor

```
M10 salinv2 salinv1 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M11 salinv2 salinv1 Vdd Vdd CMOSP W=16.0u L=3.2u
```

\*Tercer Inversor

```
M12 salida salinv2 0 0 CMOSN W=19.2u L=3.2u
M13 salida salinv2 Vdd Vdd CMOSP W=76.8u L=3.2u

*Generadores de Reloj

*Fi1
X1 NoInv1 FI1 Vao 0 FI1 LM358
VClk1 NoInv1 0 PULSE(0 5 50us 1us 1us 250us)

*Fi2
X2 NoInv2 FI2 Vao 0 FI2 LM358
VClk2 NoInv2 0 PULSE(0 5 75us 1us 1us 150us)

*Fi3
X3 NoInv3 FI3 Vao 0 FI3 LM358
VClk3 NoInv3 0 PULSE(0 5 275us 1us 1us 675us)

*Fi4
X4 NoInv4 FI4 Vao 0 FI4 LM358
VClk4 NoInv4 0 PULSE(0 5 300us 1us 1us 625us)

X5 Vent Rampa Vao 0 Rampa LM358

*Compuerta de Transmision

.subckt CompTrans A B C Vdd

M100 A C B 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M101 A Cinv B Vdd CMOSP W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M102 Cinv C 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M103 Cinv C Vdd Vdd CMOSP W=4.8u L=3.2u Pd=35.2u Ps=35.2u

.ends Comptrans

.ic v(fg) 0V v(ent1) 0v
.include t81y.mod
.include lm358.mod

.tran 250ns 1000us
.end
```

### A.3 Simulación de la Celda de Almacenamiento y el Comparador Analógico operando para mejorar el proceso de grabado en la Celda de Almacenamiento

Simulacion de la Celda y Comparador Analogico

Vdd Vdd 0 DC 5.0V

Vref Entrada1 0 DC 3.5V

\*Pulsos de Programacion

Vpp Vpp 0 PWL(

```
+ 500us 0V 510us 0V 515us 15V 520us 30V 525us 45V 526us 48V 530us 48V
+ 570us 48v 574us 48V 575us 45v 580us 30V 585us 15v 590us 0v 600us 0v
+ 650us 0V
+ 700us 0V 710us 0V 715us 15V 720us 30V 725us 45V 726us 48V 730us 48V
+ 770us 48v 774us 48V 775us 45v 780us 30V 785us 15v 790us 0v 800us 0v
+ 850us 0V
+ 900us 0V 910us 0V 915us 15V 920us 30V 925us 45V 926us 48V 930us 48V
+ 970us 48v 974us 48V 975us 45v 980us 30V 985us 15v 990us 0v 1000us 0v
+ 1050us 0V
+ 1100us 0V 1110us 0V 1115us 15V 1120us 30V 1125us 45V 1126us 48V
+ 1130us 48V
+ 1170us 48v 1174us 48V 1175us 45v 1180us 30V 1185us 15v 1190us 0v
+ 1200us 0v
+ 1250us 0V
+ 1300us 0V 1310us 0V 1315us 15V 1320us 30V 1325us 45V 1326us 48V
+ 1330us 48V
+ 1370us 48v 1374us 48V 1375us 45v 1380us 30V 1385us 15v 1390us 0v
+ 1400us 0v
+ 1450us 0V
+ 1500us 0V 1510us 0V 1515us 15V 1520us 30V 1525us 45V 1526us 48V
+ 1530us 48V
+ 1570us 48v 1574us 48V 1575us 45v 1580us 30V 1585us 15v 1590us 0v
+ 1600us 0v
+ 1650us 0V
+ 1700us 0V 1710us 0V 1715us 15V 1720us 30V 1725us 45V 1726us 48V
+ 1730us 48V
+ 1770us 48v 1774us 48V 1775us 45v 1780us 30V 1785us 15v 1790us 0v
+ 1800us 0v
```



```
+ 1850us 0V
+ 1900us 0V 1910us 0V 1915us 15V 1920us 30V 1925us 45V 1926us 48V
+ 1930us 48V
+ 1970us 48v 1974us 48V 1975us 45v 1980us 30V 1985us 15v 1990us 0v
+ 2000us 0v)
```

```
*Generadores de Reloj
```

```
VClk1 FI1 0 PULSE(0 5 50us 5us 5us 250us)
VClk2 FI2 0 PULSE(0 5 75us 5us 5us 150us)
VClk3 FI3 0 PULSE(0 5 275us 5us 5us 1775us)
VClk4 FI4 0 PULSE(0 5 300us 5us 5us 1725us)
Vctrl ctrl 0 PULSE(0 5 625us 5us 5us 40us 200us)
```

```
*CELDA DE ALMACENAMIENTO
```

```
Btun iny1 3 I=(V(iny,fg)/abs(V(iny,fg)))*1E-4*1.25E-6
+          *(abs(V(iny1,fg_cel))/50E-7)^2
+          *exp(-50E-7*2.57E8/abs(V(iny1,fg_cel)))
Vsenseitun 3 fg_cel DC 0
```

```
Cg 0 fg_cel 328.32f
Cpar fg_cel 0 31.3344f
Ciny1 iny1 fg_cel 1.4592f
Ciny2 0 fg_cel 1.4592f
Cpp Vpp iny1 437.76f
```

```
Mcelda Vdd fg_cel Sal_cel 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
Rsal Sal_cel 0 10Meg
```

```
Mretro Sal_cel ctrl iny1 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
Maltovpp iny1 Sal_comp 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
```

```
*COMPARADOR ANALOGICO
```

```
*Inversor NuMOS
```

```
M1 salnumos fg_comp 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M2 salnumos fg_comp Vdd Vdd CMOSN W=16.0u L=3.2u Pd=72u Ps=72u
```

```
C1 ent1 fg_comp 840.5f
C2 ent2 fg_comp 840.5f
```

```

CPar fg_comp 0 124.6f

M3 salnumos FI2 fg_comp 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u

Xa Entrada1 ent1 FI2 Vdd CompTrans
Xb Sal_cel ent1 FI4 Vdd CompTrans

M6 Sal_comp FI3 ent2 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u

M7 ent2 FI1 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u

*Etapa de Salida
*
*Primer Inversor

M8 salinv1 salnumos 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M9 salinv1 salnumos Vdd Vdd CMOSP W=11.2u L=3.2u Pd=48.0u Ps=48.0u

*Segundo Inversor

M10 salinv2 salinv1 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M11 salinv2 salinv1 Vdd Vdd CMOSP W=16.0u L=3.2u

*Tercer Inversor

M12 Sal_comp salinv2 0 0 CMOSN W=19.2u L=3.2u
M13 Sal_comp salinv2 Vdd Vdd CMOSP W=76.8u L=3.2u

*COMPUERTA DE TRANSMISION

.subckt CompTrans A B C Vdd
M100 A C B 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M101 A Cinv B Vdd CMOSP W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M102 Cinv C 0 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u
M103 Cinv C Vdd Vdd CMOSP W=4.8u L=3.2u Pd=35.2u Ps=35.2u
.ends Comptrans

.ic v(fg_comp)=0V v(ent1= 0v v(fg_cel)=0V v(iny1)=0V
.include t81y.mod
.tran 100ns 2100us
.end

```

## A.4 Simulación del Experimento para la Determinación de los Coeficientes de Tunelamiento Fowler-Nordheim

Simulacion de Tunelamiento

Vdd Vdd 0 DC 5V

VddA0 VddA0 0 DC 12V

VssA0 VssA0 0 DC -12V

\*Rampa lineal de voltaje

VppOn VppOn 0 PULSE(5 0 5ms 10ns 10ns 44ms 55ms)

Epp Vpp 0 1 0 10

I1 0 1 DC 100u

C1 1 0 1u

XMpp 1 VppOn 0 2N7000

\*Fuente de Corriente para el Tunelamiento Fowler-Nordheim

Btun Vpp 3  $I=(V(\text{iny},\text{fg})/\text{abs}(V(\text{iny},\text{fg})))\cdot 1\text{E}-4\cdot 1.25\text{E}-6$

+  $\cdot (\text{abs}(V(\text{Vpp},\text{fg}))/50\text{E}-7)^2$

+  $\cdot \text{exp}(-50\text{E}-7\cdot 2.57\text{E}8/\text{abs}(V(\text{Vpp},\text{fg})))$

Vsenseitun 3 fg DC 0

\*Modelo Capacitivo del FGMOS

Cg 0 fg 328.32f

Cpar fg 0 31.3344f

Ciny1 Vpp fg 1.4592f

Ciny2 0 fg 1.4592f

Mcelda Vdd fg 2a 0 CMOSN W=4.8u L=3.2u Pd=35.2u Ps=35.2u

Vsenseids 2a 2b DC 0

\*Convertidor de Corriente a Voltaje

Rsen 2b Sal 10k

RL Sal 0 10k

X1 0 2b VddA0 VssA0 Sal AD711

```
.include t81y.mod  
.include ad711.mod  
.include 2n7000.mod  
.tran 100us 55ms  
.ic v(1)=0 v(fg)=1.08  
.end
```

# Apéndice B

## Programas de Computadora

### B.1 Programa Auxiliar para la Determinación del Coeficiente de Acoplamiento $\alpha_{CG}$ y del Voltaje de Umbral

El siguiente programa, escrito en lenguaje “C”, realiza todas las operaciones descritas en nuestra metodología, auxiliandonos en la determinación del coeficiente de acoplamiento  $\alpha_{CG}$  de un transistor FGMOS; con la ventaja adicional de que extrae el voltaje de umbral, por lo que es igualmente útil en la caracterización de transistores MOS convencionales. La entrada al programa es un archivo en formato CSV que contenga un listado de las parejas  $V_{GS}, I_{DS}$  del dispositivo a caracterizar. Antes de procesar los datos efectúa un suavizado (smoothing) de los mismos, empleando el algoritmo de Savistky-Golay, que también nos permite realizar el cálculo de la primer derivada [34] [35]. Como información de salida nos entrega la pendiente  $m$ , y la ordenada al origen  $b$ , del ajuste realizado en la región lineal de la curva  $\sqrt{I_{DS}}$  vs.  $V_{GS}$ ; valores con los que se determina el valor de  $\alpha_{CG}$  y se calcula el voltaje de umbral,  $V_{TH}$ , del

dispositivo cuyos datos se ingresaron.

```

/*****
 *
 * umbral.c
 *
 * Determina la region de saturacion en la curva
 * Ids vs Vgs de un transistor MOS y realiza el
 * calculo del Voltaje de Umbral. Los valores de
 * los parametros de ajuste se pueden utilizar
 * para determinar el coeficiente de acoplamiento
 * de la Compuerta de Control en transistores de
 * compuerta flotante
 *
 *****/

#define _GNU_SOURCE
#include <stdio.h>
#include <stdlib.h>
#include <string.h>
#include <math.h>
#include <gsl/gsl_math.h>
#include <gsl/gsl_fit.h>

int main(int argc, char *argv[] )
{
    char nombre_arch_ent[100], nombre_arch_sal[100], c;
    const char delimitadores[]=" ,";
    char *linea_de_dato=NULL;
    size_t len=100;
    double *datos, paso, X3, X2, X1, X0, X_1, X_2, X_3, max_deriv;
    double *x, *y, m, b, cov00, cov01, cov11, chisq, delta;
    int fila, columna, n_de_datos=0, punto_inicial=0, punto_final=0;
    int indice_max_deriv, indice_1uA;
    int lim_inf, bandera_lim_inf, lim_sup, bandera_lim_sup, bandera_1uA=0;
    unsigned long tam_arch=0, contador, indice, P1, P2;
    FILE *arch_ent;
    if(argc==1)
    {
        printf("\nUso: umbral archivo_de_datos.csv \n\n");
        return 0;
    }

```

```
    }
strcpy(nombre_arch_ent,argv[1]);
printf("\nArchivo de entrada: %s \n",nombre_arch_ent);
arch_ent=fopen(nombre_arch_ent,"r");
if(arch_ent==NULL)
{
    printf("\nNo se encontro el archivo: %s\n",nombre_arch_ent);
    return 0;
}
while(1)
{
    c=fgetc(arch_ent);
    if(c==EOF)break;
    else
    {
        if(c=='\x0A')n_de_datos++;
        tam_arch++;
    }
}
printf("\nNmero de datos: %i \n",n_de_datos);
linea_de_dato=(char *)malloc(100);
datos=calloc(5*n_de_datos,sizeof(double));
// 5 columnas de datos
// Columna 1: Vg
// Columna 2: Id medida
// Columna 3: Id suavizada
// Columna 4: raiz cuadrada de Id suavizada
// Columna 5: Primera derivada de la raiz cuadrada de Id suavizada
rewind(arch_ent);

/*****
*
* Lectura de los datos medidos *
*
*****/

for(fila=0;fila<n_de_datos;fila++)
{
    getline(&linea_de_dato,&len,arch_ent);
    *(datos+5*fila+0)=strtod(strtok(linea_de_dato,delimitadores),NULL);
    *(datos+5*fila+1)=strtod(strtok(NULL,delimitadores),NULL);
    *(datos+5*fila+2)=0.0;
```

```

        *(datos+5*fila+3)=0.0;
        *(datos+5*fila+4)=0.0;
    }
    paso=*(datos+5*4+0)-*(datos+5*3+0);

/*****
*
* Suavizado de los datos medidos empleando el algoritmo Savistky-Golay *
* de 7 puntos. *
* Se calcula simultaneamente la raiz cuadrada de los datos suavizados *
* de Id. Se enceuntra el punto en que Id es mayor a 1 uA *
* *
*****/

punto_inicial=3;
punto_final=n_de_datos-4;

for(fila=punto_inicial;fila<=punto_final;fila++)
{
    X3=*(datos+5*(fila+3)+1);
    X2=*(datos+5*(fila+2)+1);
    X1=*(datos+5*(fila+1)+1);
    X0=*(datos+5*(fila+0)+1);
    X_1=*(datos+5*(fila-1)+1);
    X_2=*(datos+5*(fila-2)+1);
    X_3=*(datos+5*(fila-3)+1);
    *(datos+5*fila+2)=
        (-2.0*X3+3.0*X2+6.0*X1+7.0*X0+6.0*X_1+3.0*X_2-2.0*X_3)/(21.0);
    *(datos+5*fila+3)=sqrt(fabs(*(datos+5*fila+2)));
    if((gsl_fcmp(*(datos+5*fila+2),1E-6,1E-8)==1)&&(bandera_1uA)==0)
    {
        indice_1uA=fila;
        bandera_1uA=1;
    }
}

/*****
*
* Primer derivada de la raiz cuadrada de Id *
* *
*****/

```



```
punto_inicial=6;
punto_final=n_de_datos-7;
for(fila=punto_inicial;fila<=punto_final;fila++)
{
  X3=(datos+5*(fila+3)+3);
  X2=(datos+5*(fila+2)+3);
  X1=(datos+5*(fila+1)+3);
  X_1=(datos+5*(fila-1)+3);
  X_2=(datos+5*(fila-2)+3);
  X_3=(datos+5*(fila-3)+3);
  *(datos+5*fila+4)=
    (-22.0*X3+67.0*X2+58.0*X1-58.0*X_1-67.0*X_2+22.0*X_3)/(252.0*paso);
}

/*****
*
* Encuentra el primer maximo de la derivada de Id1/2 que
* esta mas alla del punto donde la corriente es aproxima-
* damente 1ua
*
* *****/

max_deriv=(datos+5*punto_inicial+4);
for(fila=punto_inicial+1;fila<=punto_final;fila++)
{
  if(fila<indice_1uA)continue;
  if(gsl_fcmp(max_deriv,*(datos+5*fila+4),1E-8)==1)
  {
    indice_max_deriv=fila-1;
    break;
  }
  else
  {
    max_deriv=(datos+5*fila+4);
  }
}
```

```

/*****
 *
 * Se realiza la búsqueda de todos aquellos elementos que
 * se encuentren dentro de una franja de +-2% con respecto
 * al primer maximo y con ellos se calcula Vth
 *
 *****/

punto_inicial=6;
punto_final=n_de_datos-7;
bandera_lim_inf=0;
bandera_lim_sup=0;
for(fila=punto_inicial;fila<=punto_final;fila++)
{
    delta=(1.0-*(datos+5*fila+4)/max_deriv)*100;
    if(delta<=2.0)
    {
        if(!bandera_lim_inf) // El primer dato que esta dentro
                            //de la franja sera el limite inferior
        {
            bandera_lim_inf=1;
            lim_inf=fila;
        }

        else if(bandera_lim_inf && !bandera_lim_sup)
        {
            bandera_lim_sup=1;
            lim_sup=fila-1;
        }
    }
}

x=calloc(lim_sup-lim_inf+1,sizeof(double));
y=calloc(lim_sup-lim_inf+1,sizeof(double));
fila=0;
do
{
    *(x+fila)=*(datos+5*(lim_inf+fila)+0); // Voltaje de Compuerta
    *(y+fila)=*(datos+5*(lim_inf+fila)+3); // Raiz cuadrada de Id
    fila++;
}

```

```
    }while(fila<(lim_sup-lim_inf+1));
    gsl_fit_linear(x,1, y,1,(lim_sup-lim_inf+1),
                  &b,&m,&cov00,&cov01,&cov01,&chisq);
    printf("\nm=%g\nb=%g\nchisq=%g\nVt=%g\n",m,b,chisq,-b/m);

    free(datos);
    free(x);
    free(y);
    fclose(arch_ent);
    return 0;
}
```

## B.2 Programa de Interpolación.

La finalidad de este programa es ayudarnos a relizar el mapeo de los valores de la corriente de Drenador  $I_{DS}$  (medida en la Celda de Almacenamiento durante el experimento para determinar los coeficientes de tunelamiento) hacia la curva de transconductancia del Transistor de Referencia. Cuando se llama al programa, se le proporciona el nombre del archivo que contiene las parejas de datos  $(V_{GS}, I_{DS})$ , en formato CSV, correspondientes al Transistor de Referencia. Durante su ejecución, el programa solicita el valor de  $I_{DS}$  y devuelve el valor del voltaje de compuerta  $V_{GS}$  que deberá estar presente para que dicho valor de corriente circule por el Transistor de Referencia. Como el valor de corriente introducido se midió para el FGMOS de la Celda de Almacenamiento, el valor de voltaje regresado por el programa se interpreta como el valor del potencial de la compuerta flotante del FGMOS.

```

/*****
*
* Interpola.c
*
* A partir de un archivo de datos, en formato CSV,
* que represente la curva de transconductancia de
* un transistor MOS, se pueden interpolar valores
* tanto de voltaje de compuerta como de corriente
* de drenador, es decir, dado un voltaje de com-
* puerta (no medido) nos entrega la corriente que
* circulara y visceversa; dada una corriente, nos
* proporciona el voltaje de compuerta que la ha de
* producir.
*
*****/

```

```
#define _GNU_SOURCE
#include <stdio.h>
#include <stdlib.h>
#include <string.h>
#include <math.h>
#include <gsl/gsl_errno.h>
#include <gsl/gsl_math.h>
#include <gsl/gsl_roots.h>
#include <gsl/gsl_vector.h>
#include <gsl/gsl_linalg.h>

struct spline_params
{
    double a,b,c,d,xi,S;
};

double spline(double x, void *params);
double spline_deriv(double x, void *params);
void spline_fdf(double x, void *params, double *y, double *dy);

int main(int argc, char *argv[] )
{
    char nombre_arch_ent[50],nombre_arch_sal[50],comando[100],c;
    const char delimitadores[]=" ,";
    char *linea_de_dato=NULL;
    size_t len=100;
    double *datos,paso,X3,X2,X1,X0,X_1,X_2,X_3;
    double a3,b3,c3,d3,S3,val;
    double Vgs,Ids,M[6],A[]={4,1,0,0,
                            1,4,1,0,
                            0,1,4,1,
                            0,0,1,4},Y[4];
    int n_de_datos=0,punto_inicial=0,punto_final=0;
    unsigned long tam_arch=0,contador,indice;
    FILE *arch_ent;

    gsl_matrix_view m;
    gsl_vector_view b;
    gsl_vector *X; // Soluciones del sistema
    gsl_permutation *p;
    int s1;
    int status, iter=0, max_iter=100;
```

```

const gsl_root_fdfsolver_type *T;
gsl_root_fdfsolver *s2;
struct spline_params params;
double x0,x;
gsl_function_fdf FDF;

if(argc==1 | argc == 2)
{
    printf("\nUso: interpola Vgs|Ids archivo_de_datos.csv \n\n");
    return 0;
}
strcpy(nombre_arch_ent,argv[2]);
printf("\nArchivo de entrada: %s \n",nombre_arch_ent);
arch_ent=fopen(nombre_arch_ent,"r");
if(arch_ent==NULL)
{
    printf("\nNo se encontro el archivo: %s\n",nombre_arch_ent);
    return 0;
}
while(1)
{
    c=fgetc(arch_ent);
    if(c==EOF)break;
    else
    {
        if(c=='\x0A')n_de_datos++;
        tam_arch++;
    }
}
printf("\nNmero de datos: %i \n",n_de_datos);
linea_de_dato=(char *)malloc(100);
datos=calloc(2*n_de_datos,sizeof(double));
rewind(arch_ent);
for(contador=0;contador<n_de_datos;contador++)
{
    getline(&linea_de_dato,&len,arch_ent);
    *(datos+2*contador+0)=
        strtod(strtok(linea_de_dato,delimitadores),NULL); // Vgs
    *(datos+2*contador+1)=
        strtod(strtok(NULL,delimitadores),NULL); // Ids
}
paso=*(datos+2*4+0)-*(datos+2*3+0);

```

```
printf("\nTamano del Paso: %g\n", paso);
punto_inicial=3;
punto_final=n_de_datos-4;
free(datos);
fclose(arch_ent);
if(!strcmp(argv[1], "Vgs"))
{
    printf("Valor de Vgs a interpolar: ");
    scanf("%lg", &Vgs);
    for(contador=0; contador<n_de_datos; contador++)
    {
        if(Vgs<=*(datos+2*contador+0))
        {
            indice=contador;
            break;
        }
    }
}
else if(!strcmp(argv[1], "Ids"))
{
    printf("Valor de Ids a interpolar: ");
    scanf("%lg", &Ids);
    for(contador=0; contador<n_de_datos; contador++)
    {
        if(Ids<=*(datos+2*contador+1))
        {
            indice=contador;
            break;
        }
    }
}
else
{
    printf("\n Opcion no valida %s", argv[1]);
    return 0;
}
```

```

/* Calculo del spline cubico para los 6 puntos
   cercanos al que deseo interpolar*/
/* 3 puntos superiores y 3 puntos inferiores*/

Y[0]=*(datos+2*(indice-3)+1)-*(datos+2*(indice-2)+1)*2.0+
      *(datos+2*(indice-1)+1);
Y[1]=*(datos+2*(indice-2)+1)-*(datos+2*(indice-1)+1)*2.0+
      *(datos+2*(indice-0)+1);
Y[2]=*(datos+2*(indice-1)+1)-*(datos+2*(indice-0)+1)*2.0+
      *(datos+2*(indice+1)+1);
Y[3]=*(datos+2*(indice-0)+1)-*(datos+2*(indice+1)+1)*2.0+
      *(datos+2*(indice+2)+1);
Y[0]=Y[0]*(6.0/pow(paso,2));
Y[1]=Y[1]*(6.0/pow(paso,2));
Y[2]=Y[2]*(6.0/pow(paso,2));
Y[3]=Y[3]*(6.0/pow(paso,2));

m = gsl_matrix_view_array(A,4,4);
b = gsl_vector_view_array(Y,4);
p = gsl_permutation_alloc(4);
X = gsl_vector_alloc(4);
gsl_linalg_LU_decomp(&m.matrix, p, &s1);
gsl_linalg_LU_solve(&m.matrix, p, &b.vector, X);

printf("X = \n");
gsl_vector_fprintf(stdout,X,"%g");
M[0]=0;
M[1]=gsl_vector_get(X,0);
M[2]=gsl_vector_get(X,1);
M[3]=gsl_vector_get(X,2);
M[4]=gsl_vector_get(X,3);
M[5]=0;
gsl_permutation_free(p);
gsl_vector_free(X);

a3 = (M[3]-M[2])/(6.0*paso);
b3 = M[2]/2.0;
c3 = (*(datos+2*indice+1)-*(datos+2*(indice-1)+1))/paso -
      paso*(M[3]+2.0*M[2])/6;
d3 = *(datos+2*(indice-1)+1);

if(!strcmp(argv[1],"Vgs"))

```



```
{
    val=Vgs-*(datos+2*(indice-1)+0);
    S3 = a3*pow(val,3) + b3*pow(val,2) + c3*val + d3;
    Ids = S3;
    printf("\n Valor interpolado de Vgs = %e da Ids = %e\n",Vgs,Ids);
}
else
{
    x=*(datos+2*indice+0); // La aproximacion inicial para el algoritmo de
                          // Newton-Raphson sera el dato superior

    params.a = a3;
    params.b = b3;
    params.c = c3;
    params.d =d3;
    params.xi = *(datos+2*(indice-1)+0);
    params.S = Ids;
    FDF.f = &spline;
    FDF.df = &spline_deriv;
    FDF.fdf = &spline_fdf;
    FDF.params = &params;

    T = gsl_root_fdfsolver_newton;
    s2 = gsl_root_fdfsolver_alloc(T);
    gsl_root_fdfsolver_set(s2,&FDF,x);

    do
    {
        iter ++;
        status = gsl_root_fdfsolver_iterate(s2);
        x0=x;
        x=gsl_root_fdfsolver_root(s2);
        status = gsl_root_test_delta(x,x0,0,1E-6);

        }while(status == GSL_CONTINUE && iter < max_iter);
    Vgs = x;
    gsl_root_fdfsolver_free(s2);
    printf("\n Valor interpolado de Ids = %e da Vgs = %e\n",Ids,Vgs);
}
return 0;
}
```

```
double spline(double x, void *params)
```

```
{
  struct spline_params *p = (struct spline_params *) params;
  double a = p -> a;
  double b = p -> b;
  double c = p -> c;
  double d = p -> d;
  double xi = p -> xi;
  double S = p -> S;

  return a*(x-xi)*(x-xi)*(x-xi) + b*(x-xi)*(x-xi) + c*(x-xi) + d - S;
}
```

```
double spline_deriv(double x, void *params)
{
  struct spline_params *p = (struct spline_params *) params;
  double a = p -> a;
  double b = p -> b;
  double c = p -> c;
  double d = p -> d;
  double xi = p -> xi;
  double S = p -> S;

  return 3*a*(x-xi)*(x-xi) + 2*b*(x-xi) + c;
}
```

```
void spline_fdf(double x, void *params, double *y, double *dy)
{
  struct spline_params *p = (struct spline_params *) params;
  double a = p -> a;
  double b = p -> b;
  double c = p -> c;
  double d = p -> d;
  double xi = p -> xi;
  double S = p -> S;

  *y = a*(x-xi)*(x-xi)*(x-xi) + b*(x-xi)*(x-xi) + c*(x-xi) + d - S;
  *dy = 3*a*(x-xi)*(x-xi) + 2*b*(x-xi) + c;
  return;
}
```

# Bibliografía

- [1] D. Kahng and S. M. Sze, “A floating-gate and its application to memory devices,” *The Bell System Technical Journal*, vol. 46, no. 4, pp. 1288–1295, 1967.
- [2] L. Larcher, P. Pavan, S. Pietri, L. Albani, and A. Marmiroli, “A new compact dc model of floating gate memory cells without capacitive coupling coefficients,” *I.E.E.E. Transactions on Electron Devices*, vol. 49, pp. 301–307, February 2002.
- [3] T. S. Lande, *Trade-offs in Analog Circuit Design. The Designers Companion*, ch. 4. Springer US, 2002.
- [4] M. Holler, S. Tam, H. Castro, and R. Benson, “An electrically trainable artificial neural network with 10240 ‘floating-gate’ synapses,” in *Proceedings of the International Joint Conference on Neural Networks*, vol. 2, (Washington, D.C., USA), pp. 191–196, 1989.
- [5] A. Thomsen and M. A. Brooke, “A floating-gate mosfet with tunneling injector fabricated using a standard double-polysilicon cmos process,” *IEEE Electron Device Letters*, vol. 12, pp. 111–113, March 1991.

- 
- [6] T. Shibata and T. Ohmi, "A functional mos transistor featuring gate-level weighted sum and threshold operations," *I.E.E.E. Transactions on Electron Devices*, vol. 39, pp. 1444–1455, June 1992.
- [7] T. Fukuda and T. Shibata, "Theory and applications of neural networks for industrial control systems," *I.E.E.E. Transactions on Industrial Electronics*, vol. 39, pp. 472–489, December 1992.
- [8] M. Lenzlinger and E. H. Snow, "Fowler-nordheim tunneling into thermally grown sio<sub>2</sub>," *Journal of Applied Physics*, vol. 40, pp. 278–283, January 1969.
- [9] W. Gao and W. M. Senelgrove, "The floating gate mos device as an analog element for analog trimming," *Microelectronics Journal*, vol. 25, pp. 353–361, August 1994.
- [10] S. Keeney, R. Bez, D. Cantarelli, F. Piccinini, A. Mathewson, L. Ravazzi, and C. Lombardi, "Complete transient simulation of flash eeprom devices," *I.E.E.E. Transactions on Electron Devices*, vol. 39, pp. 2750–2757, December 1992.
- [11] A. Kolodny, S. T. K. Nieh, B. Eitan, and J. Shappir, "Analysis and modeling of floating-gate eeprom cells," *I.E.E.E. Transactions on Electron Devices*, vol. 33, pp. 835–844, June 1986.
- [12] R. Bez, D. Cantarelli, and P. Cappelletti, "Experimental transient analysis of the tunnel current in eeprom cells," *I.E.E.E. Transactions on Electron Devices*, vol. 37, pp. 1081–1086, April 1990.

- 
- [13] S. S. Chung, C. M. Yih, S. S. Wu, H. H. Chen, and G. Hong, "A spice-compatible flash eeprom model feasible for transient and program/erase cycling endurance simulation," in *International Electron Devices Meeting*, pp. 179–182, IEEE, 5–8 December 1999.
- [14] P. Pavan, L. Larcher, P. Cuozzo, P. Zuliani, and A. Conte, "A complete model of e<sup>2</sup>prom memory cells for circuits simulation," *I.E.E.E. Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 22, pp. 1072–1079, August 2003.
- [15] H. Kosaka, T. Shibata, H. Ishii, and T. Ohmi, "An excellent weight-updating-linearity eeprom synapse memory cell for self-learning neuron-mos neural networks," *I.E.E.E. Transactions on Electron Devices*, vol. 42, pp. 135–143, November 1995.
- [16] O. Fujita and Y. Amemiya, "A floating-gate analog memory device for neural networks," *I.E.E.E. Transactions on Electron Devices*, vol. 40, pp. 2029–2035, November 1993.
- [17] M. Lanzoni, L. Briozzo, and B. Ricco, "A novel approach to controlled programming of tunnel-based floating-gate mosfet's," *I.E.E.E. Journal of Solid-State Circuits*, vol. 29, pp. 147–150, February 1994.
- [18] Y. Yamashita, T. Shibata, and T. Ohmi, "Write/verify free analog non-volatile memory using a neuron-mos comparator," in *International Symposium on Circuits and Systems*, (Atlanta), pp. 229–232, IEEE, 12–15 May 1996.
- [19] Y.-B. Park and D. K. Schroder, "Degradation of thin tunnel gate oxide under constant fowler-nordheim current stress for a flash eeprom," *I.E.E.E. Transactions on Electron Devices*, vol. 45, pp. 1361–1368, June 1998.

- 
- [20] D. A. Durfee and F. S. Shoucair, "Comparison of floating gate neural network memory cells in standard vlsi cmos technology," *IEEE Transactions On Neural Networks*, vol. 3, pp. 347–352, May 1992.
- [21] Y.-Y. Chai and L. G. Johnson, "Floating gate mosfet with reduced programming voltaje," *Electronics Letters*, vol. 30, pp. 1536–1537, September 1994.
- [22] D. R. Brown, S. Collins, and G. F. Marshall, "Carrier trapping in inter-polysilicon charge injectors," *Electronics Letters*, vol. 31, pp. 72–73, Jan. 1995.
- [23] W. L. Choi, D. M. Kim, and Lin, "A new technique for measuring coupling coefficients and 3-d capacitance characterization of floating-gtae devices," *I.E.E.E. Transaction on Electron Devices*, vol. 41, pp. 2337–2342, December 1994.
- [24] C. Y. Cho, M.-J. Chen, J.-H. Lin, and C.-F. Chen, "A new process-variation-immunity method for extracting capacitanca coupling coefficients in flash memory cells," *I.E.E.E. Electron Device Letters*, vol. 23, pp. 422–424, July 2002.
- [25] L. Larcher, P. Pavan, L. Albani, and T. Ghilardi, "Bias and w/l dependence of capacitive coupling coefficients in floating gate memory cells," *I.E.E.E. Transactions on Electron Devices*, vol. 48, pp. 2081–2089, September 2001.
- [26] B. Moison, C. Papadas, G. G., P. Motini, and P. G., "New method for the extraction of the coupling ratios in flotox eeprom cells," *I.E.E.E. Transactions on Electron Devices*, vol. 40, pp. 1870–1872, October 1993.

- 
- [27] M. A. Reyes-Barranca and J. A. Moreno-Cadenas, "Simple method for the determination of the coupling coefficient of floating-gate mosfet programmed with fowler-nordheim tunneling," *I.E.E. Proceedings Circuits Devices and Systems*, vol. 146, pp. 215–217, August 1999.
- [28] M. Y. Wong, D. K. J. Liu, and S. S. W. Huang, "Analysis fo the subthreshold slope ans the linear transconductance techniques for the extraction of the capacitance coupling coefficients of floating gate devices," *I.E.E.E. Electron Device Letters*, vol. 13, pp. 566–568, November 1992.
- [29] A. F. Mondragon-Torres, M. C. Schneider, and E. Sanchez-Sinencio, "Extraction of electrical parameters of floating gate devices for circuits analysis, simulation and design," in *45th Midwest Symposium on Circuits and Systems*, pp. I-311–I-314, IEEE, 4–7 August 2002.
- [30] R. Laffont, P. Masson, P. Canet, B. Delsuc, R. Bouchakour, and J. M. Mirabel, "New fowler nordheim current determination in eeprom cell from transient measurements," in *33rd Conference on European Solid-State Device Research*, pp. 71–74, IEEE, 16–18 September 2003.
- [31] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*. I.E.E.E., 1998.
- [32] D. A. Durfee and F. S. Shoucair, "Low programming voltage floating gate analogue memory cells in standard vlsi cmos technology," *Electronics Letters*, vol. 28, pp. 925–

927, May 1992.

- [33] J. Madrenas, A. Ivorra, and J. M. Moreno, “Injector design for optimized tunneling in standard cmos floating-gate analog memories,” in *1998 Midwest Symposium on Circuits and Systems*, IEEE, 9–12 August 1998.
- [34] A. Savitzky and A. J. E. Golay, “Smoothing and differentiation of data by simplified least squares procedures,” *Analytical Chemistry*, vol. 36, pp. 1627–1638, July 1964.
- [35] J. Steinier, Y. Termonia, and J. Deltour, “Comments on smoothing and differentiation of data by simplified least squares procedures,” *Analytical Chemistry*, vol. 44, pp. 1906–1909, September 1972.