



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS  
AVANZADOS DEL INSTITUTO POLITÉCNICO NACIONAL**

**UNIDAD ZACATENCO**

**DEPARTAMENTO DE INGENIERÍA ELÉCTRICA  
SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO**

**COMPONENTES DE UN MULTIPLICADOR VECTORIAL  
CON CONVERSIÓN A/D USANDO TÉCNICAS DE  
SISTEMAS MIXTOS CMOS**

**T E S I S**

**Que presenta**

**M. EN C. YESENIA ELEONOR GONZÁLEZ NAVARRO**

**Para obtener el grado de**

**DOCTORA EN CIENCIAS**

**EN LA ESPECIALIDAD DE  
INGENIERÍA ELÉCTRICA**

**Directores de Tesis:**

**DR. FELIPE GÓMEZ CASTAÑEDA  
DR. JOSÉ ANTONIO MORENO CADENAS**

**México D. F.**

**Octubre 2012**

---

## Abstract

This thesis presents the components design of a vector-matrix multiplication architecture using oversampling techniques for A/D conversion and CMOS mixed signal design techniques. The vector-matrix architecture can be used in pattern recognition applications based on artificial neural networks discipline. The proposed architecture receives and sends digital data though internal product operation is in analog form and done at charge level, then the vector multiplication architecture output stage is an analog/digital converter.

The vector multiplication architecture can be considered a basic product cell bidimensional matrix array realizing bit to bit product operation based on AND logical operation. This work presents the basic product cell operation, a static behavioral mathematical model and a PSPICE macromodel of the basic cell is proposed, the latter based on multilevel artificial neural network architecture trained with retropropagation algorithm. The basic product cell electrical and topological design is implemented, and electrical simulations and measurements are presented.

For the vector multiplication architecture A/D conversion stage a noise-shaping oversampling converter is proposed which uses a first order low-pass one bit sigma-delta modulator with discrete time operation and a decimating digital filter. This thesis focuses in sigma-delta modulator electric design, implemented with switch capacitors technique, the behavioral analysis is developed and electrical simulations and measurements of test cells are included.

A CMOS  $1.2\mu m$ ,  $n$  well, two metal levels and two polysilicon levels is used with single  $5V$  power supply.



---

## Resumen

Este trabajo de tesis doctoral presenta el diseño de las componentes de un multiplicador vectorial con conversión A/D usando técnicas de sistemas mixtos CMOS. La arquitectura del multiplicador vector-matriz puede usarse en tareas de reconocimiento de patrones empleando la disciplina de las redes neuronales artificiales. La arquitectura propuesta recibe y entrega datos en forma digital pero realiza la operación de multiplicación de manera analógica a nivel de carga, por lo que la etapa de salida del multiplicador lo conforma un bloque de conversión analógico/digital.

El multiplicador vectorial puede considerarse como un arreglo matricial bidimensional de celdas básicas que realizan la operación de producto bit a bit basándose en la operación lógica AND. Este trabajo presenta la arquitectura de la celda básica de producto, se propone un modelo matemático de comportamiento estático y un macromodelo para PSPICE de éste, el cual utiliza una red neuronal multicapa entrenada con el algoritmo de retropropagación. Se realiza el diseño eléctrico y topológico de la celda básica de producto, se realizan simulaciones y mediciones eléctricas de celdas de prueba.

Para el bloque de conversión A/D del multiplicador vectorial se propone un convertidor de sobremuestreo de conformado de ruido compuesto de un modulador sigma-delta pasa-bajas de primer orden de un solo bit de salida con operación en tiempo discreto y de un filtro digital de decimado. Este trabajo se enfoca en el diseño eléctrico del modulador sigma-delta, implementado con la técnica de capacitores conmutados; se realiza el análisis de comportamiento y se incluyen simulaciones y mediciones eléctricas de celdas de prueba.

La tecnología de diseño utilizada es CMOS de  $1.2\mu m$ , pozo  $n$ , con dos niveles de metal y dos niveles de polisilicio. Se emplea una alimentación unipolar de  $5V$ .



---

## **Agradecimientos**

Al CINVESTAV-IPN, por permitirme ser un miembro más de su comunidad.

Al CONACYT, organismo importante para el desarrollo de la ciencia y la tecnología en México, que al realizar en tiempo y forma su labor, me dio la oportunidad de iniciar y concretar esta meta.

A mis asesores, Dr. Felipe Gómez Castañeda y Dr. José Antonio Moreno Cadenas, por su guía y paciencia en el desarrollo de este trabajo de tesis.

Al M. en C. Luis Martín Flores Nava, al Ing. Emilio Espinoza García y al Dr. Oliverio Arellano Cárdenas; su diario quehacer en el laboratorio de VLSI y ayuda extra contribuyeron a enriquecer mi desempeño.

Al M. en C. Alberto Hernández Pérez, por facilitarme la elaboración de tarjetas impresas, resultó de mucha ayuda.

Un agradecimiento especial a las autoridades de la UPIITA-IPN, por las facilidades y el apoyo brindado.

A mis padres, Elvira Navarro Coronel y Jesús González Ireta. Ya han pasado algunos años desde que comencé a decirles que en las siguientes vacaciones yo estaría más tiempo con ustedes. Gracias por su comprensión y amor.

A mis compañeros del posgrado y del trabajo, por animarme a seguir adelante.

A Alondra, Graciela y Eréndira. Gracias por todo chicas.



---

# Índice

|   |           |
|---|-----------|
| Abstract.....   | i         |
| Resumen.....  | iii       |
| Agradecimientos.....  | v         |
| Índice.....   | vii       |
| Lista de Figuras.....   | xi        |
| Lista de Tablas.....  | xxi       |
| Abreviaturas.....   | xxiii     |
| Símbolos.....   | xxv       |
| <br>  |           |
| <b>1 Introducción</b> .....   | <b>1</b>  |
| 1.1 Motivación.....   | 1         |
| 1.2 Objetivo.....   | 2         |
| 1.3 Contribuciones.....   | 2         |
| 1.4 Organización.....   | 4         |
| <br>  |           |
| <b>2 Descripción General</b> .....  | <b>7</b>  |
| 2.1 Introducción.....   | 7         |
| 2.2 Redes Neuronales Artificiales para el Reconocimiento de Patrones..... | 7         |
| 2.3 Multiplicador Vector-Matriz.....                                      | 12        |
| 2.4 Resumen.....  | 21        |
| <br>  |           |
| <b>3 Celda de Producto a Nivel de Bit</b> .....                           | <b>23</b> |
| 3.1 Introducción.....   | 23        |
| 3.2 Almacenamiento y Transferencia de Carga.....                          | 23        |
| 3.2.1 Estructuras Comunes de CCDs en Tecnología CMOS.....                 | 26        |
| 3.2.2 Métodos de Inyección de Carga en un CCD.....                        | 27        |
| 3.3 Celda Básica de Multiplicación.....                                   | 29        |
| 3.3.1 Operación de la Celda de Producto a Nivel de Bit a Partir del       |           |



|  |           |
|--|-----------|
| Modelo de Estructuras MOS de Dos y Tres Terminales.....                                  | 31        |
| 3.4 Operación Dinámica de la Celda de Producto a Nivel de Bit.....                       | 43        |
| 3.5 Macromodelo de la Celda de Producto a Nivel de Bit.....                              | 47        |
| 3.6 Resumen.....   | 52        |
| <b>4 Modulador Sigma-Delta. Descripción y Análisis</b>                                   | <b>53</b> |
| 4.1 Introducción.....  | 53        |
| 4.2 Convertidores de Sobremuestreo.....  | 53        |
| 4.3 Modulador de Conformado de Ruido.....  | 64        |
| 4.3.1 Modulador Sigma-Delta de Primer Orden en Tiempo Discreto.....                      | 66        |
| 4.4 Filtro Digital.....  | 71        |
| 4.5 Diseño Funcional de un Convertidor A/D con Técnica de Sobremuestreo Sigma-Delta..... | 77        |
| 4.6 Estabilidad del Modulador Sigma-Delta de Primer Orden.....                           | 84        |
| 4.7 Resumen.....   | 85        |
| <b>5 Diseño Eléctrico del Modulador Sigma-Delta</b>                                      | <b>87</b> |
| 5.1 Introducción.....  | 87        |
| 5.2 Circuitos con Capacitores Conmutados.....  | 87        |
| 5.3 Diseño del Modulador Sigma-Delta Usando Circuitos con Capacitores Conmutados.....    | 89        |
| 5.4 Efectos de Ruido en el Modulador Sigma-Delta.....                                    | 92        |
| 5.4.1 Efecto de Ruido debido al Diseño de los Circuitos.....                             | 93        |
| 5.4.1.1 No Linealidades Generadas en el Bloque Integrador.....                           | 93        |
| 5.4.1.2 No Linealidades Generadas en el Bloque de Conversión A/D.....                    | 98        |
| 5.4.2 Efecto de Ruido debido a la Variación en el Periodo de la Señal de Reloj.....      | 99        |
| 5.5 Topologías de OTAs.....  | 102       |
| 5.5.1 Circuito de Retroalimentación en Modo Común.....                                   | 105       |
| 5.6 Diseño Eléctrico del Modulador Sigma-Delta.....                                      | 107       |
| 5.6.1 Diseño Eléctrico de Capacitores e Interruptores.....                               | 108       |

|          |   |            |
|----------|---|------------|
| 5.6.2    | Diseño Eléctrico del OTA.....                           | 109        |
| 5.6.3    | Diseño Eléctrico del Convertidor A/D.....               | 117        |
| 5.6.4    | Valores y Dimensiones de Dispositivos.....              | 119        |
| 5.7      | Simulaciones.....                                       | 120        |
| 5.7.1    | Diseño del OTA.....                                     | 120        |
| 5.7.2    | Circuito de Muestreo y Retención.....                   | 126        |
| 5.7.3    | Modulador Sigma-Delta de Primer Orden.....              | 134        |
| 5.7.4    | Simulaciones a Baja Frecuencia.....                     | 138        |
| 5.8      | Resumen.....  | 142        |
| <b>6</b> | <b>Prototipo Experimental y Resultado de Mediciones</b> | <b>145</b> |
| 6.1      | Introducción.....                                       | 145        |
| 6.2      | Diseño Geométrico.....                                  | 145        |
| 6.3      | Circuitos de Prueba.....                                | 153        |
| 6.3.1    | Celda de Circuito Multiplicador Vector-Matriz.....      | 153        |
| 6.3.2    | Celda de Circuito de Muestreo y Retención.....          | 164        |
| 6.3.3    | Celda de Circuito Modulador sigma-delta.....            | 174        |
| 6.4      | Resumen.....  | 178        |
| <b>7</b> | <b>Conclusiones y Trabajo Futuro</b>                    | <b>181</b> |
| 7.1      | Resumen de Resultados y Conclusiones.....               | 181        |
| 7.2      | Trabajo Futuro.....                                     | 185        |
|          | <b>Bibliografía.....</b>                                | <b>187</b> |
|          | <b>Productividad.....</b>                               | <b>191</b> |



---

## Lista de Figuras

|            |   |    |
|------------|---|----|
| Figura 2.1 | Etapas del proceso de reconocimiento de patrones.....   | 7  |
| Figura 2.2 | (a) Dos neuronas biológicas y sus componentes básicas. (b) Neurona artificial.....  | 10 |
| Figura 2.3 | Red neuronal artificial monocapa de $M$ número de neuronas y $N$ número de elementos $x$ de entrada.....  | 11 |
| Figura 2.4 | Diagrama a bloques de la fila $m$ de la matriz $W$ con sus elementos numéricos codificados en binario utilizando $I$ número de bits, un vector de entrada $\hat{x}$ con sus elementos codificados en binario con $J$ número de bits y las salidas del producto parcial correspondiente $y_{i,j}^{(m)}$ .....                            | 14 |
| Figura 2.5 | Procesamiento digital para la obtención del número binario resultante de la operación de multiplicación.....  | 15 |
| Figura 2.6 | Representación de la operación de multiplicaciones parciales para el ejemplo 2.1.....   | 17 |
| Figura 2.7 | Representación de la arquitectura de multiplicación para la fila $m$ de la matriz $W$ y un vector de entrada $\hat{x}$ (ambos con sus elementos codificados en binario), las salidas analógicas del producto parcial correspondiente $y_{i,j}^{(m)}$ y el bloque de conversión A/D para la cuantificación de los valores de salida..... | 19 |
| Figura 2.8 | Diagrama a bloques de (a) un convertidor A/D a razón de Nyquist, (b) un convertidor de sobremuestreo.....   | 20 |
| Figura 3.1 | Ejemplo del nivel de potencial y distribución de carga en un arreglo de capacitores MOS. $V$ es el potencial y $E$ el campo eléctrico.....  | 24 |
| Figura 3.2 | Estructuras para CCDs empleando (a) uno, (b) dos o (c) tres niveles de polisilicio.....   | 26 |
| Figura 3.3 | Métodos de introducción de señal a un CCD. (a) Método de corriente de entrada, (b) Método de voltaje de entrada, (c) Método lineal.....   | 29 |

|             |   |    |
|-------------|---|----|
| Figura 3.4  | Estructura de la celda básica de multiplicación con las variables asignadas a los electrodos.....   | 30 |
| Figura 3.5  | Estructuras propuestas para modelar la celda básica de multiplicación...  | 32 |
| Figura 3.6  | (a) Variación del potencial superficial debajo de la compuerta <i>SET</i> de la figura 3.5 en función de los potenciales aplicados a los electrodos $w_i^{(m,n)}$ y <i>SET</i> . (b) Variación de la carga móvil debajo de la compuerta <i>SET</i> en función de los potenciales aplicados a los electrodos $w_i^{(m,n)}$ y <i>SET</i> .....  | 38 |
| Figura 3.7  | (a) Variación del potencial superficial debajo de la compuerta $y_{i,j}^{(m)}$ de la figura 3.5 en función del potencial aplicado $V_{y_{i,j}^{(m)}}$ . (b) Variación de la carga móvil debajo de la compuerta $y_{i,j}^{(m)}$ en función del potencial aplicado $V_{y_{i,j}^{(m)}}$ . En ambas gráficas, para una estructura de capacitor MOS operando en inversión débil, moderada y fuerte. .... | 41 |
| Figura 3.8  | Curvas de capacitancia por unidad de área en el nodo de salida de la <i>celda de producto a nivel de bit</i> en función del voltaje total externo aplicado (válido para el régimen de inversión).....   | 42 |
| Figura 3.9  | Incremento de voltaje $\Delta V_{y_{i,j}^{(m)}}$ en el nodo de salida de la <i>celda de producto a nivel de bit</i> como resultado de la carga transferida al área debajo de esta compuerta (en función de los potenciales aplicados a los electrodos $w_i^{(m,n)}$ y <i>SET</i> ).....   | 42 |
| Figura 3.10 | Diagrama de tiempos para los potenciales aplicados en los electrodos de la celda de producto a nivel de bit.....  | 45 |
| Figura 3.11 | Operación dinámica de la celda de producto a nivel de bit.....  | 46 |
| Figura 3.12 | Arquitectura multicapa de red neuronal artificial como aproximación de funciones.....   | 48 |
| Figura 3.13 | (a) Curva de aproximación usando una RNA multicapa superpuesta a la curva de respuesta de la figura 3.6b. (b) Curva de error obtenida de la diferencia de datos entre las curvas de la figura 3.13a.....  | 49 |
| Figura 3.14 | Curva de error de aproximación obtenida de la diferencia de datos entre   |    |

|             |  |    |
|-------------|--|----|
|             | las curvas de la figura 3.13.....  | 50 |
| Figura 3.15 | Macromodelo en PSPICE de la celda de producto a nivel de bit.....  | 51 |
| Figura 4.1  | Diagrama a bloques de un sistema de sobremuestreo por modulación de código de pulso (PCM).....   | 54 |
| Figura 4.2  | Diagrama a bloques de un modulador con retroalimentación.....  | 55 |
| Figura 4.3  | (a) Ejemplo de una cuantificación multinivel representada por una ganancia $G$ lineal y un error $Q_e$ . (b) Ejemplo de cuantificación de un solo bit, donde la ganancia $G$ es arbitraria.....    | 57 |
| Figura 4.4  | Función de densidad de probabilidad del error de cuantificación.....   | 57 |
| Figura 4.5  | Diferencia entre las señales $x$ y $y$ de (4.1).....   | 58 |
| Figura 4.6  | Densidad espectral de voltaje de ruido de cuantificación.....  | 60 |
| Figura 4.7  | Modelado del ruido de cuantificación en un convertidor A/D.....  | 62 |
| Figura 4.8  | Diagrama a bloques de un modulador con retroalimentación considerando el ruido de cuantificación.....  | 63 |
| Figura 4.9  | Diagrama a bloques de un diferenciador en el dominio $z$ .....   | 66 |
| Figura 4.10 | Respuesta en frecuencia del bloque diferenciador. (a) Magnitud y (b) fase.....   | 67 |
| Figura 4.11 | Diagrama a bloques de un modulador $\Sigma\Delta$ pasa-bajas de primer orden, que emplea un bloque integrador como bloque $A(z)$ .....   | 67 |
| Figura 4.12 | Comparación entre el número de bits incrementados empleando sobremuestreo simple ( $N_{inc}$ ) y sobremuestreo utilizando modulación $\Sigma\Delta$ de primer orden ( $N_{inc\_SigmaDelta}$ )..... | 71 |
| Figura 4.13 | Respuesta general en frecuencia para un filtro digital de acumulación y descarga.....  | 73 |
| Figura 4.14 | Atenuación del filtro digital de acumulación y descarga en función del número de valores promediados ( $K$ ).....  | 73 |
| Figura 4.15 | Arreglo en cascada de filtros digitales de tipo acumulación y descarga, $clk$ es la señal de reloj.....  | 74 |
| Figura 4.16 | Respuesta general en frecuencia para $L$ filtros digitales de promediado en cascada.....   | 74 |
| Figura 4.17 | Arreglo en cascada de filtros digitales de tipo promediado.....  | 75 |

|             |  |    |
|-------------|--|----|
| Figura 4.18 | Diagrama a bloques de integrador en el dominio $z$ .....   | 75 |
| Figura 4.19 | Implementación de un filtro de promediado en cascada con $L$ integradores y $L$ diferenciadores.....   | 76 |
| Figura 4.20 | Implementación de filtro digital de promediado con 9 bits de resolución. El bloque $MUX$ corresponde a un multiplexor.....   | 77 |
| Figura 4.21 | Modelo ideal del bloque integrador.....  | 78 |
| Figura 4.22 | Modelo ideal de cuantificador de un solo bit.....  | 79 |
| Figura 4.23 | Modelo funcional para un modulador $\Sigma\Delta$ de primer orden y un solo bit de salida.....   | 79 |
| Figura 4.24 | Señal sinusoidal de entrada muestreada y señal de salida del bloque integrador del modulador $\Sigma\Delta$ ( $V_{in}$ y $V_{out(int)}$ , respectivamente), la salida ocurre para un rango de amplitud de 0V-5V..... | 80 |
| Figura 4.25 | Señal sinusoidal de entrada muestreada y señal de salida del modulador $\Sigma\Delta$ de primer orden de 1 bit de salida ( $V_{in}$ y $V_{out(mod)}$ , respectivamente).....   | 81 |
| Figura 4.26 | Espectro de la señal de salida del modulador $\Sigma\Delta$ de primer orden descrito en la figura 4.23, cuando ingresa la señal $v(t) = 2.5 + \text{sen}(2\pi \cdot 65.536\text{KHz} \cdot t)$ .....                 | 81 |
| Figura 4.27 | Filtro digital de promediado con 9bits de resolución.....  | 82 |
| Figura 4.28 | Señal sinusoidal de entrada a un modulador $\Sigma\Delta$ de primer orden de un solo bit de salida y salida del filtro digital de promediado.....  | 82 |
| Figura 4.29 | Reconstrucción de una señal sinusoidal analógica a partir de las palabras digitales de salida del filtro digital de promediado de la figura 4.27.....  | 84 |
| Figura 4.30 | Diagrama a bloques de un modulador sigma-delta con ganancias en el camino principal.....   | 85 |
| Figura 5.1  | (a) Resistencia modelada por circuito CMOS con capacitores conmutados. (b) Fases de reloj empleadas para activar los interruptores.....  | 88 |
| Figura 5.2  | Implementación de un integrador analógico discreto (DAI) con topología completamente diferencial.....  | 90 |
| Figura 5.3  | Diagrama esquemático de un integrador analógico discreto en  |    |

|             |  |     |
|-------------|--|-----|
|             | configuración de modo común.....   | 90  |
| Figura 5.4  | Modulador sigma-delta de primer orden, de un solo bit en configuración completamente diferencial.....  | 92  |
| Figura 5.5  | Factor de retroalimentación del integrador analógico discreto.....   | 96  |
| Figura 5.6  | Contribución de los bloques de integración y de conversión A/D al ruido referido a la entrada del modulador sigma-delta.....   | 97  |
| Figura 5.7  | Señal de entrada al modulador sigma-delta y señal de reloj con variación del periodo.....  | 100 |
| Figura 5.8  | Distribuciones de probabilidad empleadas para emular la incertidumbre en la variación del periodo de la señal de reloj. (a) Igual probabilidad de ocurrencia en cualquier tiempo dentro de los límites pico-pico, (b) distribución Gaussiana de probabilidad. .... | 101 |
| Figura 5.9  | (a) Señal en modo común y (b) señal en modo diferencial.....   | 102 |
| Figura 5.10 | Topología de un OTA completamente diferencial en configuración folded-cascode.....   | 104 |
| Figura 5.11 | Topología de un OTA completamente diferencial en configuración cascode-telescópico.....  | 104 |
| Figura 5.12 | Configuración de OTA de dos etapas completamente diferencial con arreglo cascode.....  | 105 |
| Figura 5.13 | (a) Circuito de retroalimentación en modo común (CMFB) con capacitores conmutados. (b) Diagrama de fases de reloj.....   | 107 |
| Figura 5.14 | Configuración de interruptores con tecnología CMOS. (a) NMOS, (b) PMOS, (c) Compuerta de transmisión y (d) Símbolo comúnmente utilizado para una compuerta de transmisión.....   | 109 |
| Figura 5.15 | Espejo de corriente (recuadro segmentado) utilizado para polarizar el OTA en configuración cascode-telescópico.....  | 111 |
| Figura 5.16 | Magnitud de fase y magnitud de ganancia de un OTA.....   | 115 |
| Figura 5.17 | Comparador regenerativo utilizado en la etapa de conversión A/D del modulador sigma-delta.....   | 118 |
| Figura 5.18 | (a) OTA cascode telescópico completamente diferencial en lazo abierto. (b) Circuito CMFB en tiempo continuo emulado con fuentes de voltaje   |     |



|             |   |     |
|-------------|---|-----|
|             | controladas por voltaje ideales.....  | 121 |
| Figura 5.19 | (a) OTA cascode telescópico completamente diferencial en lazo abierto.<br>(b) Circuito CMFB en tiempo continuo que utiliza un OTA en configuración cascode telescópico con salida sencilla en conjunto con un arreglo de capacitor y resistencia en paralelo para las señales $V_{op}$ y $V_{on}$ ..... | 122 |
| Figura 5.20 | Diagramas de Bode del OTA en configuración completamente diferencial obtenidos por simulación para la configuración de la figura 5.18. (a) Magnitud y (b) fase.....   | 124 |
| Figura 5.21 | Diagramas de Bode del OTA en configuración completamente diferencial obtenidos por simulación para la configuración de la figura 5.19. (a) Magnitud y (b) fase.....   | 125 |
| Figura 5.22 | Análisis en CD del OTA completamente diferencial de tipo cascode telescópico empleando circuitos CMFB en tiempo continuo. (a) CMFB implementado con fuentes ideales. (b) CMFB implementado con arreglo cascode telescópico.....   | 126 |
| Figura 5.23 | Circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial.....   | 127 |
| Figura 5.24 | Circuito equivalente en modo sencillo del circuito de muestreo y retención de un solo capacitor durante (a) la fase $\phi_1$ y (b) fase $\phi_2$ de reloj.....  | 129 |
| Figura 5.25 | Respuesta del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial para una frecuencia de muestreo $f_s = 12.8MHz$ y señales sinusoidales complementarias de entrada con frecuencia $f_{in} = 100KHz$ .....   | 130 |
| Figura 5.26 | Voltaje de desvío en las señales de salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial para una corriente de polarización del OTA de (a) $I_b = 320\mu A$ y (b) $I_b = 285\mu A$ .....   | 131 |
| Figura 5.27 | Respuesta a escalón del OTA cascode telescópico completamente diferencial evaluado en el circuito de muestreo y retención de un solo  |     |

|             |  |     |
|-------------|--|-----|
|             | capacitor para (a) pequeña señal y (b) gran señal.....   | 132 |
| Figura 5.28 | Tiempo de ajuste de la señal diferencial de salida del circuito de muestreo y retención de un solo capacitor como resultado de la extracción de características del OTA en análisis en CD.....   | 134 |
| Figura 5.29 | Tiempo de ajuste de la señal diferencial de salida del circuito integrador analógico discreto como resultado de la extracción de características del OTA en análisis en CD.....  | 135 |
| Figura 5.30 | Respuesta del bloque integrador analógico discreto contenido en el modulador sigma-delta de primer orden para una señal diferencial de entrada $v_{id}$ con amplitud pico-pico de $2V$ , $f_{in} = 100KHz$ y $f_s = 12.8MHz$ .....                     | 136 |
| Figura 5.31 | Respuesta del modulador sigma-delta de primer orden para una señal diferencial de entrada con amplitud pico-pico de $2V$ , $f_{in} = 100KHz$ y $f_s = 12.8MHz$ .....   | 137 |
| Figura 5.32 | Ampliación de la señal diferencial de entrada al modulador, señal diferencial de salida del integrador analógico discreto, señal diferencial de salida del modulador y de las fases de reloj para $f_{in} = 100KHz$ y $f_s = 12.8MHz$ .....            | 137 |
| Figura 5.33 | Espectro de la salida diferencial del modulador sigma-delta de primer orden para $f_{in} = 100KHz$ y $f_s = 12.8MHz$ .....   | 138 |
| Figura 5.34 | Respuesta del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial para una frecuencia de muestreo $f_s = 500KHz$ y señales sinusoidales complementarias de entrada con frecuencia $f_{in} = 3906Hz$ ..... | 140 |
| Figura 5.35 | Respuesta del bloque integrador analógico discreto contenido en el modulador sigma-delta de primer orden para una señal diferencial de entrada $v_{id}$ con amplitud pico-pico de $2V$ , $f_{in} = 3906Hz$ y $f_s = 500KHz$ .....                      | 141 |
| Figura 5.36 | Respuesta del modulador sigma-delta de primer orden para una señal diferencial de entrada con amplitud pico-pico de $2V$ , $f_{in} = 3906Hz$ y $f_s = 500KHz$ .....  | 141 |

---

|             |   |     |
|-------------|---|-----|
| Figura 5.37 | Espectro de la salida diferencial del modulador sigma-delta de primer orden para $f_{in} = 3906\text{Hz}$ y $f_s = 500\text{KHz}$ .....   | 142 |
| Figura 6.1  | Ejemplo de una planeación general de ubicación de los bloques que conforman a un sistema mixto (analógico-digital).....   | 147 |
| Figura 6.2  | Ejemplo de estrategia de diseño geométrico para circuitos mixtos (analógico-digital).....   | 147 |
| Figura 6.3  | Representación gráfica de los materiales que conforman los elementos circuitales en la tecnología de fabricación empleada.....  | 149 |
| Figura 6.4  | Celda de producto a nivel de bit. (a) Representación de corte transversal, (b) nodos y (c) diseño geométrico.....   | 149 |
| Figura 6.5  | Técnica de diseño geométrico utilizada para los circuitos con capacitores conmutados.....   | 150 |
| Figura 6.6  | Diseño geométrico del integrador analógico-discreto empleado en el modulador sigma-delta.....   | 151 |
| Figura 6.7  | Fotografía del integrador analógico-discreto empleado en el modulador sigma-delta.....  | 151 |
| Figura 6.8  | Diseño geométrico con las celdas de prueba del multiplicador vector-matriz, circuito de muestreo y retención y del modulador sigma-delta...   | 152 |
| Figura 6.9  | Fotografía del CI correspondiente al diseño geométrico de la Fig. 6.8....   | 152 |
| Figura 6.10 | Operación de producto implementada en la celda de prueba del multiplicador vector-matriz.....   | 154 |
| Figura 6.11 | Diagrama de la celda de prueba del multiplicador vector-matriz.....   | 154 |
| Figura 6.12 | Diagrama eléctrico del seguidor de voltaje empleado a la salida del bloque de multiplicación vector-matriz.....   | 155 |
| Figura 6.13 | Circuitos de polarización utilizados en el seguidor de salida de la celda de multiplicación vector-matriz. (a) Circuito para generar los voltajes de polarización, (b) circuito para generar la corriente de polarización.... | 156 |
| Figura 6.14 | Resultados experimentales de las curvas de comportamiento de la fuente de corriente controlada por voltaje.....   | 157 |
| Figura 6.15 | Curvas de comportamiento del seguidor de voltaje obtenidas por simulación y por medición.....   | 158 |

|             |  |     |
|-------------|--|-----|
| Figura 6.16 | Gráficas de Bode del seguidor de voltaje usado en la salida de las celdas de multiplicación.....   | 159 |
| Figura 6.17 | Configuración de la celda de prueba del multiplicador vector-matriz para la manipulación de las señales síncronas de excitación.....   | 160 |
| Figura 6.18 | Diagrama de tiempos de las señales de excitación síncronas de la celda de prueba para multiplicación vector-matriz.....  | 161 |
| Figura 6.19 | Resultado de medición de la celda de prueba para el multiplicador vector-matriz. Se aprecia la señal digital de entrada $y_{1,1}^{(1)}$ y la señal de salida de la celda de prueba del multiplicador, después del seguidor de voltaje de salida.....                                     | 162 |
| Figura 6.20 | Amplificación de las señales de la figura 6.19 para apreciar el cambio de voltaje en el nodo de salida del multiplicador proporcional al número de celdas de producto a nivel de bit con resultado “1” lógico.....   | 163 |
| Figura 6.21 | Incremento de voltaje en el nodo de salida de la celda de prueba del multiplicador en función del número de <i>celdas de producto a nivel de bit</i> con resultado “1” lógico.....   | 164 |
| Figura 6.22 | Configuración eléctrica para generación de señales complementarias de entrada a la celda de muestreo y retención. (a) Generación de señal $n$ , (b) generación de señal $p$ .....  | 166 |
| Figura 6.23 | Señales sinusoidales complementarias ( $V_{sp}$ y $V_{sn}$ ) de entrada al circuito de muestreo y retención, generadas mediante las configuraciones eléctricas de la figura 6.22. (a) En el dominio del tiempo y (b) espectro de la señal diferencial $V_{sdif} = V_{sp} - V_{sn}$ ..... | 167 |
| Figura 6.24 | Ampliación de las señales complementarias y diferencial de la figura 6.23a.....  | 168 |
| Figura 6.25 | Fases de reloj no traslapadas con frecuencia de 500KHz utilizadas en el circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial. (a) Señales obtenidas a la salida del FPGA, (b) señales obtenidas después del circuito LVC4245A.....           | 169 |
| Figura 6.26 | Espectros de una fase de reloj (a) a la salida del FPGA y (b) después del circuito elevador de voltaje.....  | 169 |

|             |  |     |
|-------------|--|-----|
| Figura 6.27 | Salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial, con señales complementarias con $V_p = 0.5V$ , $f_{in} = 3906Hz$ y $f_s = 500KHz$ .....   | 171 |
| Figura 6.28 | Salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial, con señales complementarias con $V_p = 0.6V$ , $f_{in} = 3906Hz$ y $f_s = 500KHz$ .....   | 172 |
| Figura 6.29 | Salida del circuito de muestreo y retención de un solo capacitor con voltajes de polarización del OTA utilizados en las simulaciones.....  | 174 |
| Figura 6.30 | Salida del circuito modulador sigma-delta de primer orden en configuración completamente diferencial, para señales complementarias de entrada con frecuencia de 3906Hz y señales de reloj operando a 500KHz. (a) Para señales complementarias de $V_p = 500mV$ y (b) señales complementarias de $V_p = 900mV$ . ....                                   | 176 |
| Figura 6.31 | Espectro de una de las señales de salida del circuito modulador sigma-delta de primer orden en configuración completamente diferencial, para señales complementarias de entrada con frecuencia de 3906Hz y señales de reloj operando a 500KHz. (a) Para señales complementarias de $V_p = 500mV$ y (b) señales complementarias de $V_p = 900mV$ . .... | 177 |

---

## Lista de Tablas

|           |  |     |
|-----------|--|-----|
| Tabla 3.1 | Parámetros de tecnología.....  | 35  |
| Tabla 3.2 | Tabla de verdad para la <i>celda de producto a nivel de bit</i> (función de compuerta lógica AND).....                       | 44  |
| Tabla 3.3 | Valores resultantes de la operación de producto obtenidos por simulación.....  | 44  |
| Tabla 4.1 | Palabras digitales obtenidas del filtro digital de promediado de la figura 4.27.....   | 83  |
| Tabla 5.1 | Parámetros de transistores $n$ y $p$ para tecnología CMOS, $1.2\mu m$ , pozo $n$ ..  | 112 |
| Tabla 5.2 | Ecuaciones características del OTA de tipo cascode-telescópico.....  | 114 |
| Tabla 5.3 | Relaciones de aspecto y características de OTA en configuración cascode-telescópico.....                                     | 114 |
| Tabla 5.4 | Dimensiones de transistores empleados en las compuertas de transmisión (interruptores) de la figura 5.13.....                | 119 |
| Tabla 5.5 | Dimensiones de transistores de la figura 5.15 y valores de capacitores empleados en el circuito CMFB de la figura 5.13a..... | 119 |
| Tabla 5.6 | Dimensiones de transistores empleados en el bloque de conversión A/D del Modulador $\Sigma\Delta$ de la figura 5.17.....     | 120 |
| Tabla 5.7 | Dimensiones de transistores, valores de resistencias y capacitancias del circuito <i>CMFB</i> de la figura 5.19b.....        | 123 |
| Tabla 5.8 | Voltajes y corrientes de polarización empleados en ambas simulaciones del OTA en lazo abierto.....                           | 123 |
| Tabla 5.9 | Análisis en AC del OTA empleando dos configuraciones de CMFB en tiempo continuo.....   | 124 |
| Tabla 6.1 | Dimensiones de transistores empleados en el seguidor de voltaje de la figura 6.12.....                                       | 155 |
| Tabla 6.2 | Voltajes y corriente de polarización del seguidor de la celda de multiplicación vector-matriz.....                           | 156 |
| Tabla 6.3 | Comparativa de valores obtenidos por el modelo matemático y por  |     |

mediciones de la celda de prueba del multiplicador..... 164

Tabla 6.4 Voltajes y corrientes de polarización para el OTA del circuito de  
muestreo y retención de un solo capacitor..... 173

---

## Abreviaturas

|       |  |
|-------|--|
| ABM   | Herramienta <i>Analog Behavioral Modeling</i> del simulador PSPICE |
| ACF   | Función de autocorrelación   |
| ASIC  | Dispositivo de Propósito Específico                                |
| A/D   | Analógico a Digital  |
| CCD   | Dispositivo de Carga Acoplada                                      |
| CA    | Corriente Alterna  |
| CD    | Corriente Directa  |
| CI    | Circuito Integrado   |
| CID   | Dispositivo de inyección de carga                                  |
| CMFB  | Circuito de Retroalimentación en Modo Común                        |
| CMOS  | Metal Óxido Semiconductor Complementaria                           |
| DAI   | Integrador Analógico Discreto                                      |
| D/A   | Digital a Analógico  |
| DR    | Rango Dinámico   |
| DSP   | Procesador Digital de Señal  |
| FFT   | Transformada rápida de Fourier                                     |
| FPGA  | Arreglo de Compuertas Programables en Campo                        |
| LSB   | Bit menos significativo  |
| MOS   | Metal Óxido Semiconductor  |
| MSB   | Bit más significativo  |
| NMOS  | Metal-Óxido-Semiconductor tipo $n$                                 |
| NTF   | Función de Transferencia del Ruido                                 |
| $OSR$ | Razón de Sobre-Muestreo  |
| OTA   | Amplificador Operacional de Transconductancia                      |
| PCB   | Placa de Circuito Impreso  |
| PCM   | Modulación por Código de Pulso                                     |
| PMOS  | Metal-Óxido-Semiconductor tipo $p$                                 |
| PSD   | Densidad de potencia espectral                                     |



|           |   |
|-----------|---|
| PSPICE    | Programa de Simulación con Énfasis en Circuitos Integrados para PCs |
| RNA       | Redes Neuronales Artificiales                                       |
| SQNR      | Relación Señal a Ruido de Cuantificación                            |
| <i>SR</i> | Capacidad de Carga ( <i>Slew Rate</i> )                             |
| SNR       | Relación Señal a Ruido  |
| VLSI      | Muy Alta Escala de Integración                                      |
| RMS       | Raíz Cuadrática Media   |
| STF       | Función de Transferencia de la Señal                                |
| <i>TG</i> | Compuerta de Transmisión  |

---

## Símbolos

|                          |  |
|--------------------------|--|
| $Amplitud_{LP}$          | Amplitud del lóbulo principal  |
| $Amplitud_{LS}$          | Amplitud del lóbulo secundario   |
| $A_{CL}$                 | Ganancia en lazo cerrado   |
| $A_{OL}(f)$              | Ganancia en lazo abierto en función de la frecuencia                                       |
| $A_{OLDC}$               | Ganancia de $CD$ en lazo abierto   |
| $\beta$                  | Factor de retroalimentación  |
| $C_d$                    | Capacitancia de la región de deserción   |
| $C_{gb}$                 | Capacitancia compuerta-substrato   |
| $CGBO$                   | Capacitancia asociada con la extensión de la compuerta de silicio sobre la región de campo |
| $C_{gs}$                 | Capacitancia compuerta-fuente  |
| $C_i$                    | Capacitancia de la región de inversión   |
| $C_L$                    | Capacitancia de carga  |
| $C_{ox}$                 | Capacitancia de óxido de compuerta   |
| $C_{ox-2}$               | Capacitancia de óxido de la compuerta $G_2$  |
| $C_{y_{i,j}^{(m)}}$      | Capacitancia total vista en el nodo de salida  |
| $\gamma$                 | Parámetro de efecto de cuerpo  |
| $d$                      | Grosor de óxido de compuerta   |
| $D_t$                    | Densidad de trampas por unidad de energía [ $cm^{-3}eV^{-1}$ ]                             |
| $\Delta$                 | Incremento en voltaje para un bit  |
| $\Delta t$               | Incremento de tiempo   |
| $Ent$                    | Número entero real positivo  |
| $E_i$                    | Nivel de energía intrínseco de Fermi   |
| $E_{Qe}(z)$              | Ruido de cuantificación en el dominio $z$  |
| $\varepsilon$            | Ineficiencia de transferencia en un CCD  |
| $\varepsilon_{ganancia}$ | Término de error de ganancia   |
| $\varepsilon_{ox}$       | Constante dieléctrica del óxido de compuerta [ $3.97 \cdot 8.85aF/\mu m$ ]                 |

|               |  |
|---------------|--|
| $\epsilon_s$  | Permitividad del Silicio   |
| $f$           | Frecuencia de la señal   |
| $f_B$         | Ancho de banda (frecuencia de)   |
| $f_{in}$      | Frecuencia de entrada  |
| $f_N$         | Frecuencia de Nyquist  |
| $f_{reloj}$   | Frecuencia de la señal de reloj  |
| $f_{res}$     | Resolución en frecuencia   |
| $f_s$         | Frecuencia de muestreo   |
| $f_{3dB}$     | Frecuencia a la cual ocurre una caída de 3dB en la amplitud de la señal  |
| $F$           | Ancho de banda de la señal   |
| $g_m$         | Parámetro de transconductancia del transistor  |
| $G$           | Pendiente de la recta  |
| $GND$         | Nivel de voltaje referido a tierra   |
| $ H(f) $      | Magnitud de una señal en función de la frecuencia  |
| $\angle H(f)$ | Fase de una señal en función de la frecuencia  |
| $i$           | Como subíndice indica el i-ésimo bit de un elemento de la matriz $W$   |
| $I$           | Como subíndice indica el número de bits para codificar en código binario cada elemento de la matriz $W$                |
| $I_b$         | Corriente de polarización  |
| $I_{prom}$    | Corriente promedio   |
| $j$           | Como subíndice indica el j-ésimo bit de un elemento del vector de entrada $\hat{x}$                                    |
| $J$           | Como subíndice indica el número de bits para codificar en código binario cada elemento del vector de entrada $\hat{x}$ |
| $k$           | Constante de Boltzman [ $1.38 \times 10^{-23} J/K$ ]   |
| $K$           | Como subíndice indica la resolución final de la palabra binaria de salida  |
| $L$           | Número de etapas en un filtro digital  |

|                       |   |
|-----------------------|---|
| $L_c$                 | Largo de canal  |
| $L_{out}$             | Largo del electrodo de salida   |
| $\lambda_m$           | Parámetro de modulación de largo de canal                                     |
| $m$                   | Superíndice indicativo del valor correspondiente a la $m$ -ésima neurona      |
| $M$                   | Total de puntos discretos del espectro  |
| $M$                   | Número de neuronas en una capa de una red neuronal artificial                 |
| $MF$                  | Margen de fase  |
| $MG$                  | Margen de ganancia  |
| $N_{Datos}$           | Número de puntos tomados en el análisis en tiempo                             |
| $\mu$                 | Movilidad de los portadores mayoritarios                                      |
| $\mu_N$               | Movilidad de electrones   |
| $\mu_P$               | Movilidad de huecos   |
| $n$                   | Número de muestra   |
| $n_i$                 | Concentración intrínseca del material   |
| $n^+$                 | Material tipo $n$ dopado con alta concentración de impurezas                  |
| $N$                   | Número de bits a usarse para cuantificar una señal                            |
| $N$                   | Número de elementos de un vector de entrada en un arreglo neuronal artificial |
| $N_a$                 | Concentración de aceptores  |
| $N_{ef}$              | Número efectivo de bits   |
| $N_{inc}$             | Número de bits incrementados  |
| $N_{inc\_SigmaDelta}$ | Número de bits incrementados en un modulador sigma-delta                      |
| $\eta$                | Eficiencia de transferencia de carga en un CCD                                |
| $Or$                  | Orden del modulador   |
| $P_n$                 | Amplitud de un pulso de carga después de $n$ transferencias en un CCD         |
| $P_o$                 | Amplitud inicial de un pulso de carga en un CCD                               |
| $P_{Qe}(f)$           | Densidad espectral de potencia de ruido de cuantificación                     |
| $q$                   | Carga del electrón  |

|                |   |
|----------------|---|
| $Q_B$          | Carga por unidad de área en la región del semiconductor debajo del óxido          |
| $Q_e$          | Señal de error (error de cuantificación)  |
| $Q_G$          | Carga por unidad de área en la compuerta  |
| $Q_I$          | Carga por unidad de área en la región de inversión                                |
| $Q_o$          | Carga efectiva en la interface silicio/dióxido de silicio por unidad de área      |
| $Q_s$          | Carga total inducida en el semiconductor por unidad de área                       |
| $r_o$          | Resistencia de salida del transistor  |
| $R_{sc}$       | Resistencia del circuito  |
| $Si - SiO_2$   | Silicio-Dióxido de Silicio  |
| $SiO_2$        | Dióxido de Silicio  |
| $\sigma$       | Sección transversal de portadores [ $cm^2$ ]                                      |
| $\Sigma\Delta$ | Sigma-Delta   |
| $t$            | Tiempo  |
| $T$            | Periodo de señal  |
| $T$            | Como superíndice, indica la transpuesta de un vector o matriz                     |
| $T$            | Temperatura ambiente [ $K$ ]  |
| $T_s$          | Periodo de la señal de muestreo   |
| $T_{sett}$     | Tiempo de estabilización  |
| $T_\tau$       | Ciclo efectivo de trabajo   |
| $\tau$         | Tiempo de ajuste de la señal  |
| $\tau_o$       | Tiempo efectivo de vida de los portadores libres dentro de la región de deserción |
| $\tau_s$       | Tiempo de almacenamiento  |
| $\theta$       | Ángulo entre dos vectores   |
| $v_{cm}$       | Voltaje en modo común   |
| $v_{id}$       | Voltaje diferencial de entrada  |
| $v_o$          | Voltaje de salida   |
| $v_{od}$       | Voltaje diferencial de salida   |

## SÍMBOLOS

---

|                  |  |
|------------------|--|
| $v_{th}$         | Velocidad térmica de los portadores [ $cm/s$ ]   |
| $V_{ckt,RMS}$    | Voltaje de ruido RMS debido al diseño circuital  |
| $V_{DD}$         | Voltaje de alimentación  |
| $V_{DS,sat}$     | Voltaje drenador-fuente de saturación  |
| $V_{DFT}$        | Amplitud en voltaje de cada punto del espectro   |
| $V_{FB}$         | Voltaje de banda plana   |
| $V_{HO}$         | Voltaje de umbral de inversión fuerte  |
| $V_{ip}$         | Voltaje de entrada positivo  |
| $V_{in}$         | Voltaje de entrada negativo  |
| $V_{jitter,RMS}$ | Voltaje de ruido RMS debido a la variación en el periodo de la señal de reloj  |
| $V_{LO}$         | Voltaje de umbral de inversión débil   |
| $V_{MO}$         | Voltaje de umbral de inversión moderada  |
| $V_{off}$        | Voltaje de referencia o de desvío  |
| $V_{op}$         | Voltaje de salida positivo   |
| $V_{on}$         | Voltaje de salida negativo   |
| $V_p$            | Voltaje pico   |
| $V_{Qe}(f)$      | Voltaje de ruido de cuantificación en función de la frecuencia   |
| $V_{Qe,RMS}$     | Voltaje RMS de ruido de cuantificación   |
| $V_{Qe+D,RMS}$   | Voltaje de ruido de cuantificación más el total de distorsión del espectro   |
| $V_{R,ckt}(f)$   | Ruido referido a la entrada del modulador en función de la frecuencia  |
| $V_{R,comp}(f)$  | Ruido referido a la entrada del convertidor A/D en función de la frecuencia  |
| $V_{R,DAI}(f)$   | Ruido referido a la entrada del integrador analógico discreto en función de la frecuencia  |
| $V_{ruido,RMS}$  | Voltaje de ruido RMS debido a: error de cuantificación, ruido por diseño del circuito y ruido por variación en el periodo de la señal de reloj |

|                |  |
|----------------|--|
| $V_{ref}$      | Voltaje del convertidor a escala completa  |
| $V_{ref+}$     | Voltaje de alimentación positiva   |
| $V_{ref-}$     | Voltaje de alimentación negativa   |
| $V_{SET}$      | Voltaje en el electrodo <i>SET</i>   |
| $V_{TH}$       | Voltaje de umbral MOS  |
| $V_{THN}$      | Voltaje de umbral de transistor tipo n   |
| $V_{w_i(m,n)}$ | Potencial en inversa aplicado a la unión <i>p – n</i>                              |
| $V_{y_i,j(m)}$ | Voltaje aplicado a la compuerta  |
| $\varphi$      | Función de activación o de transferencia de una neurona artificial                 |
| $\phi_{MS}$    | Diferencia de funciones de trabajo metal-semiconductor                             |
| $\phi_t$       | Voltaje térmico ( $\phi_t \cong 26mV @ 300K$ ).                                    |
| $\phi_1$       | Fase 1 de reloj  |
| $\phi_2$       | Fase 2 de reloj  |
| $\psi_{Fp}$    | Potencial de Fermi para una región <i>p</i>  |
| $\psi_{ox}$    | Caída de potencial en el óxido de compuerta  |
| $\psi_s$       | Potencial superficial  |
| $w$            | Valor escalar de peso sináptico de una neurona artificial                          |
| $\hat{w}$      | Vector formado por valores escalares de pesos sinápticos de una neurona artificial |
| $W$            | Matriz de pesos sinápticos en un arreglo neuronal artificial                       |
| $W_c$          | Ancho de canal   |
| $W_{bin}$      | Arreglo matricial de números binarios de pesos sinápticos                          |
| $W_{out}$      | Ancho del electrodo de salida  |
| $x$            | Valor escalar de entrada a un arreglo neuronal artificial                          |
| $\hat{x}$      | Vector formado por valores escalares de entrada a un arreglo neuronal artificial   |
| $X_{bin}$      | Arreglo matricial de números binarios de valores de entrada                        |
| $y$            | Valor escalar de salida de una neurona o arreglo neuronal artificial               |
| $\hat{y}$      | Vector formado por valores escalares de salida de un arreglo neuronal artificial   |



$\hat{y}_{bin}$

Vector de salida formado por valores binarios





---

# Capítulo 1

## Introducción

### 1.1 Motivación

La aplicación de técnicas de reconocimiento de patrones se ha vuelto un proceso usado con mayor frecuencia en campos que involucran agrupamiento de datos y toma de decisiones. La disciplina de las redes neuronales artificiales (RNA) es una de las herramientas utilizadas en tareas de reconocimiento de patrones, es una disciplina que sigue en desarrollo pero ya posee una amplia gama de estructuras y algoritmos matemáticos definidos [1], [2]. Algunas arquitecturas de las RNA basan su funcionamiento en multiplicaciones vector-matriz, siendo esta operación de alto costo computacional, incluso para la mayoría de los procesadores actuales.

Para aplicaciones de técnicas de reconocimiento de patrones en sistemas embebidos pueden utilizarse dispositivos de propósito general, por ejemplo, los procesadores digitales de señal (DSPs) y arreglos de compuertas programables en campo (FPGAs). Otra opción, es diseñar dispositivos de propósito específico (ASICs).

El presente trabajo de tesis propone y analiza celdas de prueba de una estructura de multiplicación vector-matriz de propósito específico que emplea tecnología CMOS y realiza la operación de producto en el dominio analógico, como paso inicial en la elaboración de un prototipo de procesador dedicado a tareas de reconocimiento de patrones basado en algoritmos neuronales y con operación en modo paralelo.

Se propone un diseño eléctrico mixto, el multiplicador recibe datos digitales, realiza la operación de multiplicación en el dominio analógico y presenta el resultado de manera digital, por lo cual, se requiere de una etapa de conversión A/D de las señales de salida (la etapa de conversión D/A de las señales de entrada se realiza de forma inherente, como se verá en el capítulo 3). Con respecto a la etapa de conversión, el trabajo de tesis aborda el diseño de un convertidor A/D con técnica de sobremuestreo.

## 1.2 Objetivo

El objetivo de este trabajo de investigación doctoral es el de diseñar y probar eléctricamente las componentes de cómputo a nivel de bit de un procesador prototipo para ejecución en paralelo y en tiempo real de multiplicaciones entre matrices y vectores de alta dimensión, orientado a un desempeño rápido de algoritmos de reconocimiento de patrones en apoyo a sistemas de tipo neuronal artificial. Los circuitos en este sistema CMOS prototipo deberán ser de complejidad mínima en el dominio analógico y que incluyan la conversión analógica-digital con técnica de modulación sigma-delta.

## 1.3 Contribuciones

La mayoría de las arquitecturas que implementan algoritmos de reconocimiento de patrones y que se basan en la disciplina de las redes neuronales artificiales operan en modo paralelo, por lo que resulta eficiente utilizar multiplicadores vector-matriz, ya que en un tiempo de máquina pueden realizar operaciones de producto de manera paralela.

Con el objetivo de diseñar arquitecturas de bajo consumo de energía y alta escala de integración, algunos diseños de multiplicadores vector-matriz operan en modo de corriente trabajando en el régimen de subumbral, sin embargo, las señales son más susceptibles de ser afectadas por ruido en comparación de trabajar en modo de voltaje, o bien, sus celdas básicas que realizan la operación de producto no son sencillas [3], [4]. Este trabajo de tesis se enfoca en una propuesta de operación de producto a nivel de bit reportada en [5], [6]; que resulta en un diseño topológico de celda básica de producto sencilla y que opera bajo el principio de transmisión de carga.

Se propone una arquitectura de multiplicación vector-matriz basada en celdas básicas que realizan la operación de producto a nivel de bit.

Se desarrolla un modelo eléctrico de la celda de producto a nivel de bit basado en las ecuaciones descriptivas de estructuras MOS de dos y tres terminales.

Se realiza el diseño eléctrico de un modulador sigma-delta pasabajas de primer orden con un solo bit de salida como parte medular del bloque de conversión A/D.

Empleando técnicas de *layout* de diseño mixto, se diseñan celdas de prueba de:

- ▶ Celda de producto a nivel de bit.
- ▶ Modulador sigma-delta.

Se realizan mediciones eléctricas de:

- ▶ Celda de producto a nivel de bit.
- ▶ Modulador sigma-delta.

La arquitectura de multiplicación vector-matriz a nivel de bit recibe datos en el dominio digital y realiza las operaciones en el dominio analógico. Opera a partir de celdas básicas de arquitectura sencilla, por lo que es factible alcanzar densidades altas de integración en un área de diseño determinada.

Debido a la ausencia en la literatura de un modelo estático de comportamiento de la celda básica de multiplicación propuesta, en este trabajo se obtiene un modelo que involucra todas las variables de entrada y salida de la celda para conocer la cantidad de carga inyectada y transferida en función de los potenciales aplicados en los nodos de entrada y arroja el nivel de voltaje en el nodo de salida, proporcional a la cantidad de carga transferida. El funcionamiento demandado de la celda básica de multiplicación para la aplicación aquí planteada se reduce a ciertos niveles de voltaje en los nodos de entrada y salida que proporcionan los estados digitales “1” o “0” de la celda, sin embargo, con el modelo propuesto, es posible conocer el comportamiento de la celda para distintos niveles de voltaje aplicados.

El proceso de diseño de un circuito integrado tiene como parte fundamental la simulación eléctrica del sistema, previo al diseño topológico, por lo que es necesario contar con el modelo eléctrico de cada dispositivo a usar. Este trabajo también propone la utilización de una arquitectura neuronal artificial como aproximador de función para la creación de un macromodelo en PSPICE (Programa de Simulación con Énfasis en Circuitos Integrados) de la celda básica de producto; esto debido a que la ecuación resultante del modelo es no analítica, lo que impide su implementación directa en el macromodelo.

De acuerdo al modo de operación de la arquitectura de multiplicación vector-matriz, las celdas básicas de multiplicación que pertenecen a la misma fila tienen los nodos de salida unidos, por lo que el nivel de voltaje total de cada fila guarda una proporción entre el número de celdas que dan como resultado una operación de producto “1”. La siguiente

etapa del proceso de multiplicación de la arquitectura propuesta ocurre en modo digital, siendo necesario que los niveles de voltajes analógicos resultantes de cada fila del arreglo pasen por una etapa de conversión analógica a digital (A/D). Debido a las características de las señales analógicas de salida, se propone la implementación de un convertidor A/D de sobremuestreo con técnica de modulación sigma-delta (capítulo 4). En una época con muchos reportes e innovaciones en el área de diseño de convertidores A/D de sobremuestreo para distintas aplicaciones (en su mayoría para el área de las comunicaciones), este trabajo de tesis contribuye con la búsqueda y con el análisis de arquitecturas de moduladores sigma-delta con tecnología CMOS para la aplicación deseada y plantea una metodología de diseño a seguir partiendo de las premisas del sistema.

## 1.4 Organización

De acuerdo a las contribuciones de este trabajo de tesis, para los capítulos subsecuentes se plantea un análisis por bloques con la siguiente organización de contenido:

**Capítulo 2. Descripción General.** Se describen conceptos básicos de la disciplina de las redes neuronales artificiales aplicada a tareas de reconocimiento de patrones. Partiendo de una ecuación de neurona, se propone una arquitectura de multiplicador vector-matriz y se describe su operación general.

**Capítulo 3. Celda de Producto a Nivel de Bit.** Describe el funcionamiento estático y dinámico de la celda básica de multiplicación a partir de modelos matemáticos basados en estructuras MOS de dos y tres terminales. También se propone un macromodelo de la celda básica de multiplicación para ser usado en PSPICE.

**Capítulo 4. Modulador Sigma-Delta. Descripción y Análisis.** Este capítulo se centra en el bloque de conversión A/D utilizado en la etapa de salida de la arquitectura del multiplicador vector-matriz. Se aborda la base teórica de los convertidores A/D, enfocándose en los convertidores de sobremuestreo que utilizan la técnica de modulación sigma-delta.

**Capítulo 5. Diseño Eléctrico del Modulador Sigma-Delta.** Aborda el diseño eléctrico de un modulador sigma-delta en tiempo discreto y se analizan los efectos de ruido comunes. Además, se presentan diversas simulaciones eléctricas de las componentes del modulador.

**Capítulo 6. Prototipo Experimental y Resultado de Mediciones.** Se inicia el capítulo con la descripción de las técnicas implementadas para el diseño geométrico de sistemas mixtos. Continúa el capítulo con la descripción de los circuitos externos empleados para la caracterización de las distintas celdas de prueba y por último, se presentan los resultados de las mediciones eléctricas realizadas a dichas celdas.

**Capítulo 7. Conclusiones y Trabajo Futuro.** Finalmente se hace un resumen de resultados, se presentan las conclusiones y se propone el trabajo futuro.



---

## Capítulo 2

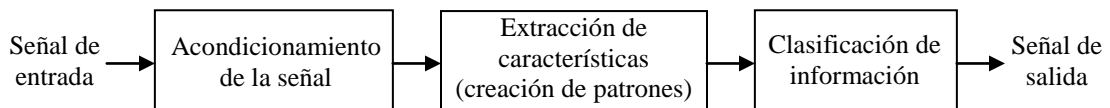
### Descripción General

#### 2.1 Introducción

El propósito de este capítulo es familiarizar al lector con los conceptos básicos del reconocimiento de patrones y la disciplina de las redes neuronales artificiales, para después describir de forma general la arquitectura y operación de un dispositivo de propósito específico que realiza multiplicaciones vector-matriz que puede ser aplicado a tareas de reconocimiento de patrones, tomando como base una ecuación utilizada en diversas arquitecturas neuronales.

#### 2.2 Redes Neuronales Artificiales para el Reconocimiento de Patrones

El reconocimiento de patrones puede describirse como el proceso de extracción de información (extracción de características relevantes) a datos o señales para que estos sean clasificados o agrupados (Fig. 2.1). La extracción de características conlleva la formación de patrones representativos (generalmente valores numéricos arreglados en vectores) que servirán como referencia para el proceso de reconocimiento. En la mayoría de las aplicaciones de reconocimiento, es necesario tener etapas de pre-procesamiento, las cuales fungen como etapas de acondicionamiento de los datos o señales para que pueda realizarse o se facilite la tarea de extracción de información.



**Figura 2.1** Etapas del proceso de reconocimiento de patrones.



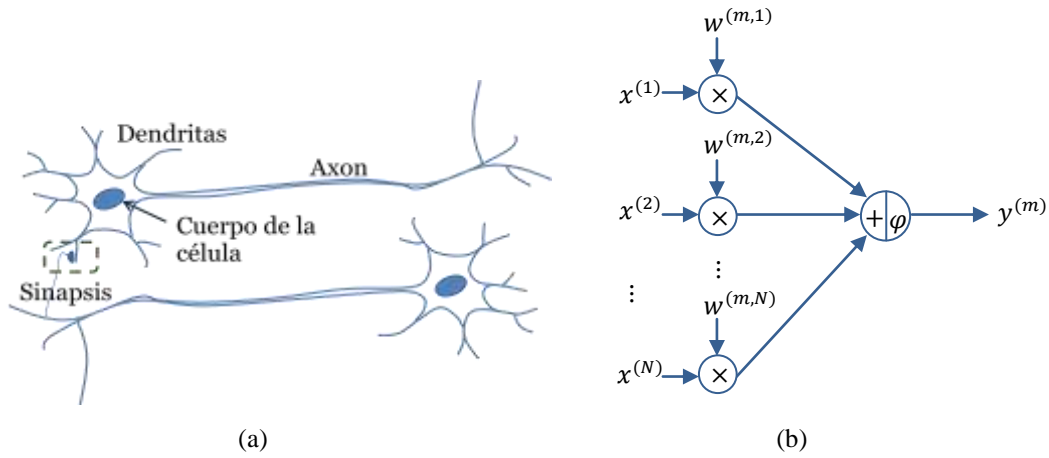
Por citar algún ejemplo, una tarea de reconocimiento de patrones puede aplicarse a un sistema autónomo que reconozca diferentes señales de audio y en función del tipo de señal, se ejecute alguna acción. Si se establece el dominio digital para la manipulación de los datos, el problema de reconocimiento abarca desde la búsqueda del dispositivo sensor adecuado para el ancho de banda de la señal a reconocer, si es necesaria alguna etapa analógica de acondicionamiento de señal (modificar la ganancia de la señal que genera el sensor, aplicar algún filtro de frecuencia, etc.) y luego realizar la conversión analógico-digital o bien, el dispositivo ya cuenta con una etapa de conversión analógico-digital y las modificaciones a la señales se harán en el dominio digital. Ya con los datos en el dominio digital, puede realizarse la extracción de características en el dominio del tiempo o en el dominio de la frecuencia, lo que se busca es que a partir de las mismas etapas de procesamiento para todas las señales, estas arrojen valores numéricos distintos (patrones de comportamiento) dependiendo de su tipo y a la vez, que exista repetitividad en los valores obtenidos. De forma ideal, cada señal de audio debería arrojar el mismo patrón cada vez que ingrese al sistema o bien, sufrir alguna alteración mínima en su valor por lo que con simples condicionales “si-entonces” podría llevarse a cabo la tarea de clasificación, sin embargo, todas las señales son susceptibles al ruido y los patrones obtenidos para un mismo tipo de señal pueden sufrir alteraciones considerables. Se desean sistemas robustos, capaces de soportar alteraciones en las señales de entrada y capaces de tomar decisiones basados en experiencia previa.

Las redes neuronales artificiales (RNA) son arquitecturas y/o modelos matemáticos que imitan algunos de los comportamientos de las redes neuronales biológicas, operan bajo la idea de aprendizaje, experiencia previa y generalización del conocimiento, entre sus aplicaciones está el reconocimiento de patrones. Actualmente se tiene un conocimiento bastante detallado de las partes que componen a una neurona biológica y su funcionamiento [7], sin embargo, muchas de las estructuras conocidas de las RNA operan con base a un modelo biológico bastante simple (Fig. 2.2.a). Este modelo de comportamiento de neurona incluye a las dendritas, fibras nerviosas encargadas de recolectar información y llevarla al cuerpo de la célula, donde se efectuará el procesamiento de la información y el axón, que es una fibra nerviosa encargada de extraer la información procesada de la neurona. Cuando ocurre la formación de redes de neuronas, es decir, cuando se genera el paso de

información entre neuronas, se genera una sinapsis, para que esta ocurra, significa que el axón de una o varias neuronas envían información hacia otra neurona, que la recibe a través de sus dendritas. La adquisición, reforzamiento u olvido de patrones cerebrales tiene que ver con el incremento o disminución de las fuerzas sinápticas de nuestras redes neuronales biológicas [7]. Basándose en este modelo de comportamiento simple surge un modelo de neurona artificial (Fig. 2.2.b), que funge como un bloque o entidad mínima de una RNA. Se tienen datos de entrada  $x$ , análogos a las dendritas de las neuronas biológicas. Cada elemento de entrada  $x$  está afectado por un valor  $w$ , que representa un peso o fuerza sináptica de conexión. Todos los valores de entrada afectados por su respectivo valor de peso llegan a un punto de suma que modela el cuerpo de la célula. Una vez que la información se recolecta en el cuerpo de la célula, la neurona lleva a cabo algún tipo de procesamiento, modelado a través de una función de transferencia o activación  $\varphi$ ; después de esto, el valor  $y$  de salida emitido por la neurona es obtenido. Se dice que un grupo de neuronas se encuentran en el mismo nivel o capa, si están conectadas en paralelo, es decir, reciben las señales de entrada al sistema al mismo tiempo, la procesan y obtienen la señal de salida al mismo tiempo. Existen arquitecturas de red de una sola capa o multicapa. La comunicación entre neuronas de diferentes capas es en modo serial.

Para el diseño y manipulación de las RNA se sugiere el manejo de subíndices y/o superíndices, ya que mediante éstos se puede identificar de dónde proviene el dato a manipular. Para el caso de la Figura 2.2.b, se tiene una neurona artificial que recibe  $N$  datos de entrada  $x$ , que pueden arreglarse como datos en un vector  $\hat{x}$ , el superíndice del elemento  $x$  indica el número de elemento del arreglo vectorial  $\hat{x}$ . Existen por lo tanto,  $N$  valores de peso  $w$  que pueden arreglarse como elementos de un vector  $\hat{w}$ . En el caso de  $w$ , esta variable posee dos superíndices, el primer dato indica el número de neurona y el segundo dato indica el número de elemento del vector de entrada; esta nomenclatura es eficaz para arquitecturas de red con más de una neurona. Cada valor de entrada  $x$  ingresa a cada una de las neuronas existentes en la primera capa de neuronas. Este hecho está ligado a que no se tiene un conocimiento a priori de la información que se recibe, todas las señales deben ingresar a todas las neuronas y es la propia arquitectura de red la encargada de evidenciar la información contenida en las señales, por medio de la modificación de los pesos sinápticos y/o la función de transferencia. Debido a esto, también es usual mantener la misma función

de activación para todas las neuronas de la misma capa. El superíndice en el valor de salida  $y$  indica el número de neurona.



**Figura 2.2** (a) Dos neuronas biológicas y sus componentes básicas. (b) Neurona artificial.

La ecuación de neurona queda de la siguiente manera:

$$y^{(m)} = \varphi\left(\sum_{n=1}^N w^{(m,n)} \cdot x^{(n)}\right). \quad (2.1)$$

Para un arreglo neuronal monocapa de  $M$  número de neuronas (Fig. 2.3), pueden manejarse ecuaciones de salida separadas para cada neurona, o bien, la salida de cada neurona puede estar contenida dentro de un vector  $\hat{y}$ , generándose una sola ecuación de salida (2.2). Esto implica la formación de una matriz de pesos  $W$  de dimensiones  $M \times N$ , el número de filas corresponde al número total de neuronas y el número de columnas corresponde al número total de elementos de los vectores de entrada  $\hat{x}$ .

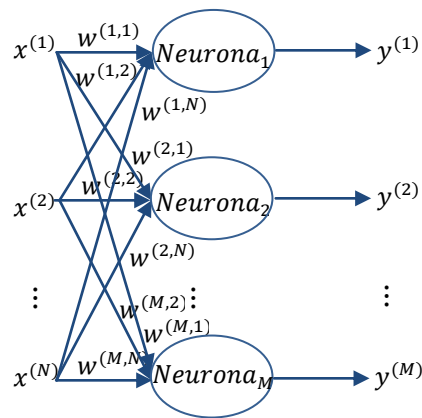
$$\hat{y}^{(M)} = \hat{\varphi}\left(W^{(M,N)} \cdot \hat{x}^{(N)}\right). \quad (2.2)$$

La ecuación (2.2) representa una operación de multiplicación vector-matriz, realiza el producto punto de una matriz  $W$  de  $M \times N$  número de elementos por un vector columna de entrada  $\hat{x}$  de  $N$ -dimensiones, resultando un vector columna de salida  $\hat{y}$  de  $M$ -dimensiones. Cada elemento del vector de salida  $\hat{y}$  está afectado por la función de activación  $\varphi$  correspondiente. En (2.2) puede observarse un vector  $\hat{\varphi}$  compuesto por la

función de activación de cada neurona. Todos los vectores ( $\hat{x}$ ,  $\hat{y}$  y  $\hat{\phi}$ ) están definidos como vectores columna para la correcta manipulación algebraica de los datos; por el mismo motivo, la matriz de pesos  $W$  está formada por vectores columna  $\hat{w}$  transpuestos. El superíndice de cada vector  $\hat{w}$  indica el número de fila dentro de la matriz  $W$  (que implica el número de neurona a la que pertenece el vector).

$$W^{(M,N)} = \begin{bmatrix} \hat{w}^{(1)T} \\ \hat{w}^{(2)T} \\ \vdots \\ \hat{w}^{(M)T} \end{bmatrix}, \quad (2.3)$$

donde el superíndice T indica la transpuesta del vector.



**Figura 2.3** Red neuronal artificial monocapa de  $M$  número de neuronas y  $N$  número de elementos  $x$  de entrada.

Enfocándonos en arquitecturas de una sola capa, éstas pueden catalogarse en redes que operan por clasificación de datos, por asociación de datos y redes basadas en competencia [1]. Algunas de las arquitecturas (ADALINE, Hebb, competitivas de tipo “ganador toma todo”, etc.) operan con funciones de activación lineal, por lo que (2.2) puede reescribirse de la siguiente manera:

$$\hat{y}^{(M)} = W^{(M,N)} \cdot \hat{x}^{(N)}. \quad (2.4)$$

La ecuación (2.4) es una ecuación frecuentemente utilizada en las RNA ya que opera bajo el principio del cálculo de distancia para el reconocimiento de patrones, para esto, vectores prototipo o representativos para cada tipo de señal a reconocer conforman las filas de la matriz  $W$  (patrones conocidos), estos vectores prototipo suelen encontrarse a partir de algoritmos de entrenamiento. Considere la siguiente ecuación para el cálculo del producto punto entre dos vectores:

$$\hat{w} \cdot \hat{x} = |\hat{w}||\hat{x}|\cos\theta, \quad (2.5)$$

donde  $\theta$  es el ángulo entre los dos vectores. Si el vector  $\hat{w}$  y el vector de entrada  $\hat{x}$  tienen magnitud unitaria, el valor escalar obtenido del cálculo de producto punto está ligado al coseno del ángulo entre los dos vectores, el valor numérico mayor resulta cuando  $\theta = 0^\circ$  y el valor numérico menor resulta cuando  $\theta = 180^\circ$ . Si  $\theta = 0^\circ$ , implica que la señal de entrada es idéntica al patrón conocido, la máxima disparidad entre la señal de entrada y el patrón conocido ocurre cuando  $\theta = 180^\circ$ .

### 2.3 Multiplicador Vector-Matriz

En la sección 2.2 se ha mencionado que algunas de las arquitecturas de redes neuronales artificiales realizan tareas de reconocimiento de patrones a partir de multiplicaciones de vectores de entrada  $\hat{x}$  que contienen elementos característicos de las señales a reconocer por una matriz  $W$  compuesta de elementos que representan características prototipo de las señales (patrones conocidos). Esta matriz de elementos prototipo a su vez puede verse como un arreglo de vectores fila prototipos. Cada vector fila  $\hat{w}^{(m)}$  de la matriz  $W$ , representa entonces la actividad de la neurona  $m$  de un arreglo topológico de  $M$  número de neuronas en paralelo. El número de elementos de los vectores de entrada  $\hat{x}$  y de los vectores  $\hat{w}^{(m)}$ , depende del número de características extraídas de las señales a reconocer, pueden ingresar valores escalares hasta vectores de  $N$ -dimensiones, entre menos elementos se tengan, las operaciones pueden realizarse con mayor rapidez pero el sistema contará con menos características que ayuden al reconocimiento.

La ecuación (2.4) representa una operación de multiplicación vector-matriz. Realiza el producto escalar (producto punto) de cada fila de una matriz  $W$  de  $M \times N$  número de elementos por un vector columna de entrada  $\hat{x}$  de  $N$ -dimensiones, obteniéndose un vector columna de salida  $\hat{y}$  de  $M$ -dimensiones. La ecuación (2.4) puede describirse como una ecuación en forma matricial, pero también pueden obtenerse por separado los elementos escalares que conforman al vector  $\hat{y}$ , resultando la siguiente expresión:

$$y^{(m)} = \sum_{n=1}^N w^{(m,n)} \cdot x^{(n)}, \quad (2.6)$$

que realiza la sumatoria de los productos de cada elemento  $w^{(m,n)}$  de la fila  $m$  (neurona  $m$ ) de la matriz  $W$  por el correspondiente elemento  $x^{(n)}$  del vector de entrada  $\hat{x}$ , dando como resultado el elemento  $y^{(m)}$  del vector de salida  $\hat{y}$ . La ecuación (2.6) puede expresarse también de la siguiente forma:

$$y^{(m)} = \hat{w}^{(m)T} \cdot \hat{x}, \quad (2.7)$$

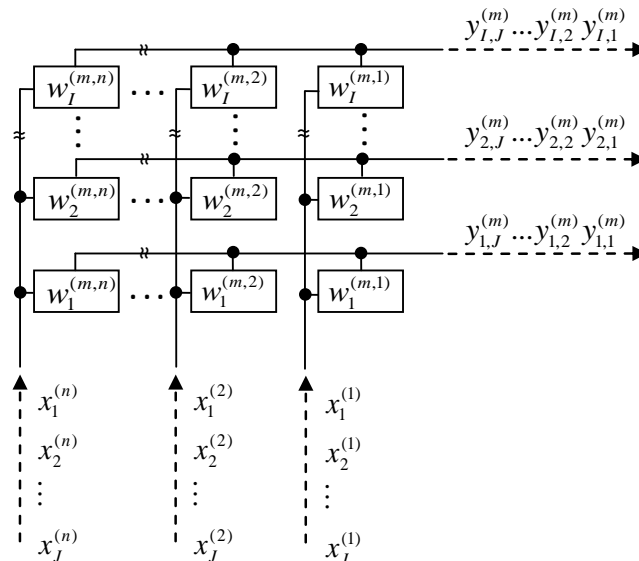
Ahora bien, cualquier arquitectura digital de multiplicación a nivel de máquina opera con datos binarios, pudiéndose utilizar diversos códigos para la manipulación de información, por lo tanto, la ecuación (2.6) queda de la siguiente manera:

$$y_{i,j}^{(m)} = \sum_{n=1}^N w_i^{(m,n)} \cdot x_j^{(n)}. \quad (2.8)$$

Los valores numéricos reales de la matriz  $W$  se codifican con  $I$  número de bits y los valores numéricos reales de los vectores de entrada se codifican con  $J$  número de bits, obteniéndose un multiplicador vector-matriz que realiza productos parciales con números binarios. La figura 2.4 detalla una arquitectura general propuesta para realizar la operación de producto punto de una fila de la matriz  $W$  por un vector de entrada  $\hat{x}$  cuando los elementos se manejan como números binarios. La resolución en bits de los datos de la matriz  $W$  puede ser distinta a la resolución de los datos de los vectores de entrada  $\hat{x}$ .

A partir de la figura 2.4, se observa que los elementos binarios de los vectores de entrada  $\hat{x}$  ingresan en forma serial al sistema, el cual realiza la operación de producto de manera paralela. Nótese que las celdas  $w_i^{(m,n)}$  que representan en número binario al elemento de la fila  $m$  y columna  $n$  de la matriz  $W$  con  $I$  bits de resolución reciben el mismo dato binario serial de entrada, mientras que los nodos de salida donde se obtienen los productos parciales  $y_{i,j}^{(m)}$  unen a las celdas  $w_i^{(m,n)}$  que representan al  $i$ -ésimo bit de los diferentes elementos de la fila  $m$  de la matriz  $W$ . El vector  $\hat{w}$  de elementos decimales es ahora un arreglo matricial  $W_{bin}$  de números binarios, cada número decimal en  $W_{bin}$  está arreglado como vector columna de números binarios, iniciando en la columna derecha hacia la columna izquierda; el bit menos significativo (LSB) de cada número se encuentra en la fila inferior y el bit más significativo (MSB) de cada número se encuentra en la fila superior.

Para el vector de números decimales de entrada  $\hat{x}$ , puede expresarse también como un arreglo matricial de números binarios  $X_{bin}$ , colocados como vectores columna, iniciando en la columna derecha hacia la izquierda. Como se mencionó anteriormente, el ingreso de estos datos binarios es de manera serial, siendo el bit menos significativo de cada número el primero en ingresar al sistema.

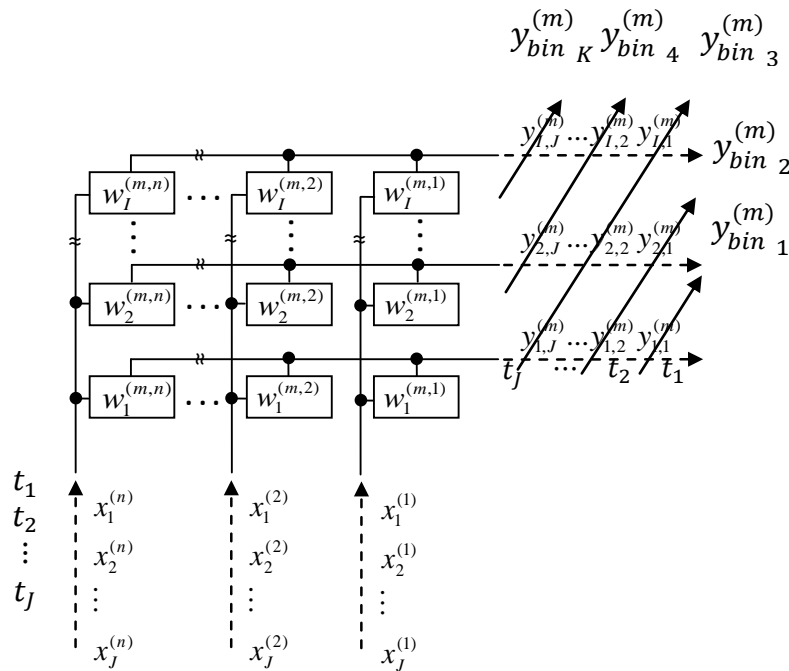


**Figura 2.4** Diagrama a bloques de la fila  $m$  de la matriz  $W$  con sus elementos numéricos codificados en binario utilizando  $I$  número de bits, un vector de entrada  $\hat{x}$  con sus elementos codificados en binario con  $J$  número de bits y las salidas del producto parcial correspondiente  $y_{i,j}^{(m)}$ .

Las salidas  $y_{i,j}^{(m)}$  pueden visualizarse como una matriz de dimensiones  $I \times J$  que se obtiene en  $J$  ciclos de reloj. En la figura 2.5 se aprecian flechas diagonales que representan a los elementos  $y_{i,j}^{(m)}$  con el mismo peso binario sobre los cuales se realizará una operación de suma (Ecuación 2.9). Para esta arquitectura el peso binario menor se encuentra en la diagonal que intercepta el elemento de la esquina inferior derecha y el peso binario mayor corresponde a la diagonal que intercepta el elemento de la esquina superior izquierda. El número binario resultante de la operación de multiplicación se obtiene a partir de la siguiente ecuación:

$$y_{bin\ k}^{(m)} = \sum_{i=\max(0,k-J)}^{k-\max(1,k-I+1)} y_{i+1,k-i}^{(m)} \quad (2.9)$$

donde el producto final en número binario  $\hat{y}_{bin}^{(m)}$  tiene una resolución de  $K$  número de bits. La ecuación (2.9) indica los elementos que tienen el mismo peso binario; es necesario implementar etapas digitales de operaciones de corrimiento y acumulación para obtener el resultado final.



**Figura 2.5** Procesamiento digital para la obtención del número binario resultante de la operación de multiplicación.



Para comprender de mejor manera la operación global que se le demanda al sistema de multiplicación vector-matriz, se describe el siguiente ejemplo:

**Ejemplo 2.1:**

Se desea que la estructura representada en la figura 2.4 realice el producto punto de un vector  $\hat{w}$  por un vector  $\hat{x}$ . Realizando la operación de producto punto con los valores numéricos en representación decimal, empleando (2.7), el resultado será un valor escalar.

$$\hat{w}^T = [4,1], \quad (2.10)$$

$$\hat{x}^T = [3,6], \quad (2.11)$$

Desarrollando (2.7), se tiene:

$$y = [4,1] \cdot \begin{bmatrix} 3 \\ 6 \end{bmatrix}, \quad (2.12)$$

$$y = (4 \cdot 3) + (1 \cdot 6) = 18. \quad (2.13)$$

Ahora bien, la estructura opera a partir de la representación binaria de los datos numéricos, para este ejemplo, cada número binario de los vectores  $\hat{w}$  y  $\hat{x}$  tendrá 3 bits de resolución, por lo tanto, los vectores  $\hat{w}$  y  $\hat{x}$  de números decimales se vuelven arreglos matriciales de números binarios. De acuerdo con la figura 2.4, se tiene que:

$$W_{bin} = \begin{matrix} & & MSB \\ & & \begin{bmatrix} 0 & 1 \\ 0 & 0 \\ 1 & 0 \end{bmatrix} \\ & & LSB \end{matrix}, \quad (2.14)$$

recuerde que la colocación de los números binarios en  $W_{bin}$  es de derecha a izquierda. Para la matriz de datos binarios de entrada  $X_{bin}$ , cada número binario está arreglado como vector columna, también colocados de derecha a izquierda; la primera fila contiene el bit más significativo de cada número y la última fila contiene el bit menos significativo.

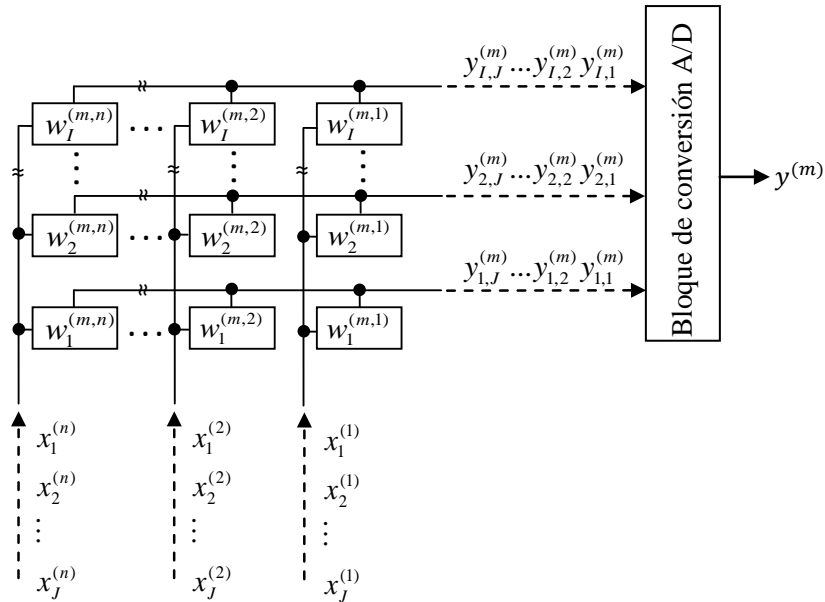


Hasta ahora se ha explicado el funcionamiento general que se le demanda a la arquitectura de multiplicación vector-matriz propuesta y como un primer prototipo, se han manejado valores binarios de entrada/salida sin signo.

Se ha mencionado que se desea un sistema mixto, que realice la operación de multiplicación de manera analógica pero que los datos de entrada/salida sean digitales, esto, para posibles aplicaciones con alta densidad de integración y eficiencia energética. Algunos trabajos publicados sobre arquitecturas de multiplicadores vector-matriz [5] y [6], proponen celdas en tecnología CMOS (Metal Óxido Semiconductor Complementaria) que realizan la operación de producto punto a nivel de bit para resolver (2.6); estas arquitecturas operan en modo de carga y ésta se almacena en un nodo de salida, existiendo una proporción entre el número de celdas con valor binario “uno” como resultado de la multiplicación y la cantidad de carga acumulada.

Tomando estos trabajos como antecedente, este trabajo de tesis se enfoca en el análisis de las celdas de multiplicación a nivel de bit (capítulo 3), las cuales generan en el dominio analógico la acumulación de bits y cuya transformación al dominio digital se lleva a cabo con un convertidor analógico/digital (A/D) de alta resolución y baja complejidad, con técnica de sobremuestreo basada en la modulación sigma-delta.

A partir de la arquitectura general del multiplicador, cada celda de multiplicación recibirá valores binarios para  $x_j^{(n)}$  y  $w_i^{(m,n)}$ , pero ahora los valores  $y_{i,j}^{(m)}$  obtenidos en cada nodo de salida para el j-ésimo ciclo de reloj representan voltajes analógicos, estas salidas analógicas serán cuantificadas por convertidores analógico-digital y manipuladas en el dominio digital (Fig. 2.7).



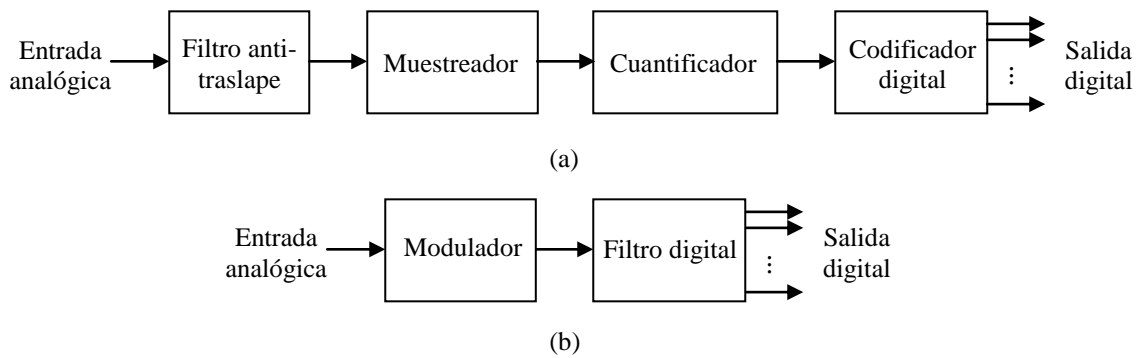
**Figura 2.7** Representación de la arquitectura de multiplicación para la fila  $m$  de la matriz  $W$  y un vector de entrada  $\hat{x}$  (ambos con sus elementos codificados en binario), las salidas analógicas del producto parcial correspondiente  $y_{i,j}^{(m)}$  y el bloque de conversión A/D para la cuantificación de los valores de salida.

El método de cuantificación es una parte crítica para el buen desempeño del sistema, ya que la precisión en los cálculos está limitada por la resolución del convertidor analógico-digital (A/D).

De acuerdo a [8], la mayor parte de las investigaciones recientes hechas sobre arquitecturas de convertidores A/D se centran en cuatro tipos: tipo pipeline, flash, aproximaciones sucesivas y de sobremuestreo. Estas cuatro arquitecturas pueden dividirse en dos grupos de acuerdo a la razón de muestreo a la cual operan: el primero corresponde a las que operan a la razón de Nyquist ( $f_N = 2f_B$ ), donde  $f_N$  es la razón de muestreo o razón de Nyquist y  $f_B$  es el ancho de banda de la señal (tipo pipeline, flash, aproximaciones sucesivas) y el segundo grupo son las arquitecturas que realizan un muestreo de la señal a una razón mucho mayor que el ancho de banda de la señal (convertidores de sobremuestreo).

Todas estas arquitecturas ofrecen ciertas ventajas en cuanto a tiempos de ejecución y resolución alcanzada, pero enfocándonos en la complejidad de diseño de arquitecturas, un convertidor de sobremuestreo es capaz de lograr una mayor resolución con topologías más sencillas, en comparación con los convertidores que operan a la razón de Nyquist, ya que se

sustituyen componentes analógicos complejos y precisos por técnicas digitales de procesamiento de señal (Fig. 2.8). Debido a la alta razón de muestreo, no ocurren efectos de traslape en el ancho de banda de la señal, por lo que puede omitirse un filtro para evitar este efecto o bien, puede implementarse un filtro de bajo orden, que implica un diseño no tan riguroso. Otra ventaja de este tipo de convertidores es que si operan en tiempo discreto, regularmente utilizan circuitos con capacitores conmutados que realizan la tarea de muestreo, evitando el diseño de una etapa dedicada para este fin. La salida de estos convertidores es una señal modulada por ancho de pulso, que representa el promedio de la señal de entrada en cierto periodo de tiempo, lo que hace de este tipo de arquitectura una opción ideal para aplicaciones en señales analógicas pequeñas y ruidosas. El procesamiento digital que se le aplica a la señal de salida modulada funciona como un filtro digital que elimina ruido de cuantificación y señales espurias fuera de banda. El procesamiento digital también consiste en disminuir la razón de sobremuestreo hasta la razón Nyquist para obtener el dato digital final de salida.



**Figura 2.8** Diagrama a bloques de (a) un convertidor A/D a razón de Nyquist, (b) un convertidor de sobremuestreo.

Ya que se requiere de un convertidor con alta resolución pero con una circuitería sencilla para un diseño topológico reducido en área, las ventajas antes mencionadas sobre los convertidores de sobremuestreo hacen que esta arquitectura de convertidor A/D sea la opción apropiada a implementar en la arquitectura de multiplicación vector-matriz.

## 2.4 Resumen

En este capítulo se describió el concepto de reconocimiento de patrones y conceptos básicos de la disciplina de las redes neuronales artificiales; a partir de una ecuación utilizada en diversas arquitecturas neuronales se propuso y describió el funcionamiento general de un multiplicador vector-matriz que puede emplearse en tareas de reconocimiento. Debido a que la arquitectura del multiplicador recibe y entrega datos en forma digital pero realiza la operación de multiplicación de manera analógica, es necesaria una etapa de salida de conversión A/D por lo que también se realizó una descripción breve de los tipos de convertidores que pueden utilizarse.



---

## Capítulo 3

### Celda de Producto a Nivel de Bit

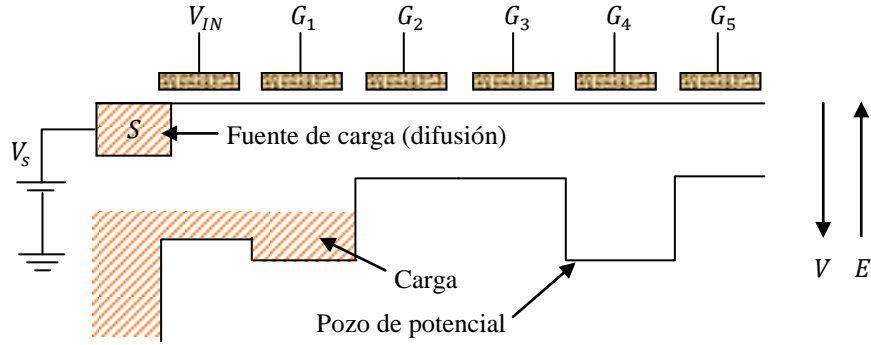
#### 3.1 Introducción

En el capítulo 2 se ha descrito en forma general una arquitectura de multiplicador vector-matriz que puede ser usada en aplicaciones de reconocimiento de patrones empleando redes neuronales artificiales. Este capítulo se enfoca en la arquitectura CMOS de la celda básica de multiplicación, su operación y sus ecuaciones descriptivas, comenzando por la operación de almacenamiento y transferencia de carga, ya que algunas arquitecturas de multiplicación vector-matriz con tecnología CMOS reportadas [5], [6] basan su funcionamiento en este fenómeno. Se presenta un análisis estático y dinámico de la celda y por último, se propone un macromodelo en PSPICE.

#### 3.2 Almacenamiento y transferencia de carga

En la tecnología de Silicio pueden emplearse arreglos de capacitores MOS (Metal Óxido Semiconductor) pulsados por voltajes de reloj multifase para formar pozos de potencial [9], [10] y a su vez, estos pozos de potencial pueden ser usados para el almacenamiento y transferencia de carga (figura 3.1). Un circuito integrado con un número determinado de capacitores acoplados por el almacenamiento y transferencia de carga recibe el nombre de Dispositivo de Carga Acoplada (CCD). Para una tecnología CMOS de pozo  $n$  [10], la carga a transferir entre estos pozos son electrones. Los pozos de potencial se crean en o cerca de la interfase Silicio-dióxido de Silicio.





**Figura 3.1** Ejemplo del nivel de potencial y distribución de carga en un arreglo de capacitores MOS.  $V$  es el potencial y  $E$  el campo eléctrico.

Para una tecnología CMOS de pozo  $n$ , la aplicación de un pulso positivo a un electrodo de compuerta genera la energía necesaria para que un *pozo de potencial* exista en la interfase  $Si - SiO_2$  (Silicio-Dióxido de Silicio), sin embargo, el pozo de potencial no existe de forma indefinida, ya que térmicamente se generan pares electrón-hueco; de estos pares, los electrones son atrapados en la interfaz generando una capa de inversión. El tiempo requerido por un capacitor MOS para alcanzar el estado de inversión partiendo de un estado en deserción profunda se le conoce como *tiempo de almacenamiento*  $\tau_s$  (3.1) y está relacionado con la razón de generación de pares electrón-hueco, por lo tanto, un CCD es un dispositivo dinámico donde la carga puede ser almacenada por tiempos mucho más cortos que el tiempo de almacenamiento.

$$\tau_s = \frac{N_a}{n_i} 2\tau_o, \quad (3.1)$$

donde  $N_a$  es la concentración de aceptores,  $n_i$  es la concentración intrínseca del material, ambas concentraciones con unidades  $cm^{-3}$  y  $\tau_o$  es el tiempo efectivo de vida de los portadores libres dentro de la región de deserción (3.2), con segundos como unidad de medida.

$$\tau_o = \frac{1}{\pi \cdot \sigma \cdot v_{th} \cdot D_t \cdot k \cdot T}, \quad (3.2)$$

donde  $\sigma$  es la sección transversal de captura de portadores (asumiendo  $\sigma_p = \sigma_n = \sigma$ ), con  $cm^2$  como unidad de medida,  $v_{th}$  es la velocidad térmica de los portadores dada en  $cm/s$ ,  $D_t$  es la densidad de trampas por unidad de energía, dada en  $cm^{-3}eV^{-1}$ ,  $k$  es la constante de Boltzman ( $1.38 \times 10^{-23}J/K$ ) y  $T$  es la temperatura ambiente, en  $K$ . La ecuación (3.2) es válida para el caso cuando los estados  $\pi \cdot D_t \cdot k \cdot T$  se localizan en  $E_i$ , siendo  $E_i$  el nivel de energía intrínseco de Fermi.

Ya que comúnmente  $N_a \cong 10^{15}cm^{-3}$  y  $n_i = 1.45 \times 10^{10}cm^{-3}$  resulta un valor  $\tau_s$  de 5 órdenes de magnitud mayor que  $\tau_o$ . Regularmente  $\tau_o$  está en el orden de  $1 \sim 10\mu s$ , por lo que  $\tau_s$  resulta en el orden de segundos [11].

En un CCD, los portadores libres (minoritarios) se mueven de un pozo a otro debido a tres mecanismos diferentes: flujo auto-inducido, difusión térmica y flujo de campo periférico (fringing field).

El flujo de campo auto-inducido, que es un efecto de repulsión de carga, es importante únicamente a densidades de señales de carga relativamente grandes. Es el mecanismo dominante en la transferencia del 99% de la señal de carga.

La difusión térmica genera un decaimiento exponencial de la carga remanente bajo el electrodo de transferencia. El decaimiento tiene una constante de tiempo que se incrementa proporcionalmente al cuadrado de la distancia del centro de un electrodo a otro centro.

El flujo de campo periférico puede añadirle velocidad al proceso de transferencia de carga en forma considerable. Este campo eléctrico tiene la misma dirección que el flujo de carga y depende de los parámetros del proceso y la geometría del dispositivo.

La fracción de carga transferida de un pozo al siguiente se conoce como la *eficiencia de transferencia de carga*,  $\eta$ . La fracción de pérdida en la transferencia se conoce como *ineficiencia de transferencia*,  $\varepsilon$ . Donde  $\eta + \varepsilon = 1$ . Ya que  $\eta$  determina el número de transferencias que pueden realizarse antes de que la señal se distorsione en forma considerable, es el parámetro de desempeño más importante.

Si un pulso de carga con una amplitud inicial  $P_o$  es transferido por un registro CCD, después de  $n$  transferencias, la amplitud  $P_n$  será:

$$P_n = P_o \eta^n \cong P_o (1 - n\varepsilon), \quad \text{para } \varepsilon \text{ pequeño.} \quad (3.3)$$

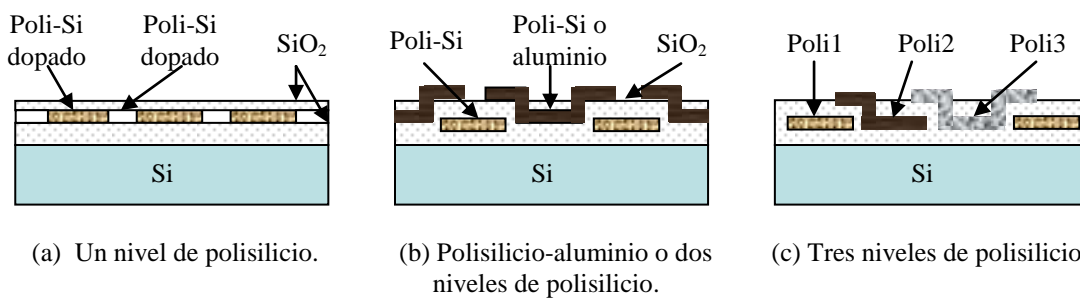
El valor máximo alcanzado por  $\eta$  depende de dos factores: qué tan rápido puede transferirse la carga libre entre compuertas adyacentes y cuanta carga queda atrapada en cada compuerta debido a estados estacionarios. En el presente trabajo no se realiza un análisis de eficiencia de transferencia de carga debido a que la estructura CCD a emplear posee muy pocas compuertas, como se verá en capítulos posteriores.

### 3.2.1 Estructuras Comunes de CCDs en Tecnología CMOS

Las estructuras más comunes utilizan la construcción de canales sellados con uno, dos o tres niveles de polisilicio. Para un nivel de polisilicio, la capa de este material es dopada en forma selectiva, pasivando los espacios entre electrodos con polisilicio de alta resistividad. Una segunda capa de metal (aluminio) forma las interconexiones.

Una tecnología de polisilicio-aluminio o dos niveles de polisilicio representa una estructura con traslape de compuertas. La separación de compuertas se forma por un crecimiento térmico de  $SiO_2$  que tiene un grosor comparable a aquel del óxido de compuerta. Esta estructura puede emplearse para CCDs de dos o cuatro fases de reloj.

La estructura de triple polisilicio representa otra alternativa. Puede emplearse un nivel de polisilicio para cada fase. La figura 3.2 muestra las distintas estructuras CCD comúnmente usadas en tecnologías de fabricación CMOS.



**Figura 3.2** Estructuras para CCDs empleando (a) uno, (b) dos o (c) tres niveles de polisilicio.

Con respecto a los pulsos de reloj, a diferencia de los dispositivos CCDs de tres o cuatro fases, los dispositivos de dos fases pueden operar con pulsos positivos de reloj no traslapados. Cuando los pulsos de reloj están traslapados, el reloj se denomina de empuje y cuando los pulsos no están traslapados, el reloj se denomina de goteo.

Para los relojes de goteo de dos fases, el cambio de carga del pozo de potencial bajo la compuerta activada durante la fase 1 ( $\phi_1$ ) al pozo de potencial bajo la compuerta activada por la fase 2 ( $\phi_2$ ) ocurre durante el pulso positivo de  $\phi_2$ .

### 3.2.2 Métodos de Inyección de Carga en un CCD

Con respecto a la introducción de una señal a un CCD, existen tres formas o métodos [12] que se describen a continuación. La figura 3.3 muestra cada uno de los métodos suponiendo una tecnología CMOS de pozo  $n$ .

Método de corriente de entrada (Figura 3.3a). En este método, la terminal de fuente  $S$  (material  $n^+$ ) es polarizada con un nivel de voltaje  $V_s$  y un pulso de voltaje de entrada se aplica a la primera compuerta. Esta combinación genera una fuente de corriente MOS que llena el primer pozo de potencial bajo la compuerta  $G_{\phi_1}$  durante el tiempo  $\Delta t$  del pulso de entrada. Este método se considera crítico debido a que la cantidad de carga introducida depende del voltaje de umbral MOS  $V_{TH}$  y de la amplitud y duración del pulso de entrada.

Un método mejor controlado muestrea el voltaje de la señal de entrada y llena el primer pozo de potencial al nivel de la terminal de fuente (Figura 3.3b). La entrada es aplicada como el voltaje en la terminal de fuente, mientras que la compuerta de entrada aísla el primer pozo de potencial de la fuente. Este método funciona mejor con un tiempo de caída relativamente lento para el pulso de reloj de la compuerta de entrada. La carga total inducida en el semiconductor por unidad de área  $Q_s$  no está determinada por la amplitud o duración del pulso de entrada, depende del umbral MOS de la compuerta  $G_{\phi_1}$  y está dado por:

$$Q_s = \Delta V_s (C_{ox} + C_d), \quad (3.4)$$

donde  $\Delta V_s$  es el incremento de potencial aplicado en la difusión,  $C_{ox}$  es la capacitancia de óxido de compuerta y  $C_d$  es la capacitancia de la región de deserción (ambas capacitancias de la compuerta  $G_{\phi_1}$ ).

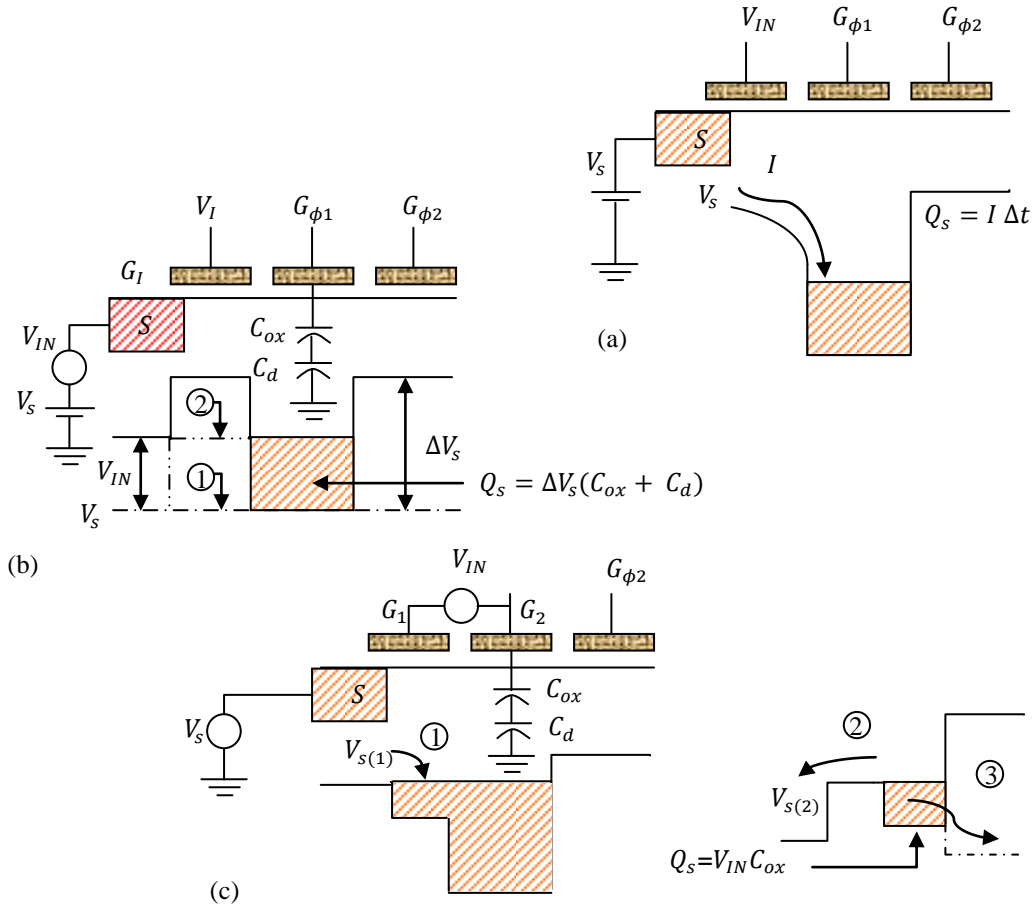
El tercer método para introducir señales es el de programación de carga (Figura 3.3c). Este método es lineal, tiene la ventaja de bajo ruido y no depende del voltaje de

umbral. El concepto básico es formar un pozo de potencial bajo las compuertas  $G_1$  y  $G_2$ , donde la compuerta  $G_1$  actúa como una barrera entre la difusión y la entrada al pozo bajo  $G_2$ . La entrada es aplicada como el voltaje relativo entre las compuertas  $G_1$  y  $G_2$ . El pozo de entrada es llenado primeramente sobrepasando el potencial de fuente sobre la barrera  $G_1$ . El exceso de carga de entrada regresa a la difusión de fuente cuando el potencial de  $G_1$  disminuye. Si se utiliza el mismo óxido de canal para ambas compuertas ( $G_1$  y  $G_2$ ), la señal de carga de entrada total  $Q_s$ , es:

$$Q_s = V_{IN}C_{ox-2}, \quad (3.5)$$

donde  $C_{ox-2}$  es la capacitancia de óxido de compuerta  $G_2$ .

De las tres arquitecturas descritas, el método de voltaje de entrada tiene un mayor control de la carga inducida comparado con el método de corriente de entrada y si lo que se requiere es diseñar un circuito integrado con el mayor número de celdas de multiplicación (mayor densidad de integración), el método de voltaje de entrada ofrece un mayor número de variables por área ( $V_{IN}$ ,  $V_I$ ,  $G_{\phi 1}$  y  $G_{\phi 2}$ ) comparado con el método de programación de carga.



**Figura 3.3** Métodos de introducción de señal a un CCD. (a) Método de corriente de entrada, (b) Método de voltaje de entrada, (c) Método lineal.

### 3.3 Celda Básica de Multiplicación

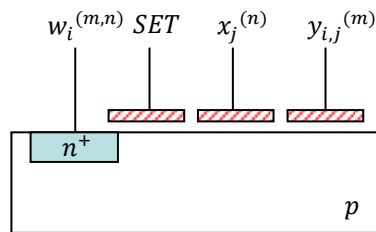
Se propone una arquitectura que opere a nivel de carga, que tome como base de funcionamiento las estructuras CCD con tecnología CMOS. En la sección 3.2.2 se destacaron algunas ventajas del método de introducción de señal por voltaje en una arquitectura CCD, por lo cual se decidió utilizar dicha arquitectura.

Debido a la tecnología de fabricación a usar (CMOS pozo  $n$ , 2 niveles de metal, 2 niveles de polisilicio,  $1.2\mu m$ ), la estructura CCD a emplear corresponde a la figura 3.2b.

La celda básica de multiplicación recibirá las variables de entrada  $w_i^{(m,n)}$ ,  $x_j^{(n)}$  y  $SET$  en modo digital, por lo que puede denominarse *celda de producto a nivel de bit*. Esta celda calculará un argumento de la sumatoria en (2.8), es decir, almacenará un bit de la

matriz de elementos  $w_i^{(m,n)}$  y realizará una multiplicación binaria-binaria en un solo cuadrante de las variables  $w_i^{(m,n)}$  y  $x_j^{(n)}$ .

Para un arreglo de  $w_i^{(m,n)}$  celdas con el mismo superíndice  $m$  y el mismo subíndice  $i$  con sus respectivos nodos de salida  $y_{i,j}^{(m)}$  conectados a un mismo punto y un vector  $x_j^{(n)}$  con  $j$  elementos presentados en forma secuencial, los productos resultantes  $y_{i,j}^{(m)}$  son acumulados en el nodo de salida a lo largo del tiempo. La figura 3.4 muestra la asignación de variables de (2.8) en la estructura CCD a usarse como celda básica de multiplicación. Se ha asignado la variable  $SET$  (no contemplada anteriormente) a la compuerta junto a la difusión con el fin de poseer un control externo de activación de las celdas de multiplicación.



**Figura 3.4** Estructura de la celda básica de multiplicación con las variables asignadas a los electrodos.

Para el modelado matemático de la *celda de producto a nivel de bit*, el modo de operación puede ser analizado combinando los principios de un dispositivo de inyección de carga (CID) y un dispositivo de acoplamiento de carga (CCD). Esto es, existirá una cantidad de carga inyectada a la celda mediante un potencial aplicado al electrodo  $w_i^{(m,n)}$  y mediante la correcta manipulación de las compuertas de control  $SET$  y  $x_j^{(n)}$  la carga inyectada será transferida al área debajo de la compuerta  $y_{i,j}^{(m)}$ . La cantidad de carga debajo de la compuerta  $y_{i,j}^{(m)}$  inducirá un nivel de voltaje proporcional en este electrodo, por lo que el nivel de voltaje en  $y_{i,j}^{(m)}$  representará la operación de producto resultante.

No debe olvidarse que la *celda de producto a nivel de bit* es una estructura dinámica y opera en el dominio del tiempo, la carga inyectada es transmitida de manera secuencial al área debajo de las compuertas  $x_j^{(n)}$  y  $y_{i,j}^{(m)}$ . Se plantea que en el nodo de salida  $y_{i,j}^{(m)}$ ,

éste permanezca anclado a un potencial que asegure la transferencia de carga al área debajo de su compuerta. Sin embargo, para modelar el comportamiento de la celda de producto a nivel de bit se han considerado los siguientes análisis estáticos, únicamente para conocer la cantidad de carga inyectada en función de los potenciales aplicados a la difusión  $n^+$  y a la compuerta  $SET$  y a su vez, la obtención de voltaje en el nodo de salida (compuerta  $y_{i,j}^{(m)}$ ):

1. Operación de la *celda de producto a nivel de bit* a partir del modelo de transporte de carga considerando un análisis en no-equilibrio para las regiones de carga espacial superficial [13].
2. Operación de la *celda de producto a nivel de bit* a partir del análisis en desequilibrio de un capacitor MOS [14].
3. Operación de la *celda de producto a nivel de bit* a partir del modelo de estructuras MOS de dos y tres terminales [15].

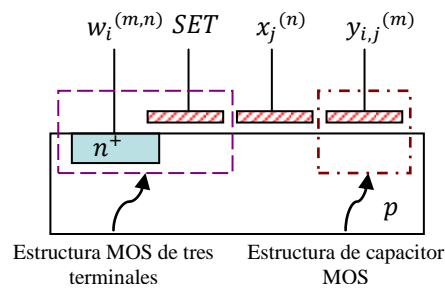
Los tres análisis contemplan la transferencia de carga usando la estructura CCD de introducción de señal por voltaje. Sin embargo, las ecuaciones manejadas en los puntos 1 y 2 no proveen una relación directa entre los voltajes aplicados (en la compuerta y en la difusión  $n^+$ ) y el potencial superficial, para que a partir de conocer su valor pueda determinarse la cantidad de carga inyectada, sino que es necesario conocer en qué régimen de operación se encuentra la estructura (deserción, inversión fuerte, inversión profunda) para poder determinar la ecuación de potencial superficial a utilizar. Por otro lado, las ecuaciones usadas en la opción 3 sí presentan una relación directa entre los potenciales aplicados a la compuerta y difusión  $n^+$  y la variación del potencial superficial, motivo por el cual el presente trabajo se enfoca en este modelo matemático.

### **3.3.1 Operación de la Celda de Producto a Nivel de Bit a Partir del Modelo de Estructuras MOS de Dos y Tres Terminales**

Para modelar la cantidad de carga inyectada en la estructura en función del voltaje aplicado en  $w_i^{(m,n)}$  y el correspondiente nivel de voltaje reflejado en el electrodo de salida



$y_{i,j}^{(m)}$ , la estructura de la figura 3.4 se dividirá, en dos nuevas estructuras (figura 3.5). Una de ellas corresponde a una estructura MOS de tres terminales que servirá para modelar el fenómeno de inyección de carga controlado por el electrodo de difusión  $w_i^{(m,n)}$  y el electrodo de compuerta  $SET$ , la tercera terminal corresponde al sustrato. La segunda estructura corresponde a un capacitor MOS, utilizado para modelar el nivel de voltaje de salida de acuerdo a la cantidad de carga inyectada y transferida. El electrodo de compuerta  $x_j^{(n)}$  puede ser modelado como un interruptor que permite o no la transferencia de carga hacia la región bajo la compuerta del electrodo de salida.



**Figura 3.5** Estructuras propuestas para modelar la celda básica de multiplicación.

Una estructura MOS de dos terminales (capacitor MOS) opera en tres regiones básicas: acumulación, deserción e inversión. La región de operación depende básicamente del potencial de compuerta aplicado a la estructura y su efecto en el potencial superficial  $\psi_s$ . Para una estructura MOS de tres terminales, la región de operación es una función de dos electrodos de control, uno en la difusión  $n^+$  y otro en la compuerta.

Para operar de forma correcta una estructura de tres terminales (estructura MOS de tres terminales de la figura 3.5), se aplica un potencial en inversa al nodo  $w_i^{(m,n)}$  causando que los portadores libres de la región  $p$  sean atraídos a la unión  $p - n$  en proporción al voltaje en inversa aplicado, por lo tanto, para formar una capa de inversión en la región  $p$ , el nivel de voltaje en la compuerta  $SET$  será mayor que en una estructura de capacitor MOS [15] y el potencial superficial al ingresar en el régimen de fuerte inversión estará dada por:

$$\psi_s(inv) = V_{w_i^{(m,n)}} + 2\psi_{Fp}, \quad (3.6)$$

donde  $V_{w_i(m,n)}$  es el potencial en inversa aplicado a la unión  $p - n$  y  $\psi_{Fp}$  es el potencial de Fermi para una región  $p$ .

Una estructura MOS de dos terminales (por ejemplo la estructura de capacitor MOS de la figura 3.5) operando en el régimen de inversión está caracterizada por las siguientes cinco ecuaciones [15]:

$$V_{y_{i,j}(m)} = \psi_{ox} + \psi_s + \phi_{MS}, \quad (3.7)$$

$$Q_G + Q_o + Q_I + Q_B = 0, \quad (3.8)$$

$$Q_G = C_{ox}\psi_{ox}, \quad (3.9)$$

$$Q_B = -\sqrt{2q\epsilon_s}\sqrt{N_a}\sqrt{\psi_s}, \quad (3.10)$$

$$Q_I = -\sqrt{2q\epsilon_s}\sqrt{N_a}\left(\sqrt{\psi_s + \phi_t e^{(\psi_s - 2\psi_{Fp})/\phi_t}} - \sqrt{\psi_s}\right). \quad (3.11)$$

Donde  $V_{y_{i,j}(m)}$  es el voltaje aplicado a la compuerta,  $\psi_{ox}$  es la caída de potencial en el óxido de compuerta,  $\phi_{MS}$  es la diferencia de funciones de trabajo metal-semiconductor,  $Q_G$ ,  $Q_B$  y  $Q_I$  son cargas por unidad de área en la compuerta, en el área del semiconductor debajo del óxido y en la región de inversión, respectivamente.  $Q_o$  es la carga efectiva en la interface silicio/dióxido de silicio por unidad de área,  $C_{ox}$  es la capacitancia de óxido,  $q$  es la carga del electrón,  $\epsilon_s$  es la permitividad del Silicio,  $N_a$  es la concentración de aceptores y  $\phi_t$  es el voltaje térmico ( $\phi_t \cong 26mV @ 300K$ ).

Para una estructura MOS de tres terminales (estructura de tres terminales de la figura 3.5) las ecuaciones (3.7), (3.8), (3.9) y (3.10) también son válidas, pero en (3.11) existe diferencia, ya que para este tipo de estructuras la cantidad de carga en el régimen de inversión también está afectada por el voltaje en inversa aplicado a la difusión:

$$Q_I = -\sqrt{2q\epsilon_s N_a} \left( \sqrt{\psi_s + \phi_t e^{\left[ \psi_s - (2\psi_{Fp} + V_{w_i(m,n)}) \right] / \phi_t}} - \sqrt{\psi_s} \right). \quad (3.12)$$

A partir de (3.7), (3.8) y (3.9) se obtiene:

$$V_{SET} = V_{FB} + \psi_s - \frac{Q_B(\psi_s) + Q_I(\psi_s)}{C_{ox}}. \quad (3.13)$$

La variable  $V_{y_{i,j}(m)}$  en (3.7) se ha cambiado por  $V_{SET}$  en (3.13), ya que es la compuerta que se utilizará en el análisis para la estructura MOS de tres terminales,  $V_{FB}$  es el voltaje de banda plana definido como:

$$V_{FB} = \phi_{MS} - \frac{Q_o}{C_{ox}}, \quad (3.14)$$

La ecuación (3.10) puede ser redefinida como:

$$Q_B = -\gamma \cdot C_{ox} \sqrt{\psi_s}, \quad (3.15)$$

donde  $\gamma$  es el parámetro de efecto de cuerpo o factor de cuerpo, definido como:

$$\gamma = \frac{\sqrt{2q\epsilon_s N_a}}{C_{ox}}. \quad (3.16)$$

Empleando (3.12) y (3.15) en (3.13),  $V_{SET}$  puede escribirse como:

$$V_{SET} = V_{FB} + \psi_s + \gamma \sqrt{\psi_s + \phi_t e^{\left[ \psi_s - (2\psi_{Fp} + V_{w_i(m,n)}) \right] / \phi_t}}. \quad (3.17)$$

La ecuación anterior proporciona una relación entre  $V_{SET}$ ,  $V_{w_i(m,n)}$  y  $\psi_s$ . Si se conoce el valor de  $\psi_s$  para un valor dado de  $V_{SET}$  y  $V_{w_i(m,n)}$ , pueden conocerse las distintas cantidades de carga en la estructura. El valor de  $Q_I$  obtenido a partir de (3.12) puede ser

considerado como la cantidad de carga inyectada a la estructura debida a los voltajes aplicados en la difusión  $n^+$  y en la compuerta  $SET$ .

Con respecto al nodo de salida, considerando la estructura de capacitor MOS de la figura 3.4, el resultado de la operación de producto de la celda se traducirá como la cantidad de carga inyectada y transferida al área debajo de la compuerta  $y_{i,j}^{(m)}$ , es decir, la variación de la carga debajo de la compuerta  $y_{i,j}^{(m)}$ , que por sensado capacitivo puede interpretarse como:

$$\Delta V_{y_{i,j}^{(m)}} = \frac{\Delta Q}{C_{y_{i,j}^{(m)}}}, \quad (3.18)$$

donde  $\Delta V_{y_{i,j}^{(m)}}$  es la variación de voltaje y  $C_{y_{i,j}^{(m)}}$  es la capacitancia total vista en el electrodo  $y_{i,j}^{(m)}$ .

Un inconveniente de (3.17) es que resulta una ecuación no analítica para  $\psi_s$ , por lo que debe emplearse un método de aproximación para poder resolverla. La figura 3.6a muestra una gráfica de comportamiento del potencial superficial  $\psi_s$  en función de los potenciales aplicados en los electrodos  $w_i^{(m,n)}$  y  $SET$  de la figura 3.5. Se ha empleado el método de aproximación de Newton-Raphson [16] para resolver (3.17). La Tabla 3.1 muestra los valores empleados para las distintas variables, obtenidos de la compañía MOSIS para una tecnología CMOS de  $1.2\mu m$ , pozo  $n$ ; corrida T5BO. El parámetro  $d$  especifica el espesor de óxido de compuerta.

**TABLA 3.1** Parámetros de tecnología.

|             |                     |
|-------------|---------------------|
| $V_{FB}$    | $-1.2085V$          |
| $\gamma$    | $0.3341V^{1/2}$     |
| $\phi_{Fp}$ | $0.3266V$           |
| $N_a$       | $4.13282e15cm^{-3}$ |
| $d$         | $3.17e - 6cm$       |

La figura 3.6b muestra la variación de la carga inyectada en la *celda de producto a nivel de bit* ( $Q_I$  en ecuación 3.12) como una función de  $\psi_s$ , que a la vez depende de  $V_{w_i^{(m,n)}}$  y  $V_{SET}$ .

Recordemos que para un correcto funcionamiento de la estructura, debe aplicarse un voltaje en inversa a la difusión  $n^+$  y, debido a que se utiliza una tecnología de pozo  $n$ , el voltaje aplicado en las compuertas debe ser positivo para crear pozos de potencial debajo de éstas.

Analizando la curva resultante en la figura 3.6b, para el caso en que  $V_{w_i^{(m,n)}} = 5V$  y  $V_{SET} = 0V$ , se observa que la carga móvil (inyectada) debajo de la compuerta *SET* es  $\approx 0 C/cm^2$ , si se aumenta  $V_{SET}$  de manera gradual hasta hacer que  $V_{SET} = 5V$  pero  $V_{w_i^{(m,n)}}$  permanece en  $5V$ , la carga se mantiene, lo cual es correcto, ya que el potencial aplicado a la difusión atrae a las cargas móviles que podrían encontrarse debajo de la compuerta *SET*. De igual forma, si ahora se varía el potencial aplicado a  $w_i^{(m,n)}$ , es decir  $V_{w_i^{(m,n)}}$ , de  $5V$  a  $0V$  de manera gradual pero se mantiene  $V_{SET} = 0V$ , la carga móvil debajo de la compuerta *SET* seguirá siendo  $\approx 0 C/cm^2$ , ya que no se ha formado un pozo de potencial que permita la inyección de carga. Cuando  $V_{SET} = 5V$  y el potencial aplicado en la difusión varía de  $5V$  a  $0V$  de manera gradual, debido a que ahora existe un pozo de potencial debajo de la compuerta *SET*, ocurrirá la inyección de carga, en este caso, relacionada con la variación de  $V_{w_i^{(m,n)}}$ .

Ahora bien, la variación de voltaje en el nodo de salida puede obtenerse a partir de (3.18), haciendo las consideraciones pertinentes del área para manipular las unidades de medida en forma adecuada. El nodo de salida corresponde a una estructura MOS de dos terminales (capacitor MOS), como se mencionó anteriormente, este nodo permanecerá anclado a un potencial que asegure la transferencia de carga a la región debajo de esta compuerta y en cierto instante de tiempo se medirá la diferencia de potencial en función de la carga transferida. Suponiendo que el potencial de referencia aplicado a este nodo es el suficiente para que opere en el régimen de inversión, entonces la carga total por unidad de área  $Q_C$  debajo del óxido de compuerta está dada por:

$$Q_C = Q_I + Q_B, \quad (3.19)$$

donde  $Q_I$  es la carga por unidad de área en la capa de inversión y  $Q_B$  es la carga por unidad de área debida a átomos aceptores ionizados en la región de deserción.

Enfocándonos en la carga existente en la región de inversión ( $Q_I$ ), ésta puede obtenerse mediante la siguiente ecuación [15]:

$$Q_I = -\sqrt{2q\epsilon_s N_a} \left( \sqrt{\psi_s + \phi_t e^{[\psi_s - 2\psi_{Fp}]/\phi_t}} - \sqrt{\psi_s} \right). \quad (3.20)$$

Para el caso de una estructura MOS de dos terminales, la carga únicamente depende del voltaje aplicado en la compuerta  $V_{y_{i,j}^{(m)}}$ . En (3.20) se relaciona la carga con  $V_{y_{i,j}^{(m)}}$  a través del potencial superficial. Considerando un análisis similar al realizado para la obtención de (3.17), es decir, utilizando (3.20) y (3.15) en (3.13), se obtiene:

$$V_{y_{i,j}^{(m)}} = V_{FB} + \psi_s + \gamma \sqrt{\psi_s + \phi_t e^{[\psi_s - 2\psi_{Fp}]/\phi_t}}. \quad (3.21)$$

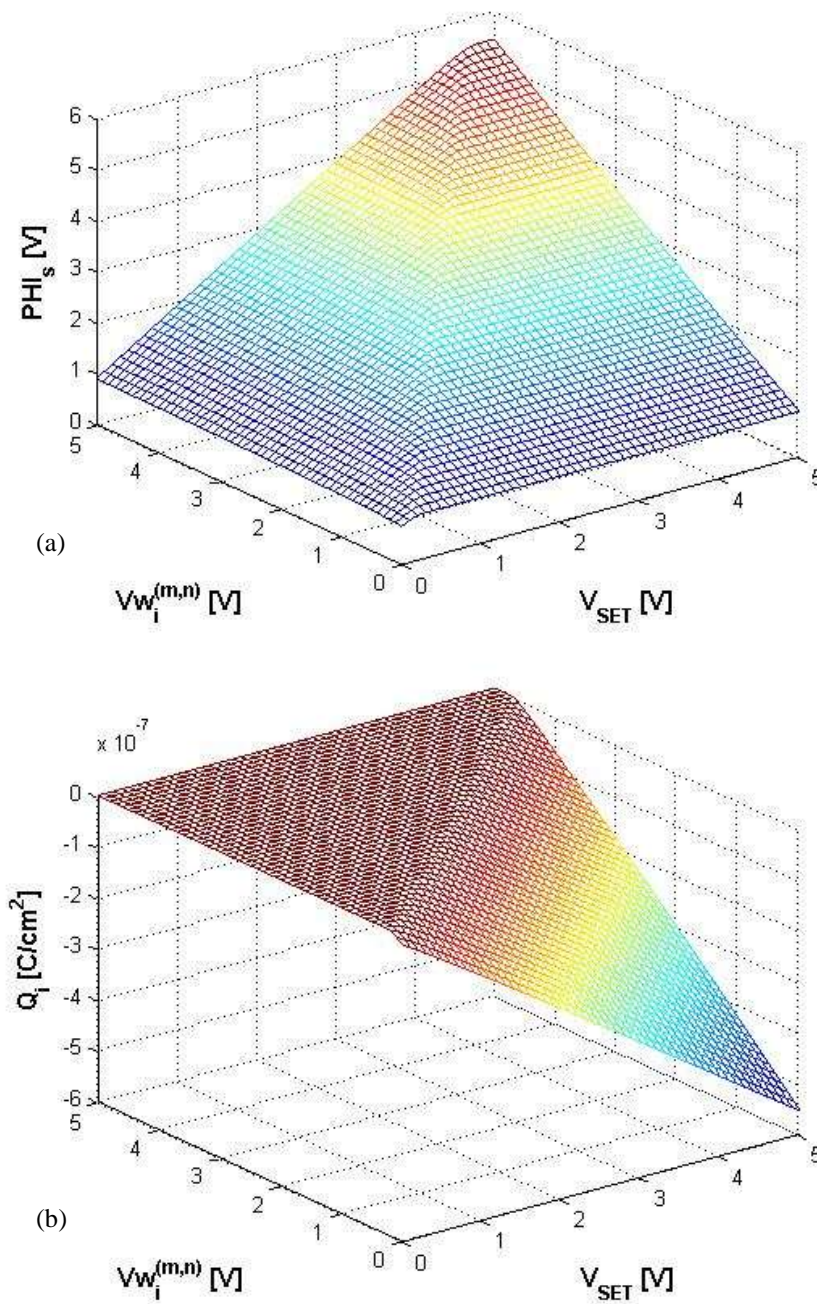
Al igual que (3.17), (3.21) también resulta en una ecuación no analítica para  $\psi_s$ . De nuevo aplicando un método numérico para resolver la ecuación, puede obtenerse la variación del potencial superficial y por ende, obtener la carga en el régimen de inversión.

La figura 3.7 presenta la variación del potencial superficial en función del voltaje aplicado en la compuerta  $y_{i,j}^{(m)}$  de la figura 3.5. (3.20) y (3.21) son válidas para la estructura de capacitor MOS operando en el régimen de inversión, esto ocurre cuando:

$$V_{y_{i,j}^{(m)}} \geq V_{LO}, \quad (3.22)$$

donde  $V_{LO}$  se define como el voltaje de umbral de inversión débil y está dado por:

$$V_{LO} = V_{FB} + \psi_{Fp} + \gamma \sqrt{\psi_{Fp}}, \quad (3.23)$$



**Figura 3.6** (a) Variación del potencial superficial debajo de la compuerta *SET* de la figura 3.5 en función de los potenciales aplicados a los electrodos  $w_i^{(m,n)}$  y *SET*. (b) Variación de la carga móvil debajo de la compuerta *SET* en función de los potenciales aplicados a los electrodos  $w_i^{(m,n)}$  y *SET*.

La curva presentada en la figura 3.7a es válida para todos los regímenes de inversión (inversión débil, moderada ( $V_{MO}$ ) y fuerte ( $V_{HO}$ )). Se han utilizado los parámetros tecnológicos de la Tabla 3.1.

$$V_{MO} = V_{FB} + 2\psi_{Fp} + \gamma\sqrt{2\psi_{Fp}}, \quad (3.24)$$

$$V_{HO} = V_{MO} + V_{ZO}. \quad (3.25)$$

Típicamente  $V_{ZO} = 0.6V$  a temperatura ambiente.

La capacitancia total vista en el nodo de salida  $y_{i,j}^{(m)}$  en función del voltaje total externo aplicado ( $V_{y_{i,j}^{(m)}}$ ) operando en el régimen de inversión se define como:

$$C_{y_{i,j}^{(m)}} = C_{ox} + C_d + C_i, \quad (3.26)$$

donde  $C_{ox}$  es la capacitancia de óxido de compuerta,  $C_d$  es la capacitancia debida a la región de deserción y  $C_i$  es la capacitancia en el régimen de inversión (todas por unidad de área). Las capacitancias de la región de deserción e inversión están en función del potencial superficial y se definen mediante (3.27) y (3.28), respectivamente.

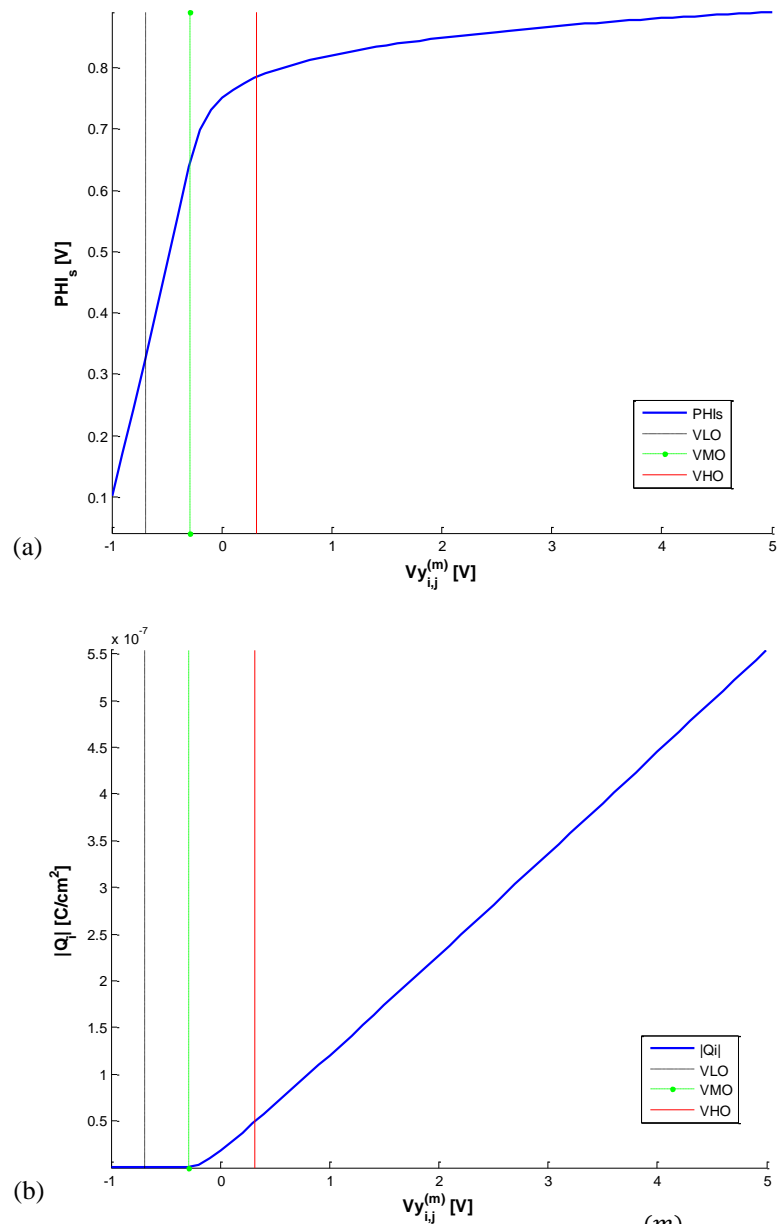
$$C_d = \sqrt{2q\epsilon_s N_a} \cdot \frac{1}{2\sqrt{\psi_s + \phi_t} e^{[\psi_s - 2\psi_{Fp}]/\phi_t}}. \quad (3.27)$$

$$C_i = \sqrt{2q\epsilon_s N_a} \cdot \frac{e^{[\psi_s - 2\psi_{Fp}]/\phi_t}}{2\sqrt{\psi_s + \phi_t} e^{[\psi_s - 2\psi_{Fp}]/\phi_t}}. \quad (3.28)$$

La figura 3.8 muestra la variación de capacitancia vista en el nodo de salida  $y_{i,j}^{(m)}$  en función del voltaje externo aplicado a la compuerta. En la gráfica  $C_T = C_{y_{i,j}^{(m)}}$  y  $C_C = C_d + C_i$ .

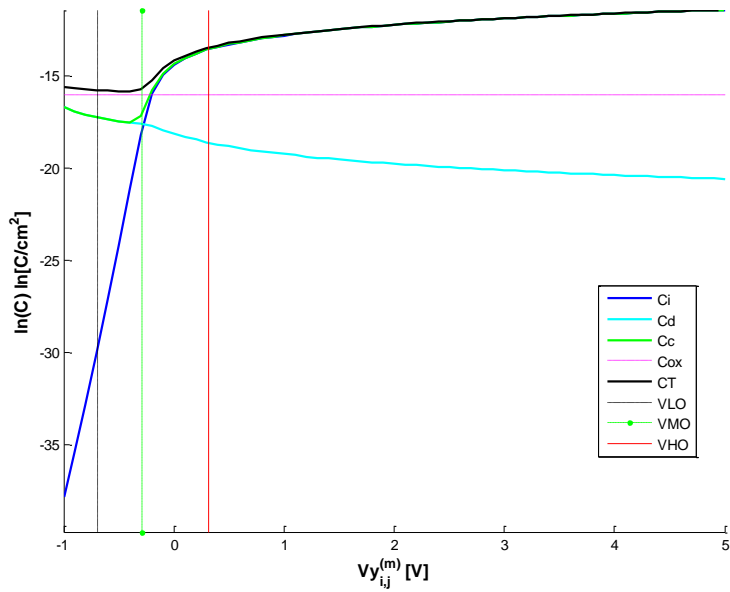


La figura 3.9 muestra la variación de voltaje  $\Delta V_{y_{i,j}^{(m)}}$  en el nodo de salida de la *celda de producto a nivel de bit* obtenida a partir de (3.18), aplicando un voltaje externo inicial de  $V_{y_{i,j}^{(m)}} = 2.5V$ . Este voltaje inicial propuesto implica una operación del capacitor MOS de salida en la región de inversión fuerte. La gráfica emula la variación de voltaje ocurrida en  $y_{i,j}^{(m)}$  cuando se ha transferido carga a la región debajo de esta compuerta mediante la correcta aplicación de potenciales a los distintos electrodos de la *celda de producto a nivel de bit*. La cantidad de carga transferida está en función de los potenciales aplicados en los electrodos  $w_i^{(m,n)}$  y *SET*.

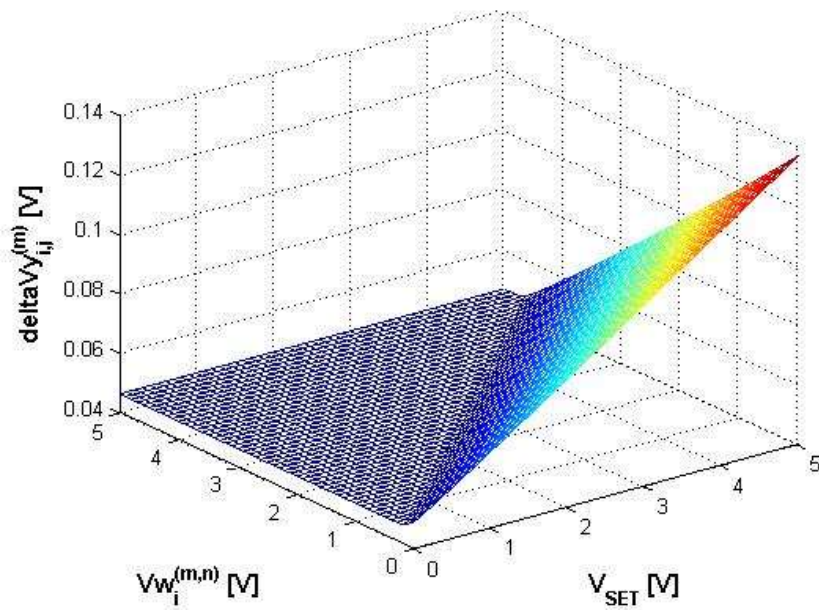


**Figura 3.7** (a) Variación del potencial superficial debajo de la compuerta  $y_{i,j}^{(m)}$  de la figura 3.5 en función del potencial aplicado  $V_{y_{i,j}^{(m)}}$ . (b) Variación de la carga móvil debajo de la compuerta  $y_{i,j}^{(m)}$  en función del potencial aplicado  $V_{y_{i,j}^{(m)}}$ . En ambas gráficas, para una estructura de capacitor MOS operando en inversión

débil, moderada y fuerte.



**Figura 3.8** Curvas de capacitancia por unidad de área en el nodo de salida de la *celda de producto a nivel de bit* en función del voltaje total externo aplicado (válido para el régimen de inversión).



**Figura 3.9** Incremento de voltaje  $\Delta V_{y_{i,j}}^{(m)}$  en el nodo de salida de la *celda de producto a nivel de bit* como resultado de la carga transferida al área debajo de esta compuerta (en función de los potenciales aplicados a los electrodos  $w_i^{(m,n)}$  y  $SET$ ).

Es importante señalar que el análisis desarrollado en este capítulo para la estructura de multiplicación propuesta, se origina en el modelo de inyección de carga controlada por voltaje para un CCD (figura 3.3c), que tiene como ecuación descriptiva a (3.4). En (3.4)  $C_d$  está en función del potencial superficial y éste, a su vez, depende de la variación del voltaje aplicado en la difusión, sin embargo esta ecuación no contempla la variación de la carga inyectada en función del voltaje aplicado en la compuerta  $V_I$ , correspondiente a la compuerta  $SET$  en el análisis desarrollado en este trabajo. Sin embargo, el modelo matemático de la *celda de producto a nivel de bit* desarrollado en este capítulo es no dinámico, es decir, no se consideran oscilaciones transitorias de los voltajes de control  $V_{w_i^{(m,n)}}$  y  $V_{SET}$ . Se asume que el potencial superficial  $\psi_s$  debajo de la compuerta  $SET$ , a partir del cual se determina la cantidad de carga transferida por unidad de área es el que resulta de aplicar un voltaje constante en los nodos  $w_i^{(m,n)}$  y  $SET$ , también se asume que el valor de  $\psi_s$  de cada compuerta es constante en toda la región.

### 3.4 Operación Dinámica de la Celda de Producto a Nivel de Bit

Hasta ahora se ha descrito el funcionamiento físico de la *celda de producto a nivel de bit* considerando un comportamiento estático; a continuación se describe el análisis dinámico. De acuerdo a los potenciales aplicados en los diferentes electrodos, se lleva a cabo la operación de producto emulando el comportamiento de una compuerta lógica AND.

Para el electrodo de difusión  $n^+$  ( $w_i^{(m,n)}$ ), un voltaje  $V_{DD}$  aplicado representa un “0” lógico y un voltaje significativamente menor que  $V_{DD}$  representa un “1” lógico (se propone un valor de  $V_{DD}/2$ ). Para el electrodo de compuerta  $x_j^{(n)}$ , el valor de  $V_{DD}$  representa un “1” lógico y el valor  $GND$  ( $0V$ ) representa un “0” lógico. Para el electrodo de salida, el “0” lógico está representado con el valor  $V_{DD}/2$  y el “1” lógico se representa con el valor  $V_{DD}/2 + \Delta V_{y_{i,j}^{(m)}}$  (ver Tabla 3.2).

**Tabla 3.2** Tabla de verdad para la *celda de producto a nivel de bit* (función de compuerta lógica AND).

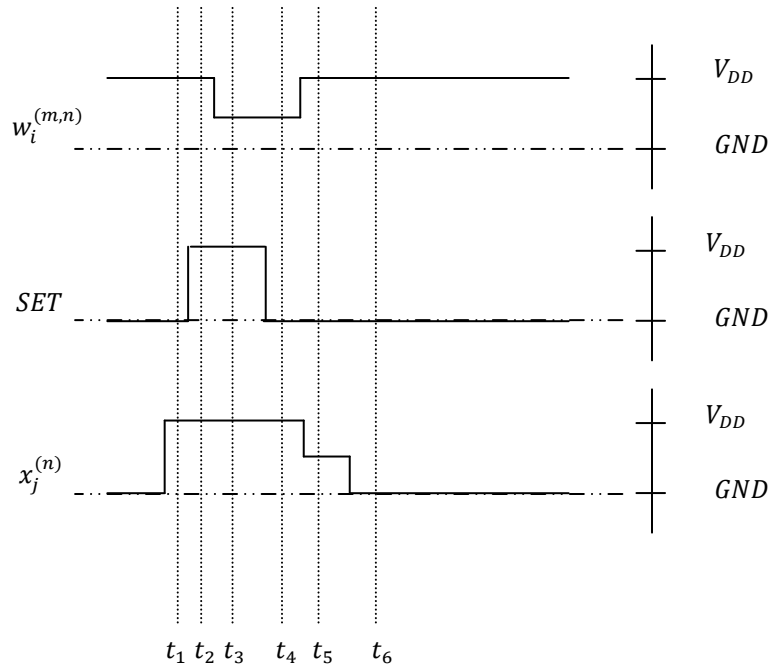
| $w_i^{(m,n)}$ | $x_j^{(n)}$ | $y_{i,j}^{(m)}$                          |
|---------------|-------------|--|
| $0(V_{DD})$   | $0(V_{DD})$ | $0(V_{DD}/2)$                            |
| $0(V_{DD})$   | $1(GND)$    | $0(V_{DD}/2)$                            |
| $1(V_{DD}/2)$ | $0(V_{DD})$ | $0(V_{DD}/2)$                            |
| $1(V_{DD}/2)$ | $1(GND)$    | $1(V_{DD}/2 + \Delta V_{y_{i,j}}^{(m)})$ |

Cuando un “0” o “1” lógico es aplicado en el electrodo  $w_i^{(m,n)}$ , el voltaje en la compuerta *SET* permanece en *GND*. La operación de cálculo comienza cuando un nivel de voltaje  $V_{DD}$  es aplicado en el electrodo *SET*, ya que esto permite la inyección de carga y la transferencia de ésta hacia la región debajo de la compuerta  $x_j^{(n)}$ , después de esto, el voltaje aplicado a *SET* retorna a *GND*. Durante estos eventos, el potencial en  $y_{i,j}^{(m)}$  permanece en un valor que asegure la transferencia de carga a esta región (valor de  $V_{DD}/2$ ). Finalmente, en el tiempo de traspaso de carga hacia la región debajo de la compuerta  $y_{i,j}^{(m)}$ , este nodo permanece “flotado” y la variación en su nivel de voltaje únicamente depende de la cantidad de carga transferida hacia la región debajo de esta compuerta. La Tabla 3.3 muestra los valores obtenidos por simulación utilizando MATLAB® para la operación de producto a partir de (3.12) y (3.18). La figura 3.10 muestra el diagrama de tiempos usado para ejemplificar el proceso dinámico de la *celda de producto a nivel de bit*. La figura 3.11 describe el proceso dinámico de la *celda de producto a nivel de bit*, se muestra la variación de los niveles de pozos de potencial existentes debajo de cada compuerta en función de los potenciales aplicados en los distintos electrodos a través del tiempo.

**Tabla 3.3** Valores resultantes de la operación de producto obtenidos por simulación.

| $V_{w_i^{(m,n)}}$ | $V_{x_j^{(n)}}$ | $Q_{transferida}$                           | $V_{y_{i,j}^{(m)}}$ |
|-------------------|-----------------|---|---------------------|
| 0                 | 0               | $0\text{C}/\text{cm}^2$                     | 2.546V              |
| 0                 | 1               | $-5.05 \times 10^{-14}\text{C}/\text{cm}^2$ | 2.546V              |
| 1                 | 0               | $0\text{C}/\text{cm}^2$                     | 2.546V              |
| 1                 | 1               | $-2.37 \times 10^{-7}\text{C}/\text{cm}^2$  | 2.584V              |

De la figura 2.4, observe que los nodos de salida de las celdas de producto a nivel de bit de la misma fila están unidos, los valores  $x_j^{(n)}$  y  $w_i^{(m,n)}$  de cada celda tendrán dos valores posibles (valores binarios), pero el nodo de salida es analógico, obteniéndose un nivel de voltaje proporcional al número de celdas de producto de la misma fila que den como resultado un “1” lógico.



**Figura 3.10** Diagrama de tiempos para los potenciales aplicados en los electrodos de la celda de producto a nivel de bit.

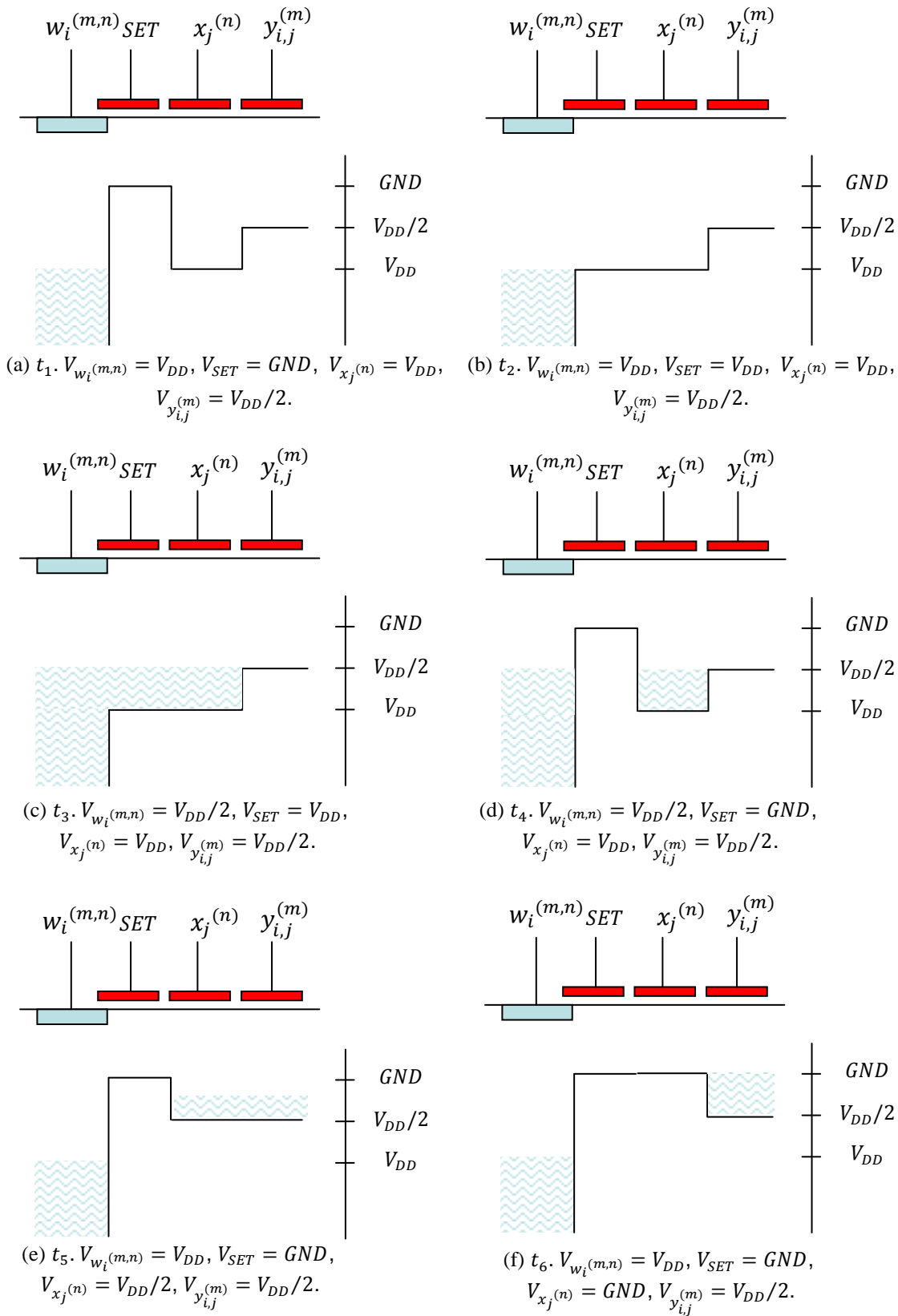


Figura 3.11 Operación dinámica de la celda de producto a nivel de bit.

### 3.5 Macromodelo de la Celda de Producto a Nivel de Bit

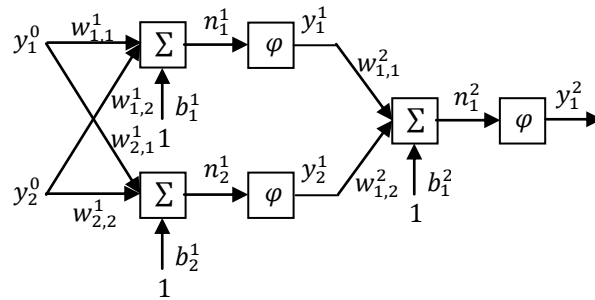
Desarrolladas las ecuaciones de comportamiento de la celda básica de multiplicación resulta útil implementarlas en un macromodelo para su simulación eléctrica. Como se vio en la sección 3.3.1, la celda de producto a nivel de bit genera un potencial de salida dependiente de los potenciales aplicados a los electrodos  $w_i^{(m,n)}$ ,  $SET$  y  $x_j^{(n)}$  y tiene como ecuación fundamental a (3.21), que es una ecuación no analítica. Debido a la naturaleza de esta ecuación, se empleó un método de aproximación para resolverla (Newton-Raphson).

El inconveniente de trabajar con un método de aproximación para la implementación de un macromodelo es que no puede ser simulado eléctricamente (son necesarios ciclos de operación para la minimización del error), por lo cual, puede optarse por la implementación de tablas con valores predeterminados, lo cual resulta en un grave problema cuando se trabaja en el dominio analógico debido a que no puede preverse todos los valores que se presentarán al sistema; o bien, puede optarse por la utilización de un método de aproximación de funciones. En el presente trabajo se propone una red neuronal artificial multicapa usada como un aproximador de función [1]. La idea es entrenar una red neuronal artificial (RNA) mediante el algoritmo de retropropagación usando como pares de entrenamiento entrada-salida a alguna de las superficies de comportamiento generadas por el método de aproximación Newton-Raphson (ver Figs. 3.6a o 3.6b).

La arquitectura de red neuronal propuesta es de dos capas, con dos neuronas en la primera capa y una neurona en la capa de salida (ver figura 3.12). En la figura, el superíndice de cada variable indica el número de capa; para los valores de peso  $w$ , el primer subíndice indica el número de neurona y el segundo subíndice indica el elemento de entrada; para los valores de salida  $y$ , polarización  $b$  y variable  $n$ , el subíndice indica el número de neurona. La función de activación  $\varphi$  de la primera capa es logarítmica-sigmoide (3.29) y la función  $\varphi$  de la capa de salida es lineal (3.30).

$$y = \frac{1}{1+e^{-n}}, \quad (3.29)$$





**Figura 3.12** Arquitectura multicapa de red neuronal artificial como aproximación de funciones.

$$y = n. \quad (3.30)$$

La ecuación de salida de cada neurona está dada por:

$$y_i^k = \varphi \left( \hat{w}_i^{kT} \cdot \hat{y}_i^{k-1} + b_i^k \right), \quad (3.31)$$

donde  $\hat{w}_i^k$  y  $\hat{y}_i^{k-1}$  son vectores columna formados por los valores de peso de esa neurona y valores de salida de cada neurona de la capa anterior, respectivamente. El superíndice T indica la transpuesta del vector. En la figura 3.12, el superíndice “0” indica los datos de entrada a la red.

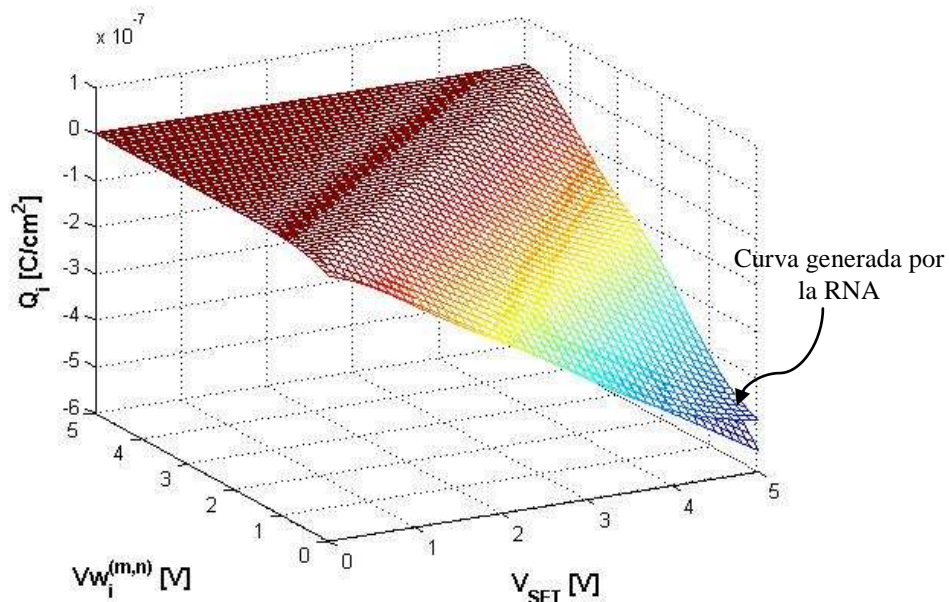
En la ecuación de neurona:

$$n_i^k = \left( \hat{w}_i^{kT} \cdot \hat{y}_i^{k-1} + b_i^k \right). \quad (3.32)$$

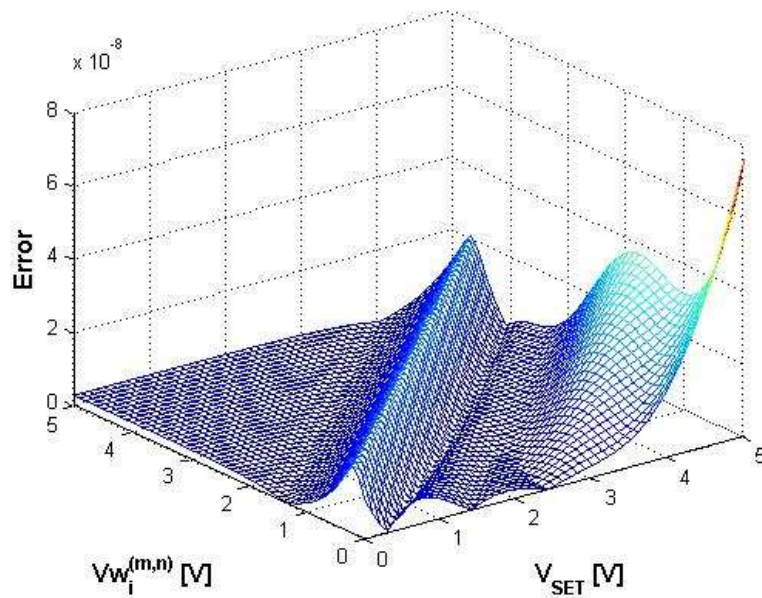
Cuando se utiliza una red neuronal artificial como aproximador de función, el objetivo es minimizar la diferencia entre la salida obtenida y la salida deseada para cada par de entrenamiento entrada-salida, término conocido como *error de aproximación* [1]. En simulaciones realizadas en MATLAB®, se obtuvo una mejor minimización del error de aproximación al entrenar a la red empleando como parámetros de entrada los potenciales aplicados a los electrodos SET y  $w_{i,j}$  y teniendo como salida a  $Q_i$ , es decir, al aproximar la curva de la figura 3.6b, en comparación de utilizar como parámetro de salida al potencial superficial (figura 3.6a). La figura 3.13 muestra las curvas superpuestas obtenidas por el

método Newton-Raphson y la curva de aproximación generada por la red neuronal, la cual presenta peor comportamiento para valores de voltaje cercanos a cero aplicados al electrodo  $w_{i,j}$ , pero debe considerarse que físicamente no se debe de aplicar un voltaje en inversa de esta magnitud. La figura 3.14 muestra la curva de error obtenida de las superficies de la figura 3.13. Para el rango de 2.5V-5V para  $V_{w_i^{(m,n)}}$ , el valor máximo promedio de error en 50 corridas de entrenamiento fue de  $4.153E - 08$ . Debido a que la curva de aproximación es la de carga, el error generado por la RNA tiene una afectación mínima en la obtención del nivel de voltaje en el electrodo de salida de la celda de producto a nivel de bit.

Ya que las ecuaciones de neurona son analíticas (3.31), pueden utilizarse para crear un macromodelo eléctrico en PSPICE empleando la herramienta *Analog Behavioral Modeling* (ABM). Cada ecuación de neurona se representa como una fuente de voltaje independiente. El macromodelo en PSPICE incluye los electrodos de control  $w_i^{(m,n)}$ ,  $SET$ ,  $x_j^{(n)}$  y  $y_{i,j}^{(m)}$ . El diseñador determina el área del electrodo de salida mediante los parámetros  $W_{out}$  y  $L_{out}$ , que indican el ancho y largo del electrodo de salida, respectivamente.



**Figura 3.13** Curva de aproximación usando una RNA multicapa superpuesta a la curva de respuesta de la figura 3.6b.



**Figura 3.14** Curva de error de aproximación obtenida de la diferencia de datos entre las curvas de la figura 3.13.

El electrodo de control  $SET$  se ha modelado como un interruptor. La figura 3.15 presenta el macromodelo de la *celda de producto a nivel de bit*, descrito como un subcircuito; en la figura,  $V_r = w_i^{(m,n)}$ ,  $V_{gb} = x_j^{(n)}$ ,  $SET = SET$  y  $V_{out} = y_{i,j}^{(m)}$ .

```
.SUBCKT PRODUCTCELL Vr Vgb SET Vout
+PARAMS: Wout=0 Lout=0
*Model parameters (IC process dependent)
.param Eo=8.85e-14 ;Vacuum dielectric constant, in [F/cm]
.param Ks=11.7 ;Silicon dielectric constant
.param Ko=3.97 ;Insulator dielectric constant
.param q=1.602e-19 ;Electron charge, in [C]
.param Na=4.13282e15 ;Acceptor concentration, in [cm^-3]
.param ni=1.45e10 ;Silicon intrinsic carrier concentration, in [cm^-3]
.param Vfb=-1.2085 ;Flat band voltage, in [V]
.param gamma=0.3341 ;Body effect coefficient
.param Vt=0.026 ;Thermal voltage, in [V]
.param fi_p=0.3266 ;Fermi potential for a p-region, in [V]
.param d=3.17e-6 ;Thickness of thin oxide, in [cm]
*Basic model expressions
.param Cox={Ko*Eo/d} ;Oxide capacitance, in [F/cm^2]
.param area={Wout*Lout*1e4} ;Output electrode area, in [cm^2]
.param Cout={Cox*area} ;Output node capacitance, in [F]
*Neuronal Parameters
.param w11=1.4096
.param w12=-1.3005
.param w21=-0.3599
.param w22=-2.271
.param b1=2.4766
.param b2=0.2147
.param w112=4.3865
.param w122=0.1506
.param b12=-4.3798
*Model expressions
EN1C1 V1 0 VALUE={1/(1+exp(-(w11*V(Vr)+w121*V(Vgb)+b11)))}
EN2C1 V2 0 VALUE={1/(1+exp(-(w211*V(Vr)+w221*V(Vgb)+b21)))}
ENC2 VSal 0 VALUE={w112*V(V1)+w122*V(V2)+b12}
EQi VQi 0 VALUE={V(VSal)*1e-7*area} ;Charge at output node, in [C]
EVo Vo 0 VALUE={-V(VQi)/Cout} ;Output node voltage, in [V]
S1 Vo Vout SET 0 SWITCH
.MODEL SWITCH VSWITCH ROFF=1E12 RON=1 VOFF=0 VON=5
.ends PRODUCTCELL
```

**Figura 3.15** Macromodelo en PSPICE de la celda de producto a nivel de bit.

### 3.6 Resumen

En este capítulo se realizó una descripción breve del fenómeno de almacenamiento y transferencia de carga ocurrida en un dispositivo CCD y se mencionaron algunas de las estructuras CCD en tecnología CMOS más utilizadas con el fin de justificar la arquitectura CMOS empleada como celda básica de multiplicación (celda de producto a nivel de bit). La celda de producto a nivel de bit propuesta presenta tres nodos de control y un nodo de salida y realiza la operación de multiplicación basada en el funcionamiento lógico de una compuerta AND. Para conocer la cantidad de carga inyectada en función de los potenciales aplicados se realizó un análisis estático empleando los modelos de estructuras MOS de dos y tres terminales, dicho análisis genera una ecuación de comportamiento que relaciona a todos los electrodos de entrada-salida, pero que resulta en una ecuación no analítica. Para la creación de un macromodelo en PSPICE de la celda de multiplicación se propuso una red neuronal artificial multicapa como aproximador de función, la cual tiene un comportamiento funcional, presentando un error promedio máximo de  $4.153E - 08$  en 50 corridas realizadas. Con la implementación de la RNA, se propuso un macromodelo en PSPICE de la celda de producto a nivel de bit que cuenta con ecuaciones analíticas. Este modelo tiene un comportamiento estático, pero es susceptible de adaptaciones para un funcionamiento dinámico.

---

## Capítulo 4

### Modulador sigma-delta. Descripción y análisis

#### 4.1 Introducción

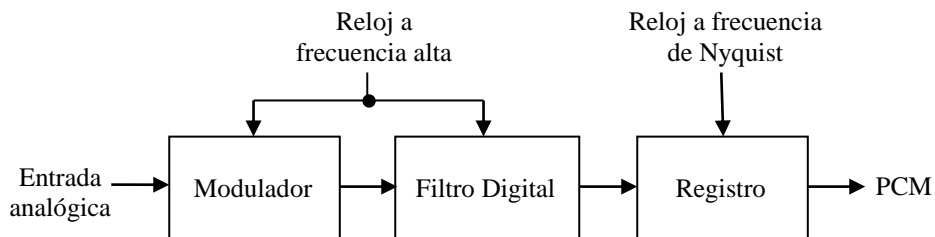
Los convertidores de datos convencionales (que operan a la razón de Nyquist) son difíciles de implementar en tecnología VLSI (Muy Alta Escala de Integración) ya que se requieren componentes analógicos precisos en las etapas de filtrado y conversión de datos para hacerlos menos vulnerables al ruido o interferencia. Debido a esto, los convertidores basados en técnicas de sobremuestreo han surgido como una alternativa ya que este tipo de convertidores requiere de diseños eléctricos menos rigurosos.

Como se mencionó en el capítulo 2, se propone un bloque de multiplicación bit a bit que opera a nivel de carga y que almacena bits en el dominio analógico; se requiere transformar al dominio digital la señal analógica almacenada, pero es necesario que la etapa de conversión analógico/digital (A/D) tenga la resolución suficiente para poder cuantificar la aportación de cada celda de multiplicación en el valor global, manteniendo lo más sencillo posible la complejidad del diseño eléctrico. Debido a esto, se propone la implementación de un convertidor A/D de sobremuestreo, basado en la modulación sigma-delta. Este capítulo describe las partes de un convertidor A/D de sobremuestreo, que utiliza como parte fundamental un modulador con técnica de conformado de ruido, también conocido como modulador sigma-delta.

#### 4.2 Convertidores de Sobremuestreo

Este tipo de convertidores utilizan componentes analógicos relativamente sencillos para lograr resoluciones altas, pero requieren de etapas rápidas y complejas de procesamiento digital de señales; en el caso de convertidores A/D, éstos modulan la señal analógica de entrada en un código simple (modulación por código de pulso, PCM), que

usualmente son palabras de un solo bit pero a una frecuencia mucho mayor que a la frecuencia de Nyquist (Figura 4.1). El uso de alta frecuencia elimina la necesidad de utilizar filtros antitraslape de alto orden en el dominio analógico pero se utilizan filtros en el dominio digital. Estos filtros digitales suavizan la salida del modulador, atenúan el ruido, interferencias y componentes de alta frecuencia, antes de que estos puedan afectar la banda de señal, donde el código es muestreado a la frecuencia de Nyquist. Ya que es necesario que la señal de sobremuestreo sea algunos órdenes de magnitud mayor que la frecuencia de Nyquist, este tipo de convertidores se ha aplicado a señales de relativa baja frecuencia (audio digital, telefonía digital, instrumentación).



**Figura 4.1** Diagrama a bloques de un sistema de sobremuestreo por modulación de código de pulso (PCM).

Para el bloque de conversión A/D utilizado en el sistema de multiplicación bit a bit (ver Fig. 2.7) se propone el diseño de un convertidor de sobremuestreo. Este tipo de convertidor utiliza un modulador como parte fundamental de su operación (Fig. 2.8b y Fig. 4.1). El uso del modulador en un convertidor A/D de sobremuestreo se fundamenta en lo siguiente:

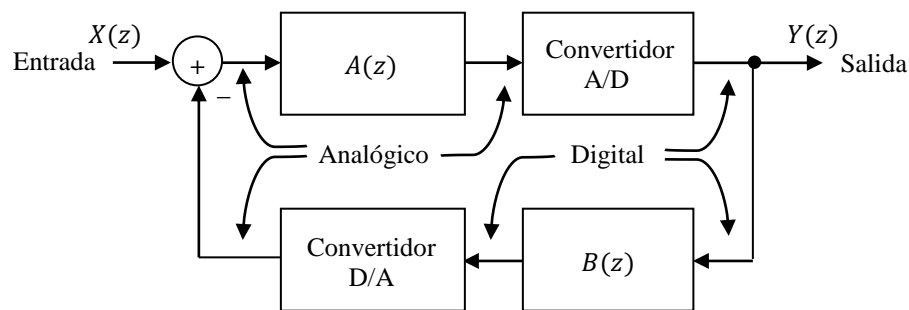
Se ha observado que mediante el promediado de salidas de un convertidor A/D o bien que mediante la interpolación entre las entradas a un convertidor D/A, puede ser incrementada la resolución efectiva de un convertidor de datos. Aunado a esto, el diseño de un convertidor en lazo cerrado disminuye la razón de promediado o de sobremuestreo que se necesita para alcanzar la resolución requerida sobre el ancho de banda especificado. Un modulador (en el caso de un convertidor A/D) y un demodulador (para un convertidor D/A) son topologías que cumplen con los dos requerimientos anteriores: promediar o interpolar (según corresponda) y son estructuras en lazo cerrado [17].

La estructura completa de un convertidor A/D de sobremuestreo está formada por un modulador y un filtro digital para el decimado de la señal modulada (Fig. 4.1).

Existen diferentes topologías que pueden emplearse en el diseño de un modulador, sobresaliendo las siguientes:

- Predictivo.
- Conformado de ruido.

La figura 4.2 muestra el diagrama a bloques general de un modulador con retroalimentación en el dominio  $z$ . El tipo de diseño eléctrico empleado para los bloques  $A(z)$  y  $B(z)$  determina si el modulador es de tipo predictivo o de conformado de ruido.



**Figura 4.2** Diagrama a bloques de un modulador con retroalimentación.

Para comprender de mejor manera el diagrama de la Fig. 4.2, es importante recordar que debido al proceso de conversión A/D de una señal, se genera el ruido de cuantificación (ruido efectivo adherido a una señal después de pasar a través de un convertidor A/D). Este ruido de cuantificación puede ser imperceptible si se analiza la señal en el dominio del tiempo, pero al realizar un análisis en frecuencia, la afectación del ruido de cuantificación en el nivel de piso de la señal queda evidenciada. Un proceso de muestreo periódico a razones mayores que dos veces el ancho de banda de la señal necesita no introducir distorsión, pero la cuantificación la introduce, por lo tanto, es necesario limitar esta distorsión cuando se diseña un modulador. La figura 4.3a muestra una cuantificación uniforme que oscila alrededor de una señal  $x$  (función rampa) que existe en el rango de  $\pm 5$ .



Para este ejemplo, el incremento  $\Delta$  de la señal cuantificada es 1. Resulta útil representar la señal cuantificada  $y$  como una función lineal:

$$y = G \cdot x + Q_e, \quad (4.1)$$

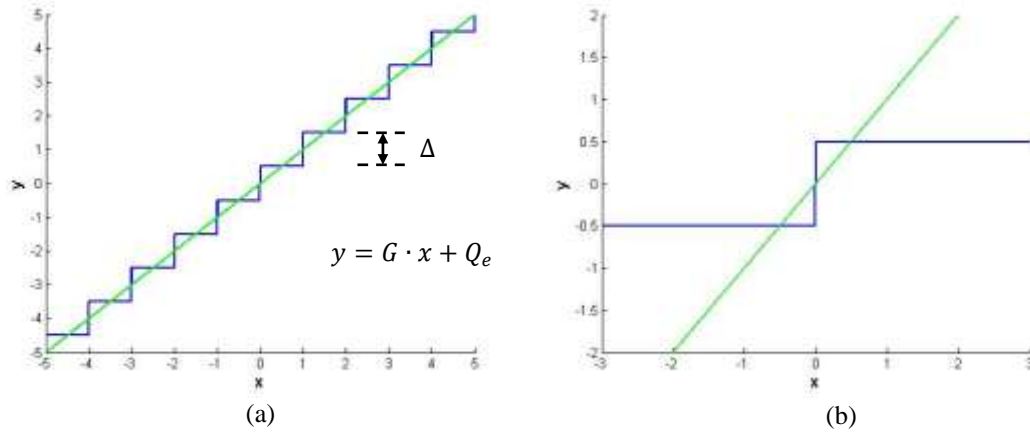
donde  $G$  es la pendiente de la recta que pasa por el centro de cada escalón de la señal cuantificada, por lo tanto, cuando la señal no está saturada ( $-5 \leq x \leq 5$ ), el error  $Q_e$  está limitado a un valor  $\pm\Delta/2$ . Incluso si el cuantificador es de un solo bit, la ecuación 4.1 es aplicable, pero el valor de  $G$  será arbitrario (Fig. 4.3b). El error está completamente definido por la entrada, pero si la entrada cambia de manera aleatoria entre muestras y con amplitudes iguales o mayores al valor de  $\Delta$ , sin que estos cambios generen la saturación de la señal, entonces el error no está correlacionado entre muestras y tiene igual probabilidad de tener cualquier valor dentro del rango  $\pm\Delta/2$ , es decir, para esta representación estadística del error de cuantificación, se debe considerar lo siguiente [18]:

1. La secuencia del error  $Q_e$  es una muestra de un proceso aleatorio estacionario.
2. La secuencia del error no está relacionada con la secuencia de la señal de entrada.
3. Las variables aleatorias del proceso de cuantificación no están correlacionadas (el proceso de cuantificación es un proceso de ruido blanco que generará un espectro plano).
4. La distribución de probabilidad del error es uniforme.

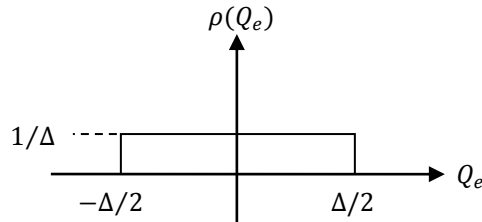
Entonces, para un error de cuantificación  $Q_e$  con igual probabilidad de ocurrencia dentro del rango  $\pm\Delta/2$ , la potencia del error de cuantificación RMS (varianza) está dada por la siguiente ecuación:

$$Q_{e,RMS}^2 = \int \rho(Q_e) Q_e^2 dQ_e, \quad (4.2)$$

donde  $\rho(Q_e)$  es la función de densidad de probabilidad del error de cuantificación y se aprecia en la figura 4.4.



**Figura 4.3** (a) Ejemplo de una cuantificación multinivel representada por una ganancia  $G$  lineal y un error  $Q_e$ . (b) Ejemplo de cuantificación de un solo bit, donde la ganancia  $G$  es arbitraria.



**Figura 4.4** Función de densidad de probabilidad del error de cuantificación.

Sustituyendo entonces la función de densidad de probabilidad del error de cuantificación  $\rho(Q_e)$  en (4.2) y utilizando la diferencia entre las señal  $x$  y  $y$  de (4.1) como señal de error de cuantificación ( $Q_e$ , que se aprecia en la figura 4.5), se obtiene (4.3). La señal de diferencia de tipo diente de sierra tiene un valor promedio de cero con una amplitud pico-pico igual a  $\Delta$ . La ecuación (4.3) caracteriza esta señal de error de cuantificación a partir de su valor RMS para un periodo de señal  $T$  (que corresponde a un incremento  $\Delta$ ).

$$Q_{e,RMS}^2 = \frac{1}{T} \int_0^T (0.5\Delta - \frac{\Delta}{T} \cdot x)^2 dx = \frac{\Delta^2}{12}, \quad (4.3)$$

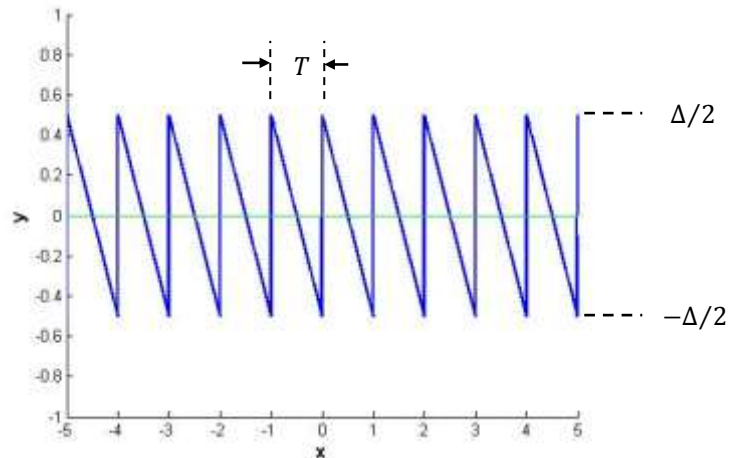
Aplicando los términos y ecuaciones anteriores a señales de voltaje, el valor de  $\Delta$  corresponde al incremento en voltaje para un bit ( $V_{LSB}$ ), dado por la siguiente ecuación:

$$\Delta = \frac{V_{ref+} - V_{ref-}}{2^N} = V_{LSB}, \quad (4.4)$$

donde  $V_{ref+}$  es el voltaje de alimentación positiva,  $V_{ref-}$  es el voltaje de alimentación negativa y  $N$  es el número de bits a usarse para cuantificar la señal. Utilizando (4.4) y considerando que el ruido de cuantificación también se refiere a una señal de voltaje, la ecuación (4.3) puede reescribirse como:

$$V_{Qe,RMS}^2 = \frac{V_{LSB}^2}{12}, \quad (4.5)$$

donde  $V_{Qe,RMS}$  se refiere al voltaje RMS de ruido de cuantificación.



**Figura 4.5** Diferencia entre las señales  $x$  y  $y$  de (4.1).

Ahora bien, para la correcta caracterización espectral del ruido de cuantificación la señal a tratar debe satisfacer los siguientes criterios [17]:

1. Las variaciones de voltaje de la señal de entrada al convertidor A/D están limitadas a valores menores que  $V_{ref+}$  y mayores que  $V_{ref-}$ , por lo que no existirá saturación del código digital de salida (al existir saturación de la señal, se afecta el espectro del ruido de cuantificación con señales espurias y/o picos).

2. La amplitud del bit menos significativo ( $V_{LSB}$ ) es muy pequeña en comparación con la amplitud de la señal de entrada, si esto no sucede, de nuevo resulta un espectro con señales espurias.
3. La señal de entrada no debe ser una señal de corriente directa (CD) o de muy baja frecuencia para evitar que dos o más salidas consecutivas del convertidor A/D tengan el mismo código digital.

Por lo tanto, si el espectro del voltaje de ruido de cuantificación es blanco (cumple con los criterios antes mencionados), puede determinarse la densidad espectral de potencia de ruido de  $V_{Qe,RMS}$  o bien, puede obtenerse la densidad espectral de voltaje de ruido de cuantificación.

Es posible utilizar una representación en frecuencia asumiendo que toda la potencia de la señal se encuentra únicamente en el rango positivo. Si una señal cuantificada es muestreada a una frecuencia  $f_s = 1/T$ , toda su potencia se encontrará en la banda de frecuencia  $0 \leq f \leq f_s/2$ , por lo que la densidad espectral de potencia de ruido de cuantificación  $P_{Qe}(f)$  será:

$$P_{Qe}(f) = 2 \int_0^{f_s/2} V_{Qe}^2(f) \cdot df. \quad (4.6)$$

El factor 2 resulta de considerar los valores de potencia en el espectro negativo y positivo.

Pero:

$$P_{Qe}(f) = V_{Qe,RMS}^2, \quad (4.7)$$

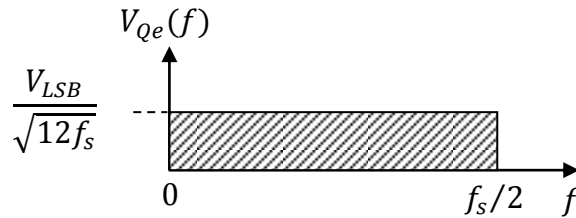
por lo que (4.6) puede expresarse como:

$$\frac{V_{LSB}^2}{12} = 2 \int_0^{f_s/2} V_{Qe}^2(f) \cdot df. \quad (4.8)$$

Resolviendo la integral y despejando a  $V_{Qe}(f)$  de (4.8):

$$V_{Qe}(f) = \frac{V_{LSB}}{\sqrt{12}f_s} = \left( \frac{V_{ref+} - V_{ref-}}{2^N \sqrt{12}f_s} \right). \quad (4.9)$$

A partir de (4.9) se observa que al aumentar la frecuencia de muestreo puede reducirse el ruido de cuantificación que el convertidor A/D introduce a la señal de entrada. Si se aumenta la frecuencia de muestreo  $f_s$ , la densidad espectral del ruido de cuantificación se extiende a frecuencias más altas, pero su amplitud se reduce (Fig. 4.6).



**Figura 4.6** Densidad espectral de voltaje de ruido de cuantificación.

Otros parámetros importantes que pueden determinarse a partir de conocer el voltaje o la potencia del ruido de cuantificación son la relación señal a ruido de cuantificación (SQNR) y el rango dinámico (DR). La relación señal a ruido de cuantificación se define como la razón entre la señal de entrada y la señal del ruido de cuantificación. El parámetro SQNR puede revelar la verdadera resolución de un convertidor de datos al conocer el número efectivo de bits que pueden ser cuantificados. El rango dinámico está definido como la razón entre la señal de entrada a escala completa y la señal de ruido de cuantificación. También es un parámetro relacionado con la resolución del convertidor.

Para un convertidor A/D de  $N$  número de bits, si se aplica una onda sinusoidal con una amplitud pico  $V_p$  (con valor RMS de  $V_p/\sqrt{2}$ ) a la entrada y si el ruido de cuantificación RMS adherido a la señal está definido como  $V_{LSB}/\sqrt{12}$  (ver ecuación 4.5), entonces el valor de SQNR estará dado por:

$$SQNR = 20 \log \frac{V_{p,RMS}}{V_{Qe,RMS}} = 20 \log \frac{V_p/\sqrt{2}}{V_{LSB}/\sqrt{12}}, \quad (4.10)$$

Considerando a (4.4) y que  $2V_p = V_{ref+} - V_{ref-}$ , entonces (4.10) puede reescribirse de la siguiente manera:

$$SQNR = 20 \log \frac{2^N \sqrt{12}}{2\sqrt{2}} = 6.02N + 1.76 \text{ (en dB)}. \quad (4.11)$$

Por lo tanto, el número efectivo de bits  $N_{ef}$  puede obtenerse de (4.11):

$$N_{ef} = \frac{SQNR_{medido} - 1.76}{6.02} \quad (4.12)$$

La ecuación (4.8) en tiempo discreto se expresa en (4.13). En este caso, se realiza la sumatoria de la contribución media al cuadrado de cada componente de frecuencia (después de remover las frecuencias deseadas del espectro) y se obtiene la raíz cuadrada de este valor:

$$V_{Qe,RMS} = \frac{1}{\sqrt{2}} \sqrt{\sum_{k=0}^{M-1} V_{DFT}^2(k \cdot f_{res})}, \quad (4.13)$$

donde  $V_{DFT}$  es la amplitud en voltaje de cada punto del espectro,  $M$  es el total de puntos discretos del espectro,  $f_{res}$  es la resolución en frecuencia.

Debido a que el espectro de salida de un convertidor de datos contiene además de los efectos del ruido de cuantificación, efectos de no linealidades y disparidades de manufactura, la ecuación en tiempo discreto para el cálculo del voltaje de ruido de cuantificación (4.13) en realidad es una ecuación para obtener el ruido de cuantificación más el total de distorsión del espectro (4.14). Si se manejan componentes ideales, entonces (4.14) únicamente arroja el voltaje RMS de ruido de cuantificación.

$$V_{Qe+D,RMS} = \frac{1}{\sqrt{2}} \sqrt{\sum_{k=0}^{M-1} V_{DFT}^2(k \cdot f_{res})}, \quad (4.14)$$

A partir de (4.14) puede obtenerse el parámetro de razón señal a ruido más la razón de distorsión (SNDR):

$$SNDR = 20 \log \frac{V_p / \sqrt{2}}{V_{Qe+D,RMS}}, \quad (4.15)$$

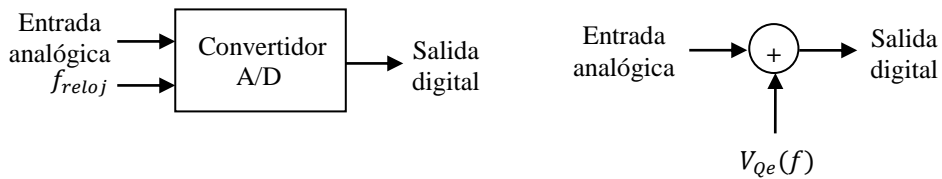
Para la obtención del rango dinámico, puede considerarse que la señal más grande de salida del convertidor es  $((V_{ref+} - V_{LSB}) - V_{ref-})$  y la señal más pequeña referida al ruido de cuantificación es  $V_{LSB} / \sqrt{12}$ , por lo tanto:

$$DR = 20 \log \frac{V_{ref+} - ((V_{ref+} - V_{ref-}) / 2^N - V_{ref-})}{(V_{ref+} - V_{ref-}) / 2^N \sqrt{12}} = 20 \log 2^N = 6.02N. \quad (4.16)$$

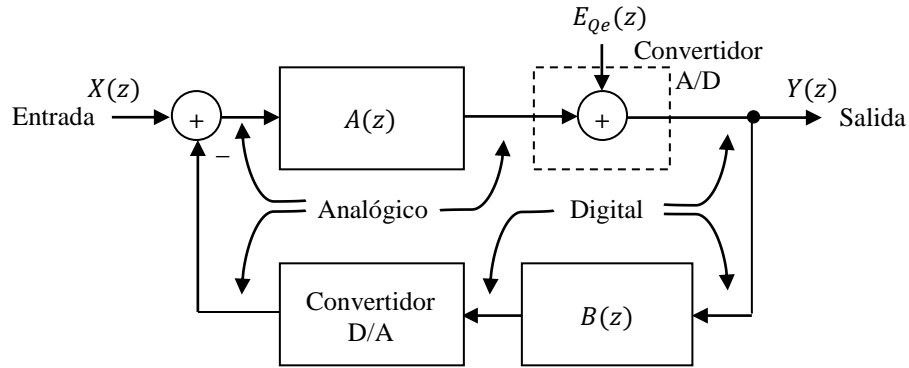
Conociendo entonces los efectos del ruido de cuantificación en el proceso de conversión A/D y regresando al tema de los moduladores, la figura 4.7 presenta un modelo de análisis para un convertidor A/D que incluye el ruido de cuantificación. Se tiene un nodo de suma al cual ingresa la señal analógica y el ruido de cuantificación. Si se sustituye el bloque del convertidor A/D de la figura 4.2 por el modelo de ruido de cuantificación de la figura 4.5, la relación Entrada/Salida de este modulador con retroalimentación queda de la siguiente manera:

$$Y(z) = \frac{A(z)}{1+A(z) \cdot B(z)} \cdot X(z) + \frac{1}{1+A(z) \cdot B(z)} \cdot E_{Qe}(z), \quad (4.17)$$

donde  $E_{Qe}(z)$  es el ruido de cuantificación en el dominio  $z$ , correspondiente a  $V_{Qe}(f)$ . La figura 4.8 muestra el diagrama a bloques de un modulador con retroalimentación que incluye el modelo de ruido de cuantificación.



**Figura 4.7** Modelado del ruido de cuantificación en un convertidor A/D.



**Figura 4.8** Diagrama a bloques de un modulador con retroalimentación considerando el ruido de cuantificación.

Si el modulador es de tipo predictivo, el bloque  $B(z)$  tiene una ganancia alta, por lo que de manera ideal, la señal de retroalimentación iguala a la señal de entrada. Si  $A(z) = 1$ , entonces la función de transferencia de la señal y la función de transferencia del ruido tendrán un valor aproximado a  $1/B(z)$ . Para recobrar la señal de entrada se requiere que la señal de salida del modulador pase a través de un filtro con función de transferencia  $B(z)$ , por lo que la precisión requerida para  $B(z)$  limitará la resolución máxima del modulador.

Los moduladores de tipo predictivo intentan retroalimentar una señal analógica con el mismo valor que la señal de entrada, de ahí el término “predictivo”, por lo que la salida del punto de suma a donde converge la señal de entrada y el lazo de retroalimentación se aproxima a cero, debido a esto, el rango de entrada requerido del convertidor A/D se reduce. Este tipo de moduladores generan a la salida el cambio efectivo de la señal con respecto al tiempo. También reciben el nombre de *moduladores delta*.

En los moduladores de conformado de ruido la ganancia del bloque  $A(z)$  del lazo principal es alta para el ancho de banda de la señal, por lo que la función de transferencia es cercana a la unidad (asumiendo  $B(z) = 1$ ). Para la función de transferencia del ruido, ésta es cercana a cero en el ancho de banda de interés; entonces, en un modulador de conformado de ruido el espectro de la señal pasa sin alteraciones (idealmente) mientras que el espectro del ruido de cuantificación es afectado. En este tipo de moduladores no se requieren filtros o componentes analógicos precisos. Un aspecto importante en este tipo de moduladores es que si el bloque  $A(z)$  es un circuito integrador, el ruido de cuantificación es



llevado a frecuencias más altas, es decir, un modulador de conformado de ruido no reduce el ruido de cuantificación para alcanzar mayores resoluciones sino que saca al ruido de la banda de interés. Los moduladores de tipo conformado de ruido tienen en el lazo de retroalimentación el valor promedio de la señal de entrada. Este tipo de moduladores generan a la salida el promedio de la señal de entrada con respecto al tiempo y también se les conoce como *moduladores sigma-delta*.

Debido entonces a la precisión requerida en el diseño de los componentes analógicos para los moduladores de tipo predictivo, esta topología suele ser menos usada. Siguiendo esta línea, este trabajo de tesis se centra en el diseño de un modulador de tipo conformado de ruido.

### 4.3 Modulador de Conformado de Ruido

Es importante notar que cuando se construye un convertidor A/D, el ancho de banda de la señal requerida puede no estar cercana a bajas frecuencias (comportamiento de tipo pasa-bajas), sin embargo, pueden diseñarse convertidores de sobremuestreo con técnica de conformado de ruido para cualquier región del espectro contenida dentro del rango de muestreo mediante la correcta elección de los bloques  $A(z)$  y  $B(z)$ .

Algunas topologías de moduladores con técnica de conformado de ruido pueden ser:

- Bajo orden, lazo sencillo, de un solo bit.
- Alto orden, lazo sencillo, de un solo bit.
- Cascada, con múltiples lazos.
- Multibit.

Todas estas topologías toman como punto de referencia el funcionamiento de un modulador de primer orden, lazo sencillo y un solo bit. Algunos criterios tomados en este trabajo de tesis para la elección de la topología del modulador son:

- Cumplimiento de los requerimientos de la aplicación.
- Diseño sencillo del circuito.
- Estabilidad.

Con respecto a los requerimientos de la aplicación, se plantea un diseño de convertidor con ancho de banda de  $\sim 100\text{KHz}$  y una resolución mínima de 8bits, recuérdese que se propone un dispositivo enfocado a sistemas embebidos que aunque se catalogue de propósito específico, puedan aplicarse distintos tipos de señales (patrones) para realizar el reconocimiento de éstos basado en la disciplina de las redes neuronales artificiales.

Considerando este trabajo un primer acercamiento al diseño de convertidores de sobremuestreo, se optó por un modulador de conformado de ruido pasa-bajas, con topología de primer orden, lazo sencillo y un solo bit de salida, que aunque presenta un menor SNR comparado con las demás topologías (a una misma frecuencia de muestreo), tiene un diseño de circuito sencillo.

Debido a la naturaleza de la aplicación (celdas de multiplicación funcionando a partir de señales de reloj), se eligió el diseño de un modulador basado en capacitores conmutados (tiempo discreto). Este tipo de moduladores son fáciles de simular (en comparación con los moduladores en tiempo continuo), son compatibles con procesos de fabricación con tecnología Metal-Óxido-Semiconductor Complementaria (CMOS) y presentan tolerancia a oscilaciones en la señal de reloj. Algunas desventajas que presentan es que debido al proceso de cambio de señal de reloj en los capacitores puede inducirse ruido digital al sistema y debido a las dimensiones resultantes de los capacitores (regularmente menores a  $1\text{pF}$ ), el valor resultante puede verse afectado por capacidades parásitas.

### 4.3.1 Modulador Sigma-Delta de Primer Orden en Tiempo Discreto

Considere (4.17), el primer término de la ecuación al lado derecho del signo igual representa la función de transferencia de la señal (STF) y el segundo término de la ecuación al lado derecho del signo igual representa la función de transferencia del ruido (NTF). Si se sustituye el bloque  $A(z)$  por un bloque integrador (Integrador Analógico Discreto, DAI), definido por (4.18) en el dominio del tiempo discreto y por (4.19) en el dominio de la frecuencia, entonces (4.17) puede expresarse como (4.20).

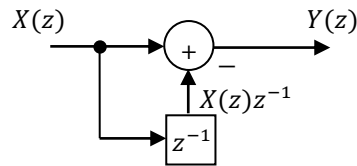
$$Y[nT_s] = X[nT_s] - X[(n - 1)T_s], \quad (4.18)$$

donde  $n$  es el número de muestra y  $T_s$  es el periodo de la frecuencia de muestreo.

$$A(z) = z^{-1}/(1 - z^{-1}), \quad (4.19)$$

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E_{Qe}(z). \quad (4.20)$$

A partir de (4.20), se observa que la señal de entrada  $X(z)$  al pasar por el integrador únicamente se retrasa un tiempo de reloj, mientras que la señal de ruido  $E_{Qe}(z)$  sufre una operación de diferencia, que en el dominio de la frecuencia se traduce a trasladar al ruido de cuantificación a frecuencias fuera de la banda de interés. La figura 4.9 muestra el diagrama a bloques de un circuito digital de diferencia en el dominio  $z$ .



**Figura 4.9** Diagrama a bloques de un diferenciador en el dominio  $z$ .

La respuesta en frecuencia (magnitud  $|H(f)|$  y fase  $\angle H(f)$ ) del bloque diferenciador es:

$$|H(f)| = \sqrt{2 \left(1 - \cos 2\pi \frac{f}{f_s}\right)}, \quad (4.21)$$

$$\angle H(f) = \frac{\pi}{2} - \pi \frac{f}{f_s}, \quad \text{para } 0 < f < f_s. \quad (4.22)$$

Recuerde que  $z = 1 \cdot e^{j2\pi \frac{f}{f_s}}$ , para una señal con magnitud 1 y fase  $e^{j2\pi \frac{f}{f_s}}$ .

La figura 4.10 muestra las gráficas de magnitud y fase del bloque diferenciador. Se observa que la respuesta en fase es lineal, lo cual indica que este bloque no genera una distorsión de fase, sin embargo, existe una atenuación de la señal de ruido en la banda de interés. La figura 4.11 muestra el diagrama a bloques de un modulador sigma-delta ( $\Sigma\Delta$ ) que introduce un bloque integrador en sustitución del bloque  $A(z)$  de la figura 4.8.

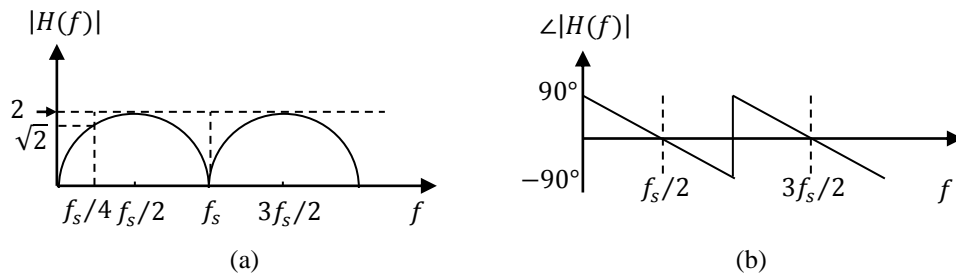


Figura 4.10 Respuesta en frecuencia del bloque diferenciador. (a) Magnitud y (b) fase.

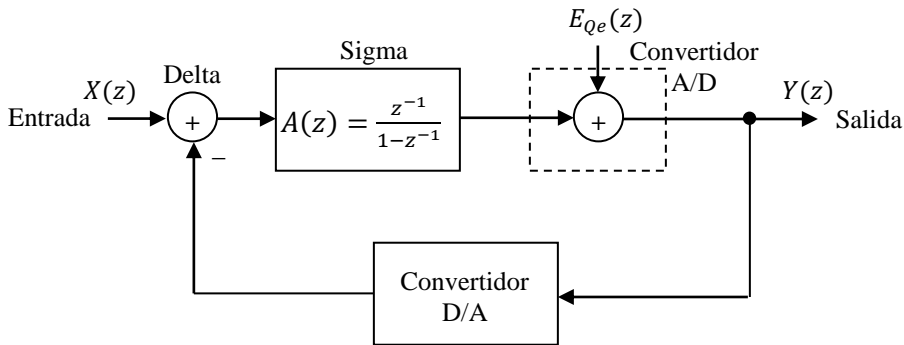


Figura 4.11 Diagrama a bloques de un modulador  $\Sigma\Delta$  pasa-bajas de primer orden, que emplea un bloque integrador como bloque  $A(z)$ .

De la figura 4.11 se aprecia que el punto de suma realiza una operación de diferencia (Delta) entre la señal de entrada y la señal en el lazo de retroalimentación (en este diagrama se asume que  $B(z) = 1$ ). El bloque integrador acumula o suma (Sigma) el valor de diferencia y lo lleva al lazo de retroalimentación (pasando por el convertidor A/D y el convertidor D/A). Esta acción obliga a la salida del modulador a generar el promedio de la señal de entrada.

Del espectro de un modulador  $\Sigma\Delta$  de primer orden, extrayendo de (4.20) el término correspondiente al ruido de cuantificación (función de transferencia del ruido) y multiplicándolo por  $E_{Qe}(z)$  se puede conocer el ruido de modulación:

$$NTF(z) \cdot E_{Qe}(z) = (1 - z^{-1}) \cdot E_{Qe}(z). \quad (4.23)$$

Expresando a (4.23) en el dominio de la frecuencia y considerando a (4.9):

$$NTF(f) \cdot V_{Qe}(f) = \left(1 - e^{-j2\pi\frac{f}{f_s}}\right) \cdot \left(\frac{V_{LSB}}{\sqrt{12}f_s}\right). \quad (4.24)$$

Si la función de transferencia del ruido se expresa en términos de senos y cosenos, considerando a (4.21) y elevando al cuadrado las magnitudes de  $NTF(f)$  y  $V_{Qe}(f)$ , la densidad espectral de la potencia del ruido de modulación de un modulador  $\Sigma\Delta$  de primer orden con unidades  $[V^2/Hz]$  se obtiene a partir de:

$$|NTF(f)|^2 \cdot |V_{Qe}(f)|^2 = 2 \left(1 - \cos 2\pi \frac{f}{f_s}\right) \cdot \left(\frac{V_{LSB}^2}{12f_s}\right), \quad (4.25)$$

o bien:

$$|NTF(f)|^2 \cdot |V_{Qe}(f)|^2 = \left[2 \left(\sin \pi \frac{f}{f_s}\right)\right]^2 \cdot \left(\frac{V_{LSB}^2}{12f_s}\right). \quad (4.26)$$

El ruido de modulación puede definirse como el ruido de cuantificación después de aplicarle la operación de diferencia en el modulador.

Para conocer la potencia del ruido de cuantificación presente en cierto ancho de banda  $B$  de interés, éste puede obtenerse considerando a (4.6) como:

$$V_{Qe,RMS}^2 = 2 \int_0^{f_B} |NTF(f)|^2 |V_{Qe}(f)|^2 df = 2 \frac{V_{LSB}^2}{12f_s} \cdot 4 \int_0^{f_B} \text{sen}^2 \pi \frac{f}{f_s} df. \quad (4.27)$$

Para el análisis de (4.27), resulta útil definir el término *razón de sobremuestreo* ( $OSR$ ) que relaciona la frecuencia máxima de interés posible a utilizar ( $f_B$ ) con la frecuencia de muestreo ( $f_s$ ):

$$OSR = \frac{f_s}{2f_B} = \frac{f_s}{f_N}, \quad (4.28)$$

donde  $f_N$  es la frecuencia de Nyquist.

Si además se consideran señales de valor muy pequeño, tal que:

$$\text{sen } x \approx x, \quad (4.29)$$

entonces de (4.27) resulta:

$$V_{Qe,RMS}^2 = \frac{1}{OSR^3} \cdot \frac{\pi^2}{3} \cdot \frac{V_{LSB}^2}{12}. \quad (4.30)$$

Entonces, para la obtención del parámetro SQNR, considerando a (4.9) y a (4.30), se tiene:

$$SQNR = 20 \log \frac{V_{p,RMS}}{V_{Qe,RMS}} = 6.02N + 1.76 - 20 \log \frac{\pi}{\sqrt{3}} + 20 \log OSR^{3/2} \text{ (en dB)}, \quad (4.31)$$

o bien:

$$SQNR = 6.02N + 1.76 - 5.17 + 30 \log OSR \text{ (en dB)}. \quad (4.32)$$

Para el rango dinámico (DR), prevalece la ecuación (4.16).

Para comparar el desempeño del modulador  $\Sigma\Delta$  de primer orden con respecto a las ecuaciones generales obtenidas de los convertidores de sobremuestreo, retomando la ecuación (4.9), si se aumenta la frecuencia de muestreo  $K$  veces (introduciendo  $K$  en (4.9)) y resolviendo para (4.6):

$$P_{Qe}(f) = 2 \int_0^{f_s/2} \frac{V_{LSB}^2}{12Kf_s} \cdot df = \frac{1}{K} \cdot \frac{V_{LSB}^2}{12}, \quad (4.33)$$

o bien:

$$V_{Qe,RMS} = \frac{1}{\sqrt{K}} \cdot \frac{V_{LSB}}{\sqrt{12}}. \quad (4.34)$$

Obteniendo el parámetro SQNR que considera a (4.34):

$$SQNR = 6.02N + 1.76 + 10\log K \text{ (en dB)}. \quad (4.35)$$

El incremento en la resolución del convertidor (incremento de número de bits,  $N_{inc}$ ) debido a  $K$  estará dado como:

$$N_{inc} = \frac{10\log K}{6.02}, \quad (4.36)$$

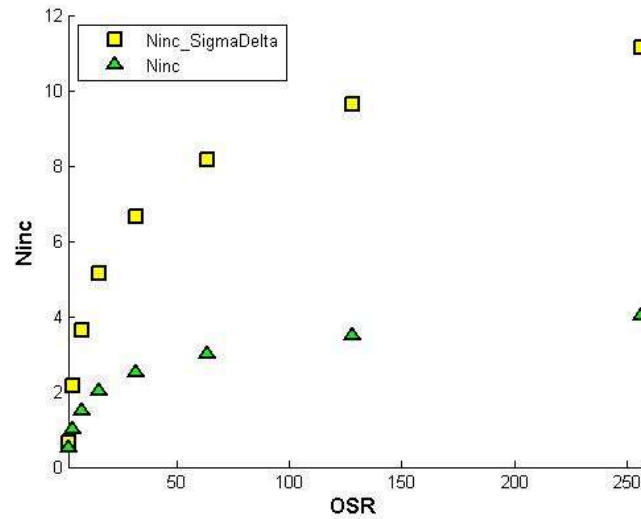
reescribiendo a (4.35) como:

$$SQNR = 6.02(N + N_{inc}) + 1.76 \text{ (en dB)}. \quad (4.37)$$

El número de bits incrementados al utilizar un modulador  $\Sigma\Delta$  de primer orden puede obtenerse de (4.32), quedando:

$$N_{inc\_SigmaDelta} = \frac{30\log OSR - 5.17}{6.02}. \quad (4.38)$$

La figura 4.12 muestra la comparación entre la técnica de sobremuestreo simple (conocido como muestreo promediado) versus sobremuestreo utilizando modulación  $\Sigma\Delta$ , donde  $K = OSR$ , para valores de OSR de 2, 4, 8, 16, 32, 64, 128 y 256.



**Figura 4.12** Comparación entre el número de bits incrementados empleando sobremuestreo simple ( $N_{inc}$ ) y sobremuestreo utilizando modulación  $\Sigma\Delta$  de primer orden ( $N_{inc\_SigmaDelta}$ ).

Con respecto al bloque de conversión D/A del lazo de retroalimentación de un modulador  $\Sigma\Delta$  de primer orden (Fig. 4.11), ya que la arquitectura elegida para el modulador genera un solo bit de salida, se requiere de un convertidor D/A que convierta los valores digitales “1” y “0” a los niveles de voltaje correspondientes. Entre más cercanos al valor requerido se encuentre la salida del convertidor D/A, menos afectación se tendrá al parámetro  $SNR$  (razón señal a ruido) del modulador.

#### 4.4 Filtro Digital

Las ecuaciones características para el modulador  $\Sigma\Delta$  de primer orden se han obtenido asumiendo que la salida del modulador pasa por un filtro pasabajas ideal con frecuencia máxima de ancho de banda  $f_B$ , si este filtro no es ideal, el parámetro  $SNR$  del modulador definido como la relación señal al total de ruido puede resultar muy pequeño, ya que las componentes de ruido de alta frecuencia no serán filtradas de forma adecuada.



Cuando se utiliza muestreo promediado (como técnica de incremento de la resolución del convertidor), se limita el ancho de banda a utilizar a la frecuencia máxima de ancho de banda  $f_B$  de la señal de entrada dividida entre el número de valores promediados ( $K$ ):

$$f_{s(K)} = 2f_B = \frac{f_s}{K}. \quad (4.39)$$

A esta reducción en la frecuencia efectiva de muestreo se le conoce con el término *decimado*. Esta acción implica que la palabra digital de entrada pasa a través de un filtro digital pasabajas y el resultado es muestreado a una razón menor.

Algunos tipos de filtros de decimado son:

- Filtro digital de acumulación y descarga.
- Filtro digital de promediado.

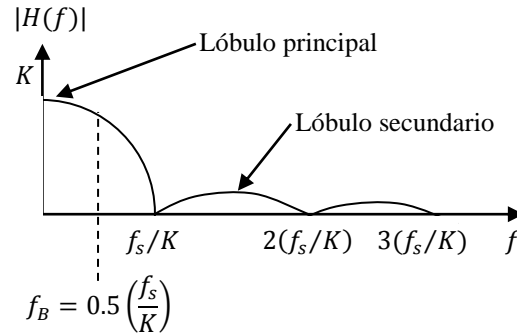
Ambos filtros se rigen por la siguiente función de transferencia en el dominio  $z$  [17]:

$$H(z) = \frac{1}{K} \cdot \frac{1-z^{-K}}{1-z^{-1}}. \quad (4.40)$$

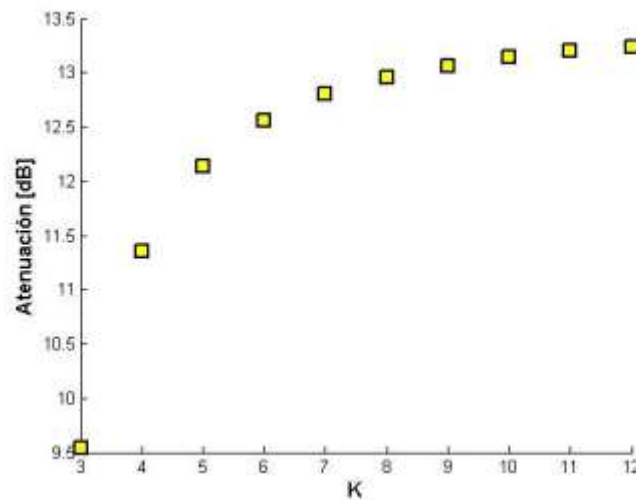
La forma general de la respuesta en frecuencia de un filtro de acumulación y descarga se muestra en la figura 4.13. La atenuación puede determinarse usando la siguiente expresión:

$$\left| \frac{Amplitud_{LP}}{Amplitud_{LS}} \right| = K \cdot \text{sen} \left( \frac{1.5\pi}{K} \right), \text{ para } K \geq 3, \quad (4.41)$$

donde  $Amplitud_{LP}$  es la amplitud del lóbulo principal y  $Amplitud_{LS}$  es la amplitud del lóbulo secundario. La evaluación para el lóbulo secundario se realiza a  $1.5(f_s/K)$ . Una gráfica de atenuación en función de  $K$  se presenta en la figura 4.14.



**Figura 4.13** Respuesta general en frecuencia para un filtro digital de acumulación y descarga.



**Figura 4.14** Atenuación del filtro digital de acumulación y descarga en función del número de valores promediados ( $K$ ).

De la figura 4.14 se observa que la curva de atenuación tiende a saturarse; el valor de saturación es 13.5dB. Si se desea aumentar la atenuación, se requiere un arreglo en cascada de estos filtros (Fig. 4.15). La atenuación final se rige por la siguiente ecuación:

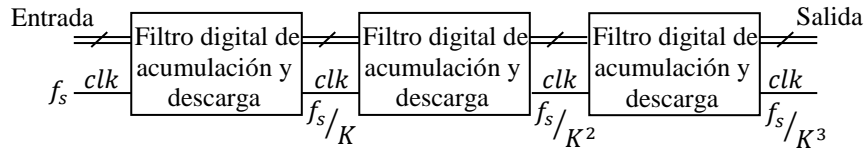
$$Atenuación_{final} = L \cdot 13.5dB, \quad (4.42)$$

donde  $L$  es el número de etapas.

La desventaja de este arreglo es que la frecuencia final de muestreo se ve reducida afectando de forma directa el ancho de banda permitido:

$$f_{s(K)} = \frac{f_s}{K^L}, \quad (4.43)$$

$$f_B = 0.5 \frac{f_s}{K^L}. \quad (4.44)$$

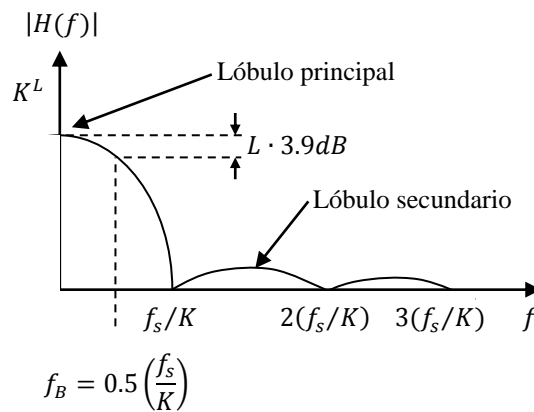


**Figura 4.15** Arreglo en cascada de filtros digitales de tipo acumulación y descarga,  $clk$  es la señal de reloj.

Para el filtro digital de promediado, se mantiene (4.40), pero la respuesta en frecuencia para un arreglo de  $L$  filtros de promediado en cascada se rige por la siguiente ecuación [17]:

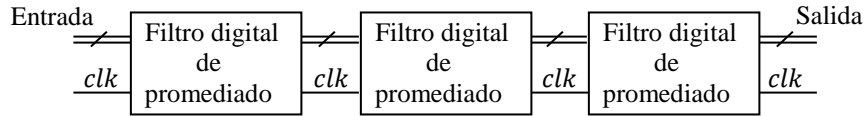
$$\left| \frac{Amplitud_{LP}}{Amplitud_{LS}} \right| = \left| K \cdot \text{sen} \left( \frac{1.5\pi}{K} \right) \right|^L. \quad (4.45)$$

De nuevo, la evaluación para el lóbulo secundario se realiza a  $1.5(f_s/K)$ . La respuesta general en frecuencia para de  $L$  filtros digitales de promediado en cascada se muestra en la figura (4.16).



**Figura 4.16** Respuesta general en frecuencia para  $L$  filtros digitales de promediado en cascada.

En este tipo de filtros se mantiene la misma frecuencia de muestreo para todas las etapas en cascada (Fig. 4.17).



**Figura 4.17** Arreglo en cascada de filtros digitales de tipo promediado.

La función de transferencia en el dominio  $z$  de un arreglo de  $L$  filtros de promediado en cascada es:

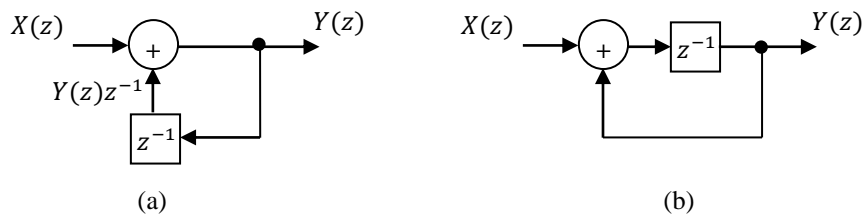
$$H(z) = \left( \frac{1}{K} \cdot \frac{1-z^{-K}}{1-z^{-1}} \right)^L, \quad (4.46)$$

La ecuación (4.46) puede expresarse de la siguiente manera:

$$H(z) = \frac{1}{K} \cdot (1 - z^{-K})^L \cdot \left( \frac{1}{1-z^{-1}} \right)^L, \quad (4.47)$$

que corresponde a la ecuación de transferencia de  $L$  diferenciadores multiplicando a  $L$  integradores.

Refiérase a la figura 4.9 y ecuaciones (4.21) y (4.22) para el análisis del bloque diferenciador en el dominio  $z$ . En cuanto al bloque integrador, puede definirse de acuerdo al diagrama a bloques de la figura (4.18a) o bien, puede utilizarse un diagrama alternativo (Fig. 4.18b). La diferencia entre ambos bloques es el cambio en la respuesta de fase. Las funciones de transferencia se definen en (4.48) y (4.49), respectivamente.

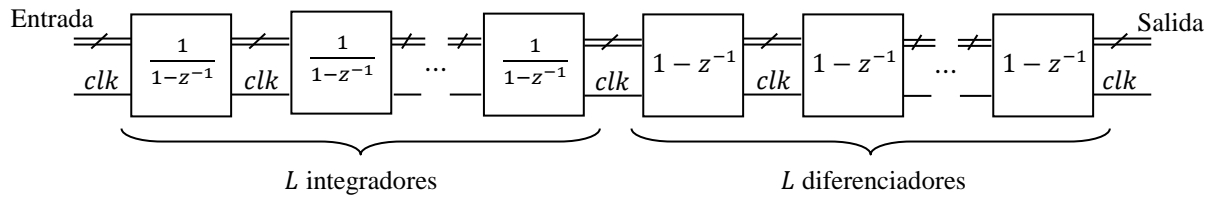


**Figura 4.18** Diagrama a bloques de integrador en el dominio  $z$ .

$$H(z) = \frac{1}{1-z^{-1}} = \frac{z}{z-1}, \quad (4.48)$$

$$H(z) = \frac{z^{-1}}{1-z^{-1}}. \quad (4.49)$$

La ecuación (4.47) puede implementarse entonces colocando  $L$  bloques diferenciadores y  $L$  bloques integradores en cascada, como se muestra en la figura 4.19.



**Figura 4.19** Implementación de un filtro de promediado en cascada con  $L$  integradores y  $L$  diferenciadores.

Para determinar el valor de  $L$  necesario en el filtro digital a utilizar a la salida del modulador (filtro de promediado), partiendo de (4.38) y considerando que únicamente se manejará un bit de salida, la resolución final del convertidor de datos será  $N_{inc\_SigmaDelta} + 1$ . El tamaño de la palabra en número binario se incrementa en  $\log_2(K)$  bits en cada etapa, por lo que (3.38) puede expresarse como:

$$L \cdot \text{Log}_2(K) \geq \frac{30 \log OSR - 5.17}{6.02}. \quad (4.50)$$

En general, el valor de  $L$  se rige por la siguiente expresión:

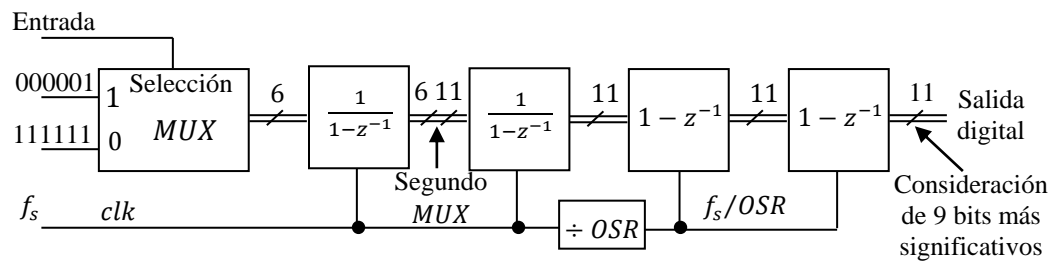
$$L = 1 + \text{Ord}, \quad (4.51)$$

donde  $\text{Ord}$  es el orden del modulador.

Entonces, para un modulador  $\Sigma\Delta$  de primer orden, el número de etapas del filtro digital es 2, o bien:

$$H(z) = \left( \frac{1}{K} \cdot \frac{1-z^{-K}}{1-z^{-1}} \right)^2. \quad (4.52)$$

Utilizando un filtro digital de promediado para la aplicación requerida (convertidor con un ancho de banda de 100KHz y 8 bits de resolución) y además, considerando valores de  $OSR = 2^{num}$ , donde  $num$  puede ser cualquier valor real entero positivo (para una correcta obtención de datos en el dominio de la frecuencia), si sustituimos el valor de  $OSR = 32$  en (4.38) resulta en un incremento de 6.64 bits y con un  $OSR = 64$  resulta en un incremento de 8.14 bits, por lo cual, la resolución final del convertidor resulta en 9.14 bits. La figura 4.20 muestra la implementación del filtro digital de promediado para el convertidor A/D con técnica de sobremuestreo  $\Sigma\Delta$ . El diseño mostrado emplea código complemento a 2. Cada etapa genera 6 bits de resolución ( $\log_2(OSR)$ ) pero el segundo multiplexor utiliza el bit más significativo de la etapa anterior como selector, por lo que la palabra final tiene 11bits, de los cuales únicamente se consideran los 9 bits más significativos (para realizar la operación de división).



**Figura 4.20** Implementación de filtro digital de promediado con 9 bits de resolución. El bloque *MUX* corresponde a un multiplexor.

## 4.5 Diseño Funcional de un Convertidor A/D con Técnica de Sobremuestreo Sigma-Delta

Hasta ahora se han descrito cada uno de los bloques de un convertidor A/D con técnica de sobremuestreo  $\Sigma\Delta$  (Fig. 4.1). También se han mencionado los requerimientos planteados para este trabajo de tesis (sección 4.3), por lo que en este capítulo se presenta el análisis funcional de un convertidor  $\Sigma\Delta$  basado en un modulador  $\Sigma\Delta$  de primer orden y un solo bit de salida.

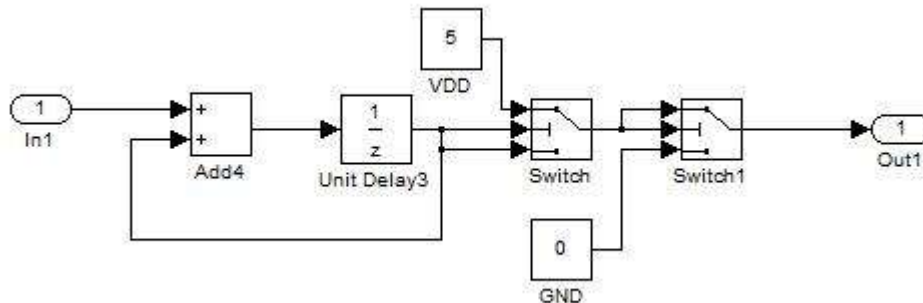
En el capítulo anterior se obtuvo el valor de  $OSR$  para el convertidor ( $OSR = 64$ ). Teniendo definida la razón de sobremuestreo, a partir de (4.28) puede conocerse la frecuencia de muestreo a utilizar para una frecuencia máxima de ancho de banda  $f_B = 100\text{KHz}$ . Por lo tanto:

$$f_s = 2 \cdot f_B \cdot OSR = 12.8\text{MHz}. \quad (4.53)$$

Se realizó un diseño funcional de un convertidor A/D  $\Sigma\Delta$  de primer orden y un solo bit de salida empleando Simulink de Matlab® considerando lo siguiente:

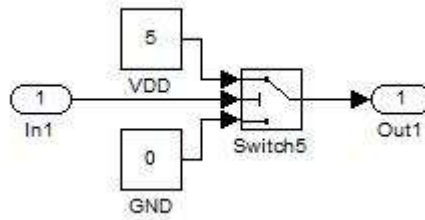
- Modelado funcional ideal.
- Alimentación unipolar (voltaje de referencia positivo  $V_{ref+} = 5V$  y voltaje de referencia negativo  $V_{ref-} = 0V$ ).
- Ingreso de una señal sinusoidal con amplitud pico de  $1V$ , con un nivel de  $CD$  de  $2.5V$  a una frecuencia de  $65.536\text{KHz}$ , definida en el dominio del tiempo continuo como  $v(t) = 2.5 + \text{sen}(2\pi \cdot 65.536\text{KHz} \cdot t)$ .
- $OSR = 64$  y  $f_s = 12.8\text{MHz}$ .

Comenzando por los bloques del modulador, la figura 4.21 presenta el modelo ideal del bloque integrador de la figura 4.11. Los bloques de conmutación (Switch y Switch1) limitan al integrador a un valor numérico máximo de 5 ( $V_{ref+}$ ) y mínimo de 0 ( $V_{ref-}$ ). Considerar que  $V_{DD} = V_{ref+}$  y  $GND = V_{ref-}$ . Donde  $GND$  es el nivel de referencia “tierra” ( $0V$ ). Note que el modelo de integrador utilizado corresponde a (4.49).



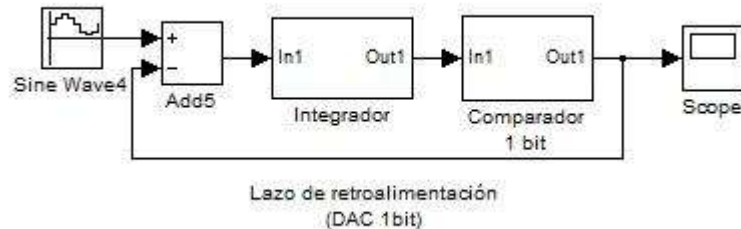
**Figura 4.21** Modelo ideal del bloque integrador.

El bloque de cuantificación de un solo bit se modeló utilizando un bloque de conmutación, con valor de decisión en 2.5 y llevando el resultado a  $V_{DD}$  o  $GND$  (Fig. 4.22).



**Figura 4.22** Modelo ideal de cuantificador de un solo bit.

Para el lazo de retroalimentación de (4.11), se considera un convertidor D/A ideal (DAC) de un solo bit, tal que el valor en  $Y(z)$  se transfiere sin alteración al punto de suma, por lo que el modulador  $\Sigma\Delta$  de primer orden y un solo bit de salida puede modelarse según la figura 4.23.



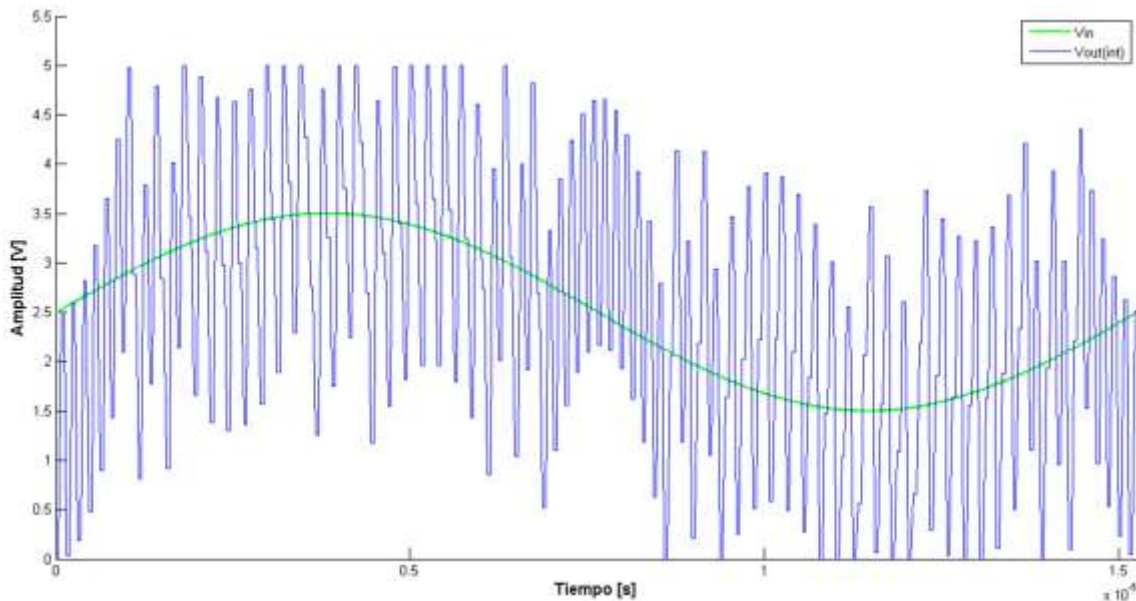
**Figura 4.23** Modelo funcional para un modulador  $\Sigma\Delta$  de primer orden y un solo bit de salida.

Los bloques integrador y comparador de la figura 4.23 corresponden a los bloques descritos en las figuras 4.21 y 4.22. En la figura 4.24 se muestra la señal de entrada  $v(t)$  muestreada y la señal de salida del bloque integrador de la figura 4.23 (nombradas en la figura  $V_{in}$  y  $V_{out(int)}$ , respectivamente); la salida del integrador se satura a los niveles de  $5V$  y  $GND$ . En la figura 4.25 se muestra la señal de entrada muestreada y la salida del modulador  $\Sigma\Delta$  de primer orden de un solo bit de salida (nombradas en la figura  $V_{in}$  y  $V_{out(mod)}$ , respectivamente). De la figura 4.25, cuando la señal de entrada está a su valor máximo, la salida del modulador permanece en alto la mayor parte del tiempo ( $5V$ ); cuando la señal se acerca al valor en modo común, la señal oscila de  $V_{DD}$  a  $GND$  lo cual genera que al promediar el valor de salida, éste se aproxime a  $V_{DD}/2$ ; cuando la señal de entrada

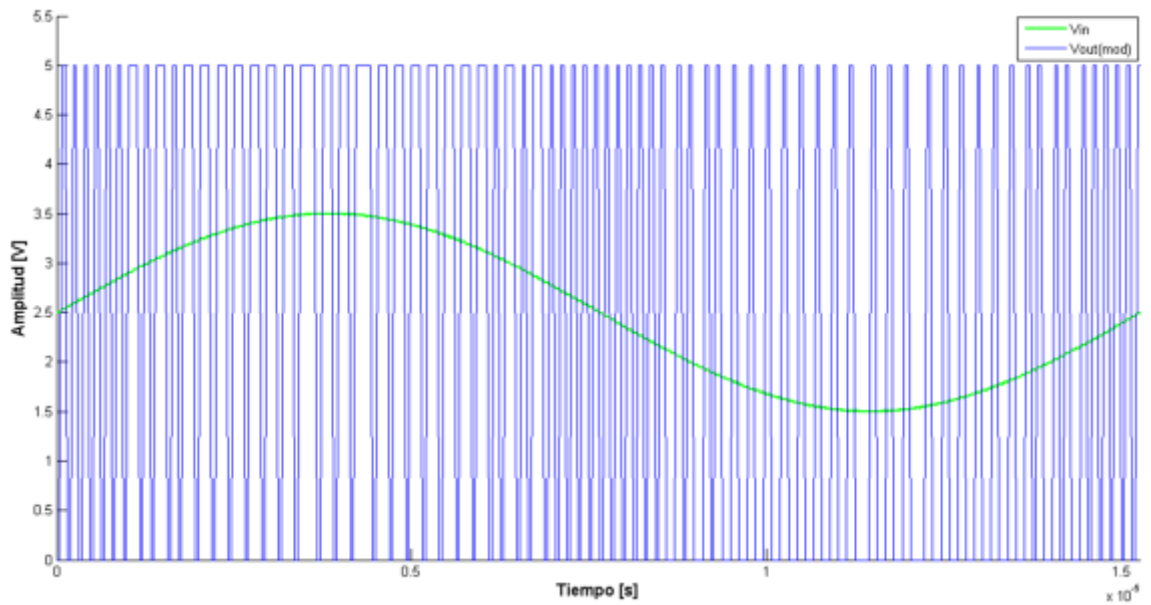


alcanza el valor mínimo, el modulador mantiene por más tiempo su salida en bajo (0V). La figura 4.26 muestra el espectro de la señal de salida del modulador para un rango de frecuencias desde CD a  $f_s/2$ , obtenida a partir de la transformada rápida de Fourier (FFT) [18].

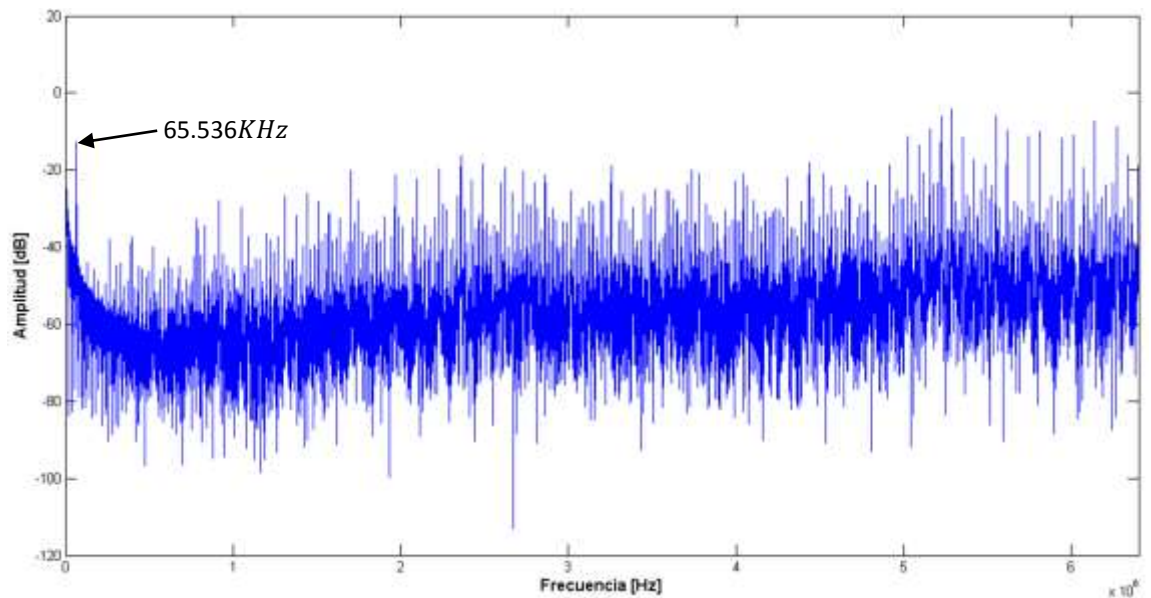
La figura 4.27 muestra el modelo del filtro digital de promediado descrito a más alta jerarquía en la figura 4.20. La figura 4.28 muestra la salida del filtro digital cuando ingresa una señal modulada correspondiente a una señal de voltaje sinusoidal  $v(t) = 2.5 + 1.25 \cdot \text{sen}(2\pi \cdot 65.536\text{KHz} \cdot t)$ . Las salidas digitales se han normalizado (0V – 1V) y montado sobre valores de CD para una mejor apreciación. La señal digital superior (montada sobre 22V) corresponde a una señal de reloj con frecuencia  $f_s/OSR = 200\text{KHz}$ , las demás señales digitales corresponden al bit 11 hasta el bit 1 en orden descendente. Para la interpretación de la palabra digital, recuerde que el código empleado es complemento a 2 [19] y que el bit 1 y bit 2 no se tomarán en cuenta (ver sección 4.4). Como ejemplo, se reconstruirá un periodo de la señal, obteniendo los valores de cada bit sobre las líneas verticales punteadas (de  $m1$  a  $m8$ ) en la figura 4.28. La Tabla 4.1 muestra las palabras digitales obtenidas.



**Figura 4.24** Señal sinusoidal de entrada muestreada y señal de salida del bloque integrador del modulador  $\Sigma\Delta$  ( $V_{in}$  y  $V_{out(int)}$ , respectivamente), la salida ocurre para un rango de amplitud de 0V-5V.



**Figura 4.25** Señal sinusoidal de entrada muestreada y señal de salida del modulador  $\Sigma\Delta$  de primer orden de 1 bit de salida ( $V_{in}$  y  $V_{out(mod)}$ , respectivamente).



**Figura 4.26** Espectro de la señal de salida del modulador  $\Sigma\Delta$  de primer orden descrito en la figura 4.23, cuando ingresa la señal  $v(t) = 2.5 + \text{sen}(2\pi \cdot 65.536\text{KHz} \cdot t)$ .

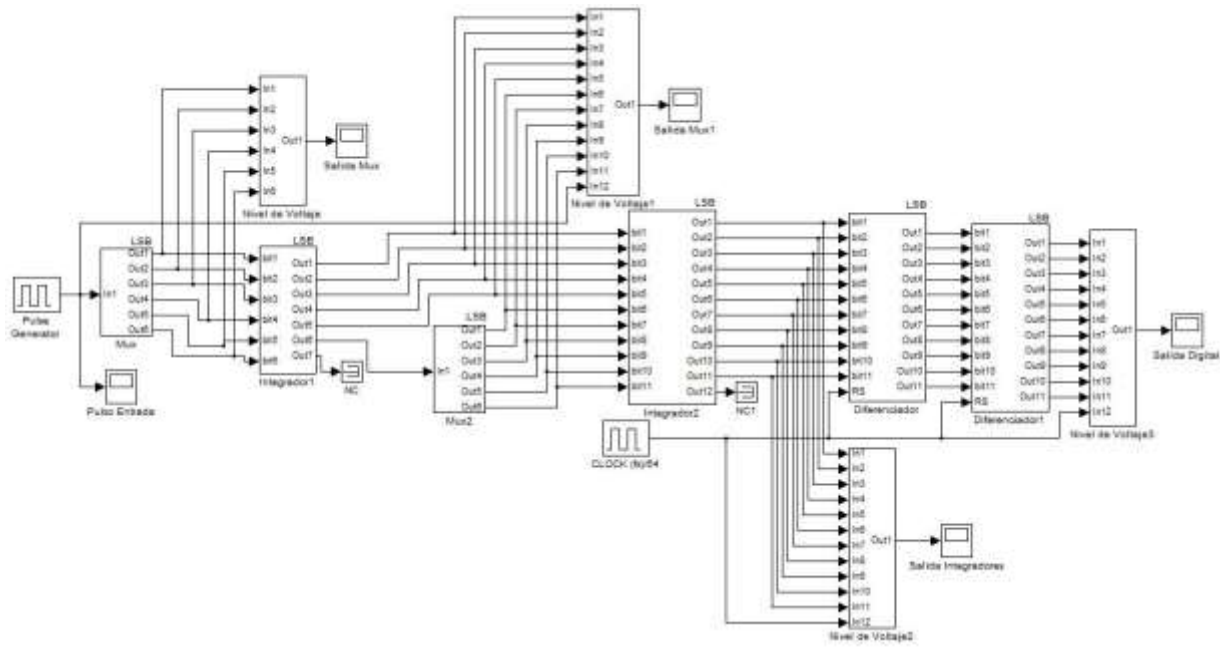


Figura 4.27 Filtro digital de promediado con 9bits de resolución.

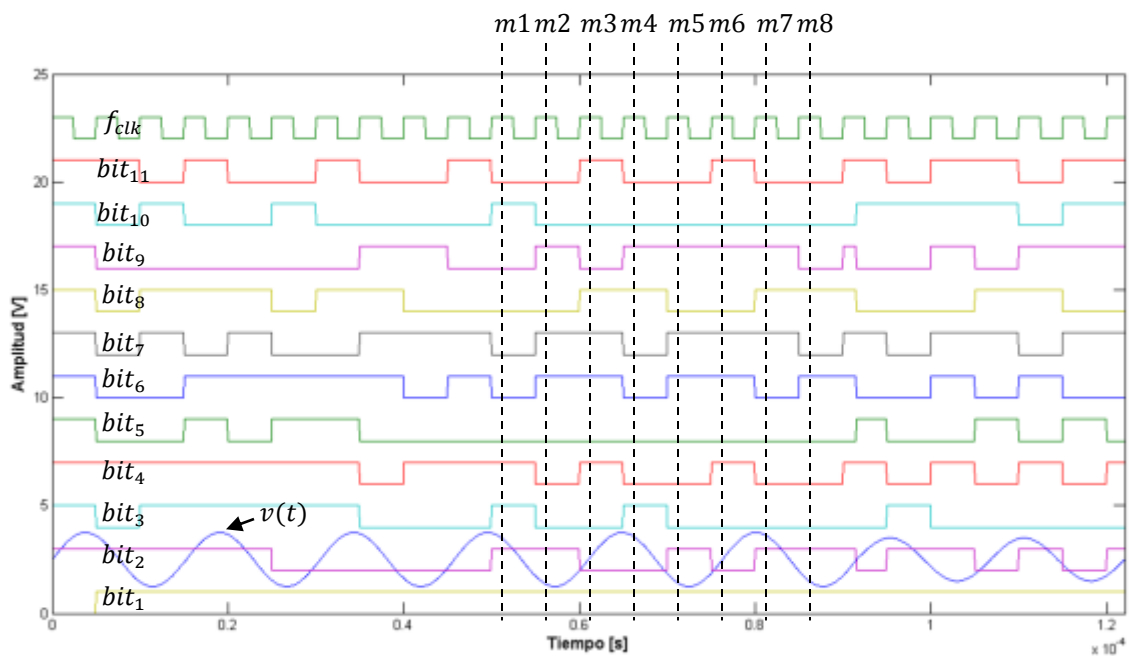


Figura 4.28 Señal sinusoidal de entrada a un modulador  $\Sigma\Delta$  de primer orden de un solo bit de salida y salida del filtro digital de promediado.

**Tabla 4.1** Palabras digitales obtenidas del filtro digital de promediado de la figura 4.27.

| Línea Vertical   | bit 11 | bit 10 | bit 9 | bit 8 | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 |
|------------------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| <b><i>m1</i></b> | 0      | 1      | 0     | 0     | 0     | 0     | 0     | 1     | 1     | X     | X     |
| <b><i>m2</i></b> | 0      | 0      | 1     | 0     | 1     | 1     | 0     | 0     | 0     | X     | X     |
| <b><i>m3</i></b> | 1      | 0      | 0     | 1     | 1     | 1     | 0     | 1     | 0     | X     | X     |
| <b><i>m4</i></b> | 0      | 0      | 1     | 1     | 0     | 0     | 0     | 0     | 1     | X     | X     |
| <b><i>m5</i></b> | 0      | 0      | 1     | 0     | 1     | 1     | 0     | 1     | 0     | X     | X     |
| <b><i>m6</i></b> | 1      | 0      | 1     | 0     | 1     | 1     | 0     | 1     | 0     | X     | X     |
| <b><i>m7</i></b> | 0      | 0      | 1     | 1     | 1     | 0     | 0     | 0     | 0     | X     | X     |
| <b><i>m8</i></b> | 0      | 0      | 0     | 1     | 0     | 1     | 0     | 0     | 0     | X     | X     |

Para la palabra digital *m1* se tiene:

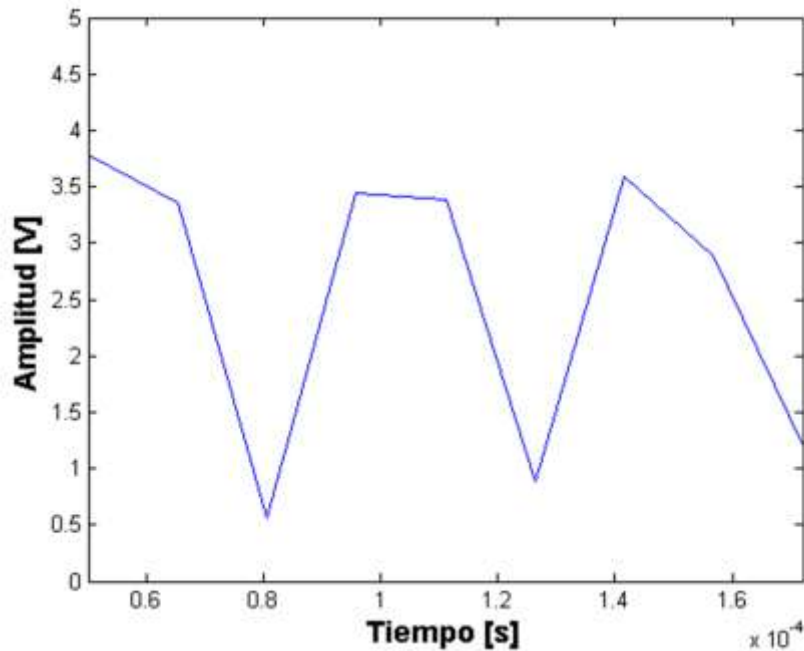
$$0^{256}1^{128}0^{64}0^{32}0^{16}0^80^41^21^1. \quad (4.54)$$

Ya que el bit más significativo es el bit de signo para el código complemento a 2, el valor decimal resultante de (4.54) es +131.

La amplitud de la señal sinusoidal reconstruida corresponde entonces a:

$$+131 \times V_{LSB} + V_{cm} \cong +131 \times (9.766 \times 10^{-3})V + 2.5V \cong 3.7793V. \quad (4.55)$$

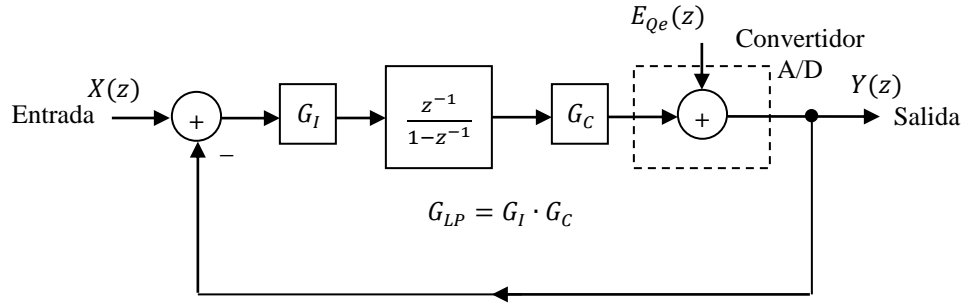
La figura 4.29 presenta la reconstrucción de la señal sinusoidal de entrada considerando las ocho palabras digitales de la Tabla 4.1.



**Figura 4.29** Reconstrucción de una señal sinusoidal analógica a partir de las palabras digitales de salida del filtro digital de promediado de la figura 4.27.

## 4.6 Estabilidad del Modulador Sigma-Delta de Primer Orden

En la sección 4.5 se realizó una descripción funcional del modulador sigma-delta de primer orden que incluye un bloque integrador e introduce el ruido de cuantificación en el bloque de conversión A/D del camino principal (Fig. 4.11), obteniéndose la función de transferencia del sistema (4.20). En dicho análisis no se consideraron limitaciones reales de los elementos, por ejemplo, la ganancia finita del amplificador operacional del bloque integrador. La figura 4.29 muestra el diagrama a bloques de un modulador sigma-delta de primer orden con las ganancias de los bloques del camino principal.



**Figura 4.30** Diagrama a bloques de un modulador sigma-delta con ganancias en el camino principal.

Reescribiendo (4.20) para incluir  $G_{LP}$ , se obtiene:

$$Y(z) = \frac{z^{-1} \cdot G_{LP}}{1 + z^{-1}(G_{LP} - 1)} \cdot X(z) + \frac{1 - z^{-1}}{1 + z^{-1}(G_{LP} - 1)} \cdot E_{Qe}(z), \quad (4.56)$$

Para que el sistema sea estable [20], se requiere que los polos del sistema permanezcan dentro del círculo unitario, no existe restricción para la posición de los ceros, por lo tanto, si la ganancia del lazo principal del modulador es mayor que dos, el sistema será inestable (análisis de la función de transferencia en 4.59). La ecuación 4.60 describe las relaciones de ganancia del integrador y del comparador para obtener una ganancia del lazo principal igual a uno.

$$\underbrace{G_I}_{\frac{\text{Integrador}_{salida}}{\text{Modulador}_{entrada}}} \cdot \underbrace{G_C}_{\frac{\text{Comparador}_{salida}}{\text{Integrador}_{salida}}} = \underbrace{G_{LP}}_{\frac{\text{Modulador}_{salida}}{\text{Modulador}_{entrada}}}. \quad (4.57)$$

## 4.7 Resumen

Este capítulo abordó el tema de los convertidores, enfocándose en aquellos que operan a una frecuencia mayor que la de Nyquist (de sobremuestreo). Con respecto a las componentes de un convertidor de sobremuestreo, se describió porqué un modulador con retroalimentación en unión con un filtro digital forman un convertidor. Para el bloque del

modulador, se abordaron las ecuaciones descriptivas de un modulador de tipo sigma-delta, la generación y afectación del error de cuantificación en las ecuaciones de comportamiento. En relación al bloque del filtro digital, se analizaron dos propuestas: el filtro digital de acumulación y descarga y el filtro digital. Después se realizó un diseño funcional de un modulador sigma-delta de primer orden con un solo bit de salida y un filtro digital de promediado utilizando la herramienta Simulink® que en conjunto, forman un convertidor A/D con técnica de sobremuestreo sigma-delta, con 9 bits de resolución. Finalmente se introdujeron condiciones no ideales al bloque funcional de un modulador sigma-delta de primer orden con un solo bit de salida para indicar las fuentes de inestabilidad.

---

## Capítulo 5

### Diseño Eléctrico del Modulador Sigma-Delta

#### 5.1 Introducción

Previamente, en la sección 4.3 se propuso diseñar un modulador sigma-delta en tiempo discreto utilizando capacitores conmutados, por lo que este capítulo comienza con una breve descripción de este tipo de circuitos, para después presentar una topología de modulador sigma-delta empleando capacitores conmutados. El capítulo continúa con el análisis de algunas fuentes de ruido del modulador sigma-delta, qué las origina y cómo pueden minimizarse. Se presentan también las topologías eléctricas empleadas para cada bloque que conforma al modulador sigma-delta y por último, se realizan las simulaciones eléctricas respectivas implementadas con PSPICE.

#### 5.2 Circuitos con Capacitores Conmutados

Este tipo de circuitos se utilizan para el procesamiento de señales en tiempo discreto, operan a partir del traspaso de carga entre capacitores de acuerdo a la activación o desactivación de interruptores, los cuales se controlan a partir de señales de reloj no traslapadas (provocan que los interruptores no estén abiertos o cerrados al mismo tiempo). Debido a lo accesible de su construcción en tecnología CMOS (construcción de capacitores con tecnologías de dos niveles de polisilicio) es un tipo de diseño frecuentemente utilizado.

La figura 5.1a muestra el diagrama de un circuito dinámico que emula el comportamiento de una resistencia de valores grandes (regularmente valores mayores a  $1M\Omega$ ). Los interruptores se han modelado utilizando transistores CMOS ( $S_1$  y  $S_2$ ). Las señales de reloj  $\phi_1$  y  $\phi_2$  representan dos fases de reloj no traslapadas con frecuencia  $f_{reloj}$  y periodo T (figura 5.1b). Cuando  $\phi_1$  está en alto (interruptor  $S_1$  cerrado), el capacitor  $C_1$  se carga al valor de  $v_1$ , la carga  $q_1$  almacenada en este capacitor será:



$$q_1 = C \cdot v_1. \quad (5.1)$$

Si  $\phi_2$  está en alto (interruptor  $S_2$  cerrado), entonces la carga almacenada en el capacitor será:

$$q_2 = C \cdot v_2. \quad (5.2)$$

Si  $v_1 \neq v_2$  y teniendo en cuenta que  $\phi_1$  y  $\phi_2$  no pueden estar en alto al mismo tiempo, entonces en cada intervalo de tiempo  $T$  se transfiere una carga igual a la diferencia de  $q_1$  y  $q_2$  entre los nodos  $v_1$  y  $v_2$ :

$$q_1 - q_2 = C \cdot (v_1 - v_2). \quad (5.3)$$

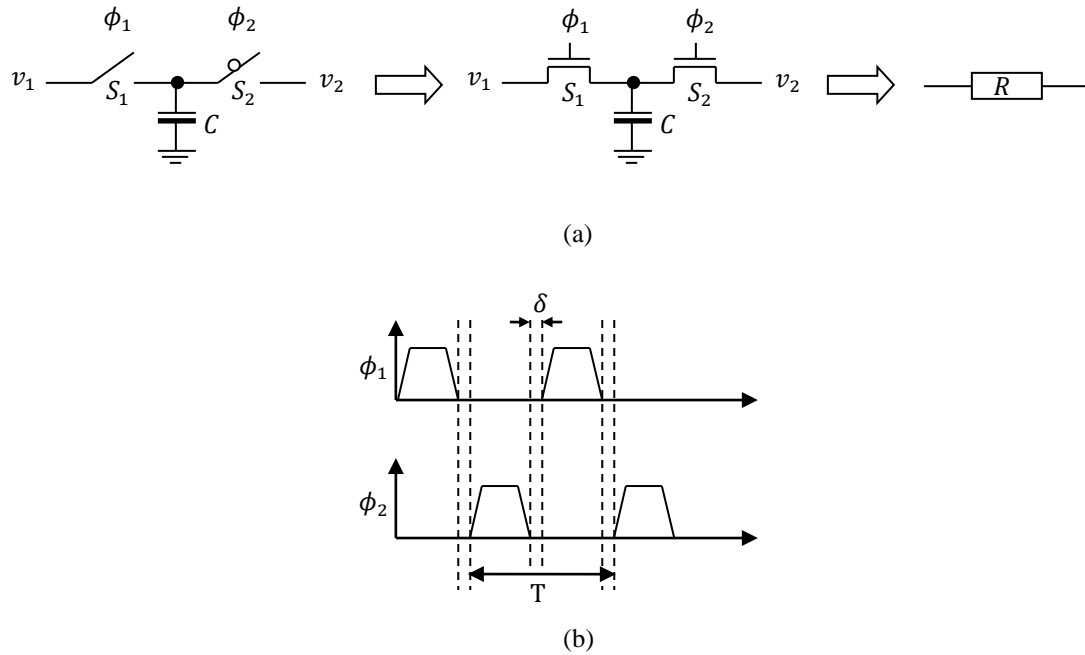
Si los valores de voltaje  $v_1$  y  $v_2$  varían lentamente en relación a  $f_{reloj}$ , entonces la corriente promedio  $I_{prom}$  transferida durante el intervalo  $T$  está dada por:

$$I_{prom} = \frac{C \cdot (v_1 - v_2)}{T} = \frac{v_1 - v_2}{R_{sc}}, \quad (5.4)$$

donde  $R_{sc}$  es la resistencia del circuito, dada por:

$$R_{sc} = \frac{T}{C} = \frac{1}{C \cdot f_{reloj}}. \quad (5.5)$$

Algunas de las desventajas de los circuitos con capacitores conmutados es la inyección de carga y la filtración de una porción de la señal de reloj a través de los capacitores [8]. Para reducir estos efectos pueden utilizarse topologías completamente diferenciales, además de que este tipo de topologías también mejoran la razón de rechazo de ruido y la razón de distorsión del sistema.



**Figura 5.1** (a) Resistencia modelada por circuito CMOS con capacitores conmutados. (b) Fases de reloj empleadas para activar los interruptores.

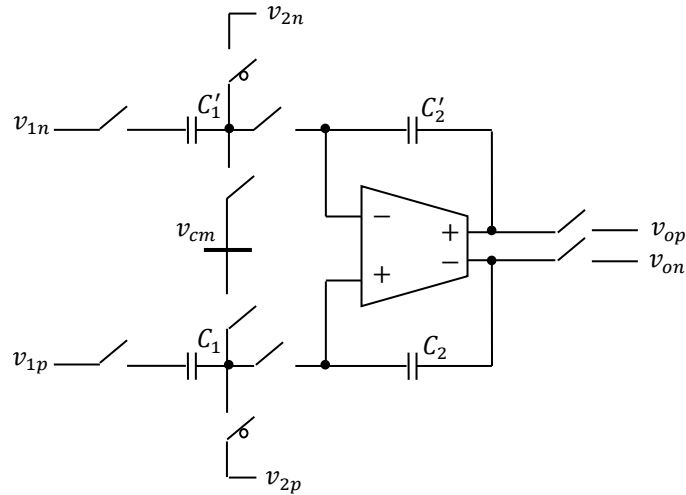
### 5.3 Diseño del Modulador Sigma-Delta Usando Circuitos con Capacitores Conmutados

De acuerdo con el diagrama a bloques de la figura 4.11, un modulador sigma-delta pasa-bajas de primer orden se compone de un bloque integrador y un bloque de conversión A/D en el lazo principal y un convertidor D/A en el lazo de retroalimentación. Si el modulador es de un solo bit, el convertidor A/D del lazo principal puede implementarse con un comparador.

Para el bloque integrador, en este trabajo se ha elegido la arquitectura de capacitores conmutados que se muestra en la figura 5.2, que es un integrador analógico discreto (DAI) en modo completamente diferencial. Este circuito tiene como parte principal un amplificador operacional de transconductancia (OTA) [8]. En la figura,  $v_{cm}$  representa un valor de voltaje en modo común, dado por la siguiente ecuación matemática:

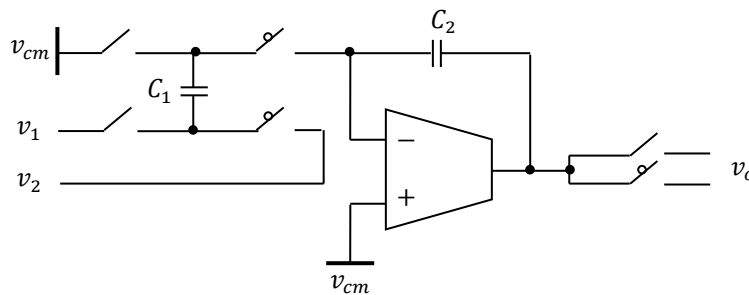
$$v_{cm} = \frac{V_{ref+} + V_{ref-}}{2}. \quad (5.6)$$

donde  $V_{ref+}$  es el voltaje de referencia positivo y  $V_{ref-}$  es el voltaje de referencia negativo.



**Figura 5.2** Implementación de un integrador analógico discreto (DAI) con topología completamente diferencial.

La arquitectura de integrador propuesta funciona con dos fases de reloj (refiérase a Fig. 5.1 para ver diagrama de interruptores activados por fases de reloj). Las entradas son diferenciales, es decir,  $v_1 = v_{1p} - v_{1n}$ ,  $v_2 = v_{2p} - v_{2n}$  y  $v_o = v_{op} - v_{on}$ . A continuación se hará el análisis de conservación de carga de la estructura con el fin de obtener la función de transferencia. Para dicho análisis se considera el circuito equivalente de salida en modo común, ver figura 5.3.



**Figura 5.3** Diagrama esquemático de un integrador analógico discreto en configuración de modo común.

Comenzando el análisis poniendo a  $\phi_1$  en alto, la carga almacenada en  $C_1$  es:

$$Q_1 = C_1(v_{cm} - v_1[(n-1)T_s]), \quad (5.7)$$

donde  $T_s$  representa el periodo de la señal de reloj (muestreo) y  $n$  el número de muestra (análisis en tiempo discreto). La salida del integrador está dada por:

$$v_o[(n-1)T_s]. \quad (5.8)$$

Cuando  $\phi_2$  está en alto, la carga almacenada en  $C_1$  es:

$$Q_2 = C_1(v_{cm} - v_2[(n-1/2)T_s]). \quad (5.9)$$

La diferencia entre  $Q_1$  y  $Q_2$  es transferida al capacitor de retroalimentación del OTA resultando en un cambio de voltaje en la salida:

$$(v_o[nT_s] - v_o[(n-1)T_s])C_2 = C_1(v_1[(n-1)T_s] - v_2[(n-1/2)T_s]). \quad (5.10)$$

Reescribiendo (5.10) en el dominio  $z$  se obtiene:

$$v_o(z)(1 - z^{-1}) = \frac{C_1}{C_2} (v_1(z)z^{-1} - v_2(z)z^{-1/2}). \quad (5.11)$$

Si la salida del integrador es conectada a  $\phi_1$ , la función de transferencia es:

$$v_o(z) = \frac{C_1}{C_2} \cdot \frac{v_1(z)z^{-1} - v_2(z)z^{-1/2}}{1 - z^{-1}}. \quad (5.12)$$

Si la salida del integrador se conecta a  $\phi_2$  resulta:

$$Q_1 = C_1(v_{cm} - v_1[(n-1/2)T_s]), \quad (5.13)$$

$$Q_2 = C_1(v_{cm} - v_2[nT_s]). \quad (5.14)$$

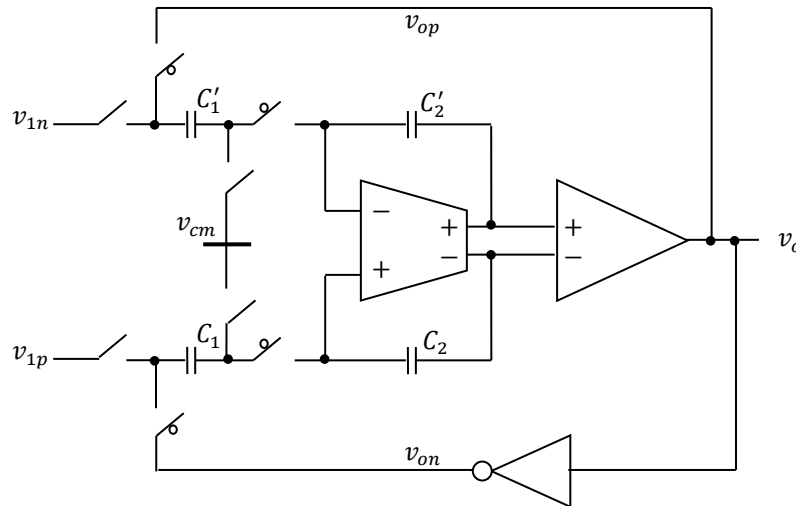
$$(v_o[nT_s] - v_o[(n-1)T_s])C_2 = C_1(v_1[(n-1/2)T_s] - v_2[nT_s]), \quad (5.15)$$

por lo que la función de transferencia en el dominio  $z$  resultante será:

$$v_o(z) = \frac{C_1}{C_2} \cdot \frac{v_1(z)z^{-1/2} - v_2(z)}{1 - z^{-1}}. \quad (5.16)$$

Si no se utilizan interruptores en la salida del integrador, la función de transferencia resultante permanece como (5.16).

La figura 5.4 muestra la implementación de un modulador  $\Sigma\Delta$  de primer orden que utiliza un integrador analógico discreto en configuración completamente diferencial.



**Figura 5.4** Modulador sigma-delta de primer orden, de un solo bit en configuración completamente diferencial.

## 5.4 Efectos de Ruido en el Modulador Sigma-Delta

Puede considerarse que el ruido total que afecta al modulador sigma-delta proviene de tres fuentes distintas: ruido de cuantificación, ruido debido al diseño de los circuitos y ruido causado por la variación en el periodo de la señal de reloj, término conocido en Inglés como *clock jitter*. En el capítulo 4 se realizó un análisis funcional del modulador sigma-delta, en el cual se incluyeron los efectos del ruido de cuantificación, por lo que en este capítulo se analizarán los efectos de ruido causados por el diseño de los circuitos y por la variación del periodo de la señal de reloj.

### 5.4.1 Efectos de Ruido debidos al Diseño de los Circuitos

En la sección 4.3.1 se realizó un análisis funcional de un modulador sigma-delta pasa-bajas de primer orden ideal, es decir, en las ecuaciones obtenidas no se contemplan afectaciones debidas al proceso de fabricación o limitaciones de diseño de los dispositivos.

Ya que el diseño propuesto para el modulador  $\Sigma\Delta$  es de un solo bit de salida, el convertidor D/A del lazo de retroalimentación (Fig. 4.11) puede ser implementado por un comparador de dos estados que elegirá únicamente los valores analógicos  $V_{DD}$  y  $GND$ , por lo que puede asumirse que este bloque no altera los resultados ideales, sin embargo, el camino principal del modulador está compuesto por dos bloques: integrador y convertidor A/D, cuyos diseños eléctricos modificarán la respuesta ideal del modulador. A continuación se describen algunas de las no linealidades generadas por estos bloques.

#### 5.4.1.1 No Linealidades Generadas en el Bloque Integrador

Según [17], las principales fuentes de las no linealidades ocurridas en un modulador sigma-delta pasa-bajas de primer orden con un solo bit de salida debidas al bloque integrador son las siguientes:

- a) Ganancia del OTA.
- b) Tiempo de ajuste del OTA (*settling time*).
- c) Voltaje de desvío (*offset*) del OTA.
- d) Ruido referido a la entrada del OTA.

Enseguida se realiza un análisis de la afectación de cada una de las no linealidades de la lista anterior en las ecuaciones de comportamiento del bloque integrador.

**Ganancia del OTA.** Las funciones de transferencia del bloque integrador obtenidas en la sección 5.3 asumen un comportamiento ideal del amplificador operacional de transconductancia. Para un OTA real, si la ganancia de este dispositivo es baja, la carga acumulada en el capacitor de entrada  $C_1$  no es transferida en su totalidad al capacitor de

retroalimentación  $C_2$ . El siguiente análisis se realiza con el fin de poder determinar qué tan alta debe ser la ganancia del OTA para la correcta transferencia de carga en el circuito integrador.

Considere a  $A_{OL}(f)$  como la ganancia en lazo abierto del OTA dependiente de la frecuencia, entonces el voltaje de salida del OTA estará dada por:

$$v_o = A_{OL}(f)(v_+ - v_-), \quad (5.17)$$

donde  $v_+$  es la terminal de entrada no inversora del OTA y  $v_-$  es la terminal de entrada inversora del OTA. Si se sigue el procedimiento utilizado para obtener (5.16), puede reescribirse (5.14) considerando la ganancia finita del OTA:

$$Q_2 = C_1 \left( v_{cm} - \frac{v_o[nT_s]}{A_{OL}(f)} - v_2[nT_s] \right), \quad (5.18)$$

por lo que (5.16) puede reescribirse como:

$$v_o(z) = \frac{C_1}{C_2} \cdot \frac{v_1(z)z^{-1/2} - v_2(z)}{\left(1 + \frac{C_1}{C_2} \frac{1}{A_{OL}(f)}\right) - z^{-1}}. \quad (5.19)$$

Retomando (4.17), que es la relación Entrada/Salida de un modulador con retroalimentación; si el modulador es de tipo conformado de ruido, (4.17) resulta en:

$$Y(z) = \frac{A(z)}{1+A(z)} \cdot X(z) + \frac{1}{1+A(z)} \cdot E_{Qe}(z), \quad (5.20)$$

se considera que  $B(z) = 1$  en (4.17), ver figura 4.8. Si además se asume que la ganancia  $G_{LP}$  del modulador también es uno, entonces:

$$Y(z) = \frac{z^1}{1 + \frac{C_1}{C_2} \frac{1}{A_{OL}(f)}} \cdot X(z) + \frac{1 + 1 + \frac{C_1}{C_2} \frac{1}{A_{OL}(f)} - z^{-1}}{1 + 1 + \frac{C_1}{C_2} \frac{1}{A_{OL}(f)}} \cdot E_{Qe}(z), \quad (5.21)$$

con el término de error:

$$\varepsilon_{ganancia} = \frac{c_1}{c_2} \cdot \frac{1}{A_{OL}(f)}. \quad (5.22)$$

Si el término de error tiende a cero (lo que se desea), (5.21) se convierte en (5.20).

Para determinar el incremento en el nivel de ruido de salida del modulador, es necesario analizar la función de transferencia del ruido que incluya los efectos de error de ganancia. A partir del término de ruido de cuantificación en (4.20) se tiene:

$$NTF_{\varepsilon}(z) = (1 + \varepsilon_{ganancia} - z^{-1}), \quad (5.23)$$

o bien, en el dominio de la frecuencia [17]:

$$|NTF_{\varepsilon}(f)|^2 = 2(1 + \varepsilon_{ganancia}) \left(1 - \cos 2\pi \frac{f}{f_s}\right) + \varepsilon_{ganancia}^2. \quad (5.24)$$

Suponiendo que la ganancia  $A_{OL}(f)$  del OTA es constante desde  $CD$  hasta  $f_B$  y tomando las mismas consideraciones usadas para obtener (4.30), la potencia del ruido de cuantificación considerando el término de error resulta en:

$$V_{Qe,RMS}^2 = 2 \cdot \frac{V_{LSB}^2}{12f_s} \left[ 4(1 + \varepsilon_{ganancia}) \frac{\pi^2}{3f_s^2} \cdot \left(\frac{f_s}{2 \cdot OSR}\right)^3 + \varepsilon_{ganancia}^2 \cdot \frac{f_s}{2 \cdot OSR} \right]. \quad (5.25)$$

por lo que (4.31) puede reescribirse como:

$$SQNR_{\varepsilon} = 6.02N + 1.76 - 20 \log \frac{\pi}{\sqrt{3}} + 20 \log OSR^{3/2} - 10 \log(1 + \varepsilon_{ganancia}) \text{ (en dB)}. \quad (5.26)$$

**Tiempo de ajuste del OTA.** Suponiendo que el tiempo de ajuste tiene un comportamiento lineal y no está limitado por la capacidad de carga o *slew – rate* (capacidad del OTA para cargar y descargar la capacitancia de carga  $C_L$  en un periodo de



tiempo menor al período de muestreo), el cambio en la salida del OTA puede expresarse como:

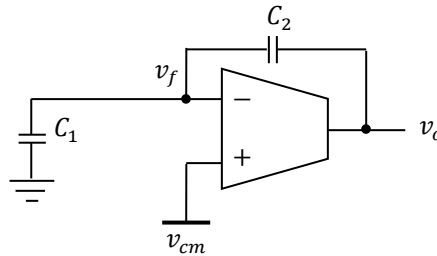
$$V_{sal} = V_{sal-final} \left(1 - \frac{1}{2^{N+1}}\right) = V_{sal-final} (1 - e^{-t/\tau}), \quad (5.27)$$

donde

$$\tau = \frac{1}{2\pi f_u \beta}, \quad (5.28)$$

siendo  $\tau$  el tiempo de ajuste de la señal,  $\beta$  es el factor de retroalimentación (ver figura 5.5 y ecuación 5.29) y  $f_u$  la frecuencia de ganancia unitaria (frecuencia a la cual la ganancia en lazo abierto del OTA es unitaria).

$$\beta = \frac{C_2}{C_1 + C_2}. \quad (5.29)$$



**Figura 5.5** Factor de retroalimentación del integrador analógico discreto.

En la figura 5.5

$$v_f = \beta \cdot v_o = v_o \cdot \frac{C_2}{C_1 + C_2}. \quad (5.30)$$

Por lo tanto, modificando (5.16) para incluir el error de ganancia se tiene:

$$v_o(z) = \frac{C_1}{C_2} \cdot (1 - e^{-\pi\beta(f_u/f_s)}) \cdot \frac{v_1(z)z^{-1/2} - v_2(z)}{1 - z^{-1}}. \quad (5.31)$$

**Voltaje de desvío del OTA.** Este voltaje puede elevar o disminuir el nivel de voltaje medio de la señal en el modulador, ya que el voltaje de desvío del OTA será el voltaje de desvío de todo el sistema. Para un OTA con entrada diferencial, si ambos voltajes de

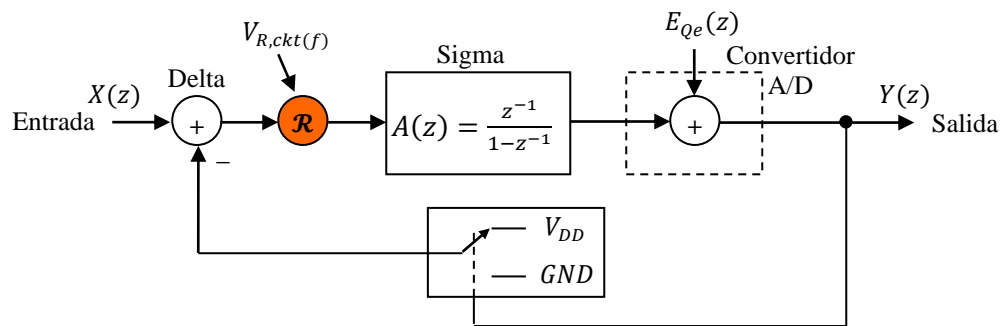
entrada son iguales a  $v_{cm}$ , entonces el voltaje de salida debe ser  $v_{cm}$ . Si esto no ocurre, se dice que existe un voltaje de desvío sistemático y puede corregirse mediante la modificación de relaciones de aspecto de los transistores [21], realizando un procedimiento iterativo de modificación de relaciones de aspecto y obtención de resultados por simulación.

**Ruido referido a la entrada del OTA.** Debido a que el bloque integrador es el bloque de entrada en el modulador  $\Sigma\Delta$ , la fuente de ruido referido a la entrada del modulador también es el ruido referido a la entrada del integrador. En el bloque integrador, las señales de entrada ingresan a través del OTA, de ahí que el ruido referido a la entrada del integrador o del modulador puede considerarse como el ruido referido a la entrada del OTA.

El modulador  $\Sigma\Delta$  es un sistema con lazo de retroalimentación, entonces el ruido referido a la entrada del OTA está compuesto por las no linealidades de los bloques de integración y de conversión A/D (ver Fig. 5.6 y ecuación 5.32).

$$V_{R,ckt}(f) = \sqrt{V_{R,DAI}^2(f) + V_{R,comp}^2(f)}, \quad (5.32)$$

donde  $V_{R,ckt}(f)$  es el ruido referido a la entrada del modulador,  $V_{R,DAI}(f)$  es el ruido referido a la entrada del integrador analógico discreto y  $V_{R,comp}(f)$  es el ruido referido a la entrada del convertidor A/D (circuito comparador debido a que el modulador es de un solo bit de salida), todos, en función de la frecuencia.



**Figura 5.6** Contribución de los bloques de integración y de conversión A/D al ruido referido a la entrada del modulador sigma-delta.

En la figura 5.6, el bloque de conversión D/A del lazo de retroalimentación se ha sustituido por un interruptor de dos vías.

Si se asume que el ruido referido a la entrada del modulador (y por consiguiente al bloque integrador) es blanco y está limitado a una frecuencia  $f_s/2$ , tal que:

$$V_{R,ckt}(f) = \frac{V_R}{\sqrt{f_s}}, \quad \text{para } f < f_s/2 \quad (5.33)$$

por lo tanto, si la salida del modulador pasa a través de un filtro pasa-bajas ideal con ancho de banda  $f_B = f_s/OSR$ , resultará:

$$V_{R,ckt,RMS} = \sqrt{2 \cdot \int_0^{f_B} \frac{V_R^2}{f_s} \cdot df} = \frac{V_R}{\sqrt{OSR}}. \quad (5.34)$$

#### 5.4.1.2 No Linealidades Generadas en el Bloque de Conversión A/D

Como se mencionó en la página anterior, para el bloque de conversión A/D (implementado con un comparador) tanto el voltaje de desvío como el ruido referido a la entrada del comparador pueden afectar el desempeño del modulador debido al lazo de retroalimentación. Debido a la alta ganancia del bloque de integración las no linealidades vinculadas al bloque de conversión A/D se ven disminuidas de acuerdo a la siguiente ecuación:

$$V_{R,comp}(f) \rightarrow \frac{V_{R,comp}(f)}{A(f)}, \quad (5.35)$$

donde  $A(f)$  es la ganancia del bloque integrador en función de la frecuencia. Por lo que una mayor ganancia en el bloque integrador da cierto margen de tolerancia a un diseño con bajo desempeño en el bloque de conversión A/D.

Cuando la salida del bloque de conversión A/D cambia de estado, la salida del bloque de integración cambia al menos en:

$$d_{DAI} = G_I \cdot (V_{DD} - v_{cm}) = \frac{C_1}{C_2} \cdot \frac{V_{ref+} - V_{ref-}}{2}, \quad (5.36)$$

donde  $d_{DAI}$  es el cambio en la salida del integrador y  $G_I$  es la ganancia del bloque integrador (ver Fig. 4.29) dada por la razón  $C_1/C_2$  que son las capacitancias del bloque integrador. A medida en que el voltaje de desvío del comparador sea menor y la ganancia del comparador crezca, el comparador será más sensible y realizará una transición de salida completa cuando reciba un cambio en su señal de entrada igual al valor dado por (5.36).

#### 5.4.2 Efectos de Ruido debidos a la Variación del Periodo de la Señal de Reloj

La figura 5.7 ejemplifica el error que puede generarse al tomar la muestra de la señal de entrada si existe una variación en el periodo de la señal de reloj. En la figura,  $\Delta V_s$  es el error en la toma de muestra de la señal,  $\Delta T_s$  es la apertura de la variación del periodo de la señal de reloj,  $T_s$  es el periodo de la señal de reloj (periodo de la señal de muestreo) y  $t$  es el tiempo.

Suponiendo una señal de entrada  $x(t)$  de la forma:

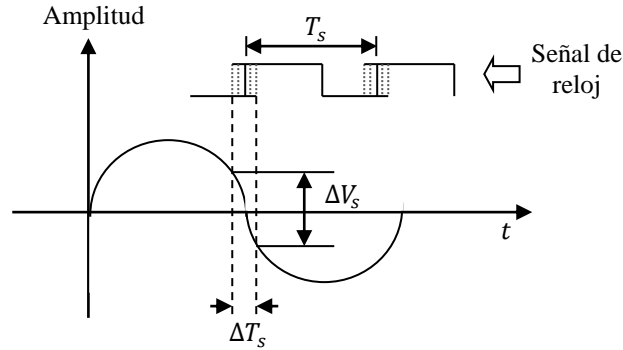
$$x(t) = V_p \text{sen}(2\pi f_{in} t), \quad (5.37)$$

donde  $V_p$  es el voltaje pico de la señal y  $f_{in}$  su frecuencia. La razón de cambio de esta señal en el punto de muestreo será:

$$\frac{d}{dt}(V_p \text{sen}(2\pi f_{in} t)) = 2\pi f_{in} V_p \cdot \cos(2\pi f_{in} t), \quad (5.38)$$

que puede definirse como la relación de la incertidumbre en el instante de la toma de muestra con la incertidumbre del valor de voltaje obtenido en la muestra, es decir:

$$\frac{\Delta V_s}{\Delta T_s} = 2\pi f_{in} V_p \cdot \cos(2\pi f_{in} t). \quad (5.39)$$



**Figura 5.7** Señal de entrada al modulador sigma-delta y señal de reloj con variación del periodo.

En (5.39), el término de coseno recorre el espectro de error de muestreo a una frecuencia  $f_{in}$ , por lo que en las siguientes ecuaciones no será considerado. Retomando el error de cuantificación (capítulo 4), si se requiere que la incertidumbre en el voltaje de muestra  $\Delta V_s$ , sea como máximo  $0.5LSB$  (ver ecuación 4.4) y que:

$$V_p = \frac{V_{ref+} - V_{ref-}}{2}, \quad (5.40)$$

entonces, la variación máxima pico-pico del periodo de la señal de reloj  $\Delta T_s$  para un convertidor en particular será:

$$\Delta T_s \leq \frac{1}{2^N} \cdot \frac{1}{2\pi f_{in}}. \quad (5.41)$$

A partir de (5.41) se observa que para una implementación real de un convertidor de datos, la resolución (número de bits) final es menor que la resolución ideal calculada si el periodo de la señal de reloj no es ideal (presenta variación).

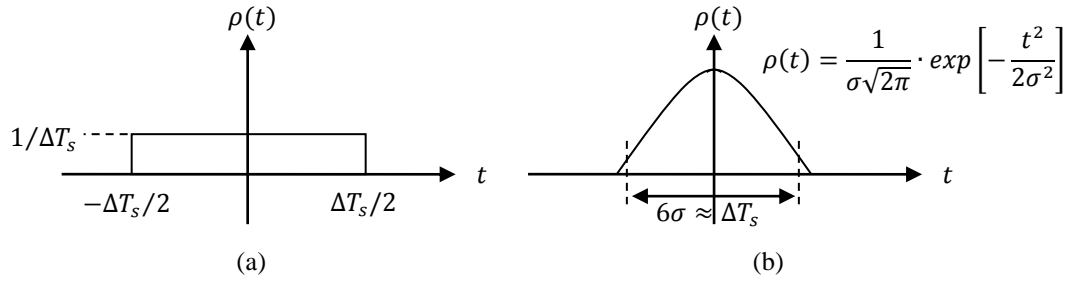
Ya que la variación del periodo de la señal de reloj es una señal aleatoria, las funciones de densidad de probabilidad  $\rho(t)$  de la figura 5.8 pueden emplearse para analizar el espectro de este tipo de señales (señales aleatorias). La figura 5.8a representa una señal aleatoria que puede ocurrir dentro de dos límites y que existe igual probabilidad de ocurrencia en cualquier lugar de la región. La figura 5.8b asume que la variación del periodo de la señal de reloj presenta una distribución Gaussiana alrededor de un valor promedio.

Despejando  $\Delta V_s$  de (5.39) y considerando que  $\Delta T_s \rightarrow \sigma$  (figura 5.8b):

$$\Delta V_s = \sigma \cdot V_p 2\pi f_{in}. \quad (5.42)$$

Si lo que se desea conocer es la potencia promedio  $P_{prom,jitter}$  [17], entonces:

$$P_{prom,jitter} = \sigma^2 \cdot \frac{(V_p 2\pi f_{in})^2}{2}. \quad (5.43)$$



**Figura 5.8** Distribuciones de probabilidad empleadas para emular la incertidumbre en la variación del periodo de la señal de reloj. (a) Igual probabilidad de ocurrencia en cualquier tiempo dentro de los límites pico-pico, (b) distribución Gaussiana de probabilidad.

Para conocer la afectación total de ruido en el modulador sigma-delta debida a ruido de cuantificación, ruido de circuito y ruido causado por la variación en el periodo de la señal de reloj se tiene:

$$V_{ruido,RMS} = \sqrt{V_{Qe,RMS}^2 + V_{jitter,RMS}^2 + V_{ckt,RMS}^2}, \quad (5.44)$$

donde 
$$V_{jitter,RMS} = \sqrt{P_{prom,jitter}} \quad (5.45)$$

y 
$$V_{ckt,RMS} = \sqrt{2 \int_0^{f_B} \frac{V_R^2}{f_s} df}. \quad (5.46)$$

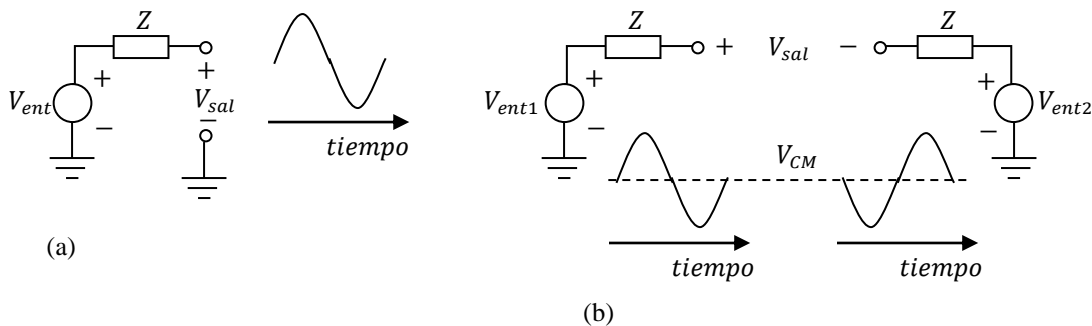
Por lo que 
$$SNR = 20 \cdot \log \frac{V_p/\sqrt{2}}{V_{ruido,RMS}}. \quad (5.47)$$

De (5.44) y (5.47) puede resumirse que el parámetro SNR puede verse afectado (disminuido) por un mal diseño geométrico y por señales de reloj inestables. Con respecto al ruido de cuantificación, este es inherente al proceso de conversión, en particular, a la resolución del convertidor (número de bits).

## 5.5 Topologías de OTAs

La primer consideración para elegir la topología a emplear en el diseño de un OTA y que tiene repercusión en la operación general del sistema es si el diseño será en modo común o diferencial [22]. Una señal en modo común se define como aquella que es medida con respecto a un potencial fijo, usualmente  $GND$  (figura 5.9a). Una señal diferencial es aquella que es medida entre dos nodos que contienen excursiones de la misma señal pero de signo opuesto con respecto a un potencial fijo (voltaje de modo común  $V_{CM}$ ), ver figura 5.9b.

Algunas ventajas de operar en modo diferencial son: tener una mayor inmunidad al ruido ambiental o bien a fuentes de voltaje ruidosas, mayor linealidad, polarizaciones sencillas [22]. Una desventaja de las topologías diferenciales es que ocupan el doble de área que las topologías en modo común, pero regularmente las topologías en modo común emplean etapas para suprimir el ruido, que equipara el gasto de área usado en modo diferencial.



**Figura 5.9** (a) Señal en modo común y (b) señal en modo diferencial.

Las estructuras de OTAs también pueden dividirse en topologías de una etapa y topologías de dos etapas. Las topologías de una etapa más utilizadas son de tipo folded-

cascode (figura 5.10) y las de tipo cascode- telescópico (figura 5.11), ambas topologías en configuración completamente diferenciales (entrada diferencial-salida diferencial). Las estructuras de tipo folded-cascode requieren dos ramas de corriente más que la estructura cascode-telescópico y los transistores de entrada contribuyen a la generación de ruido en la salida. La estructura cascode-telescópico consume menor potencia y es capaz de generar la ganancia requerida, su desventaja es que si se desea aumentar la ganancia, esto puede lograrse aumentando el número de transistores en el arreglo cascode, lo cual implica una disminución del barrido de salida (es necesario un nivel de voltaje mayor para polarizar adecuadamente a todos los transistores).

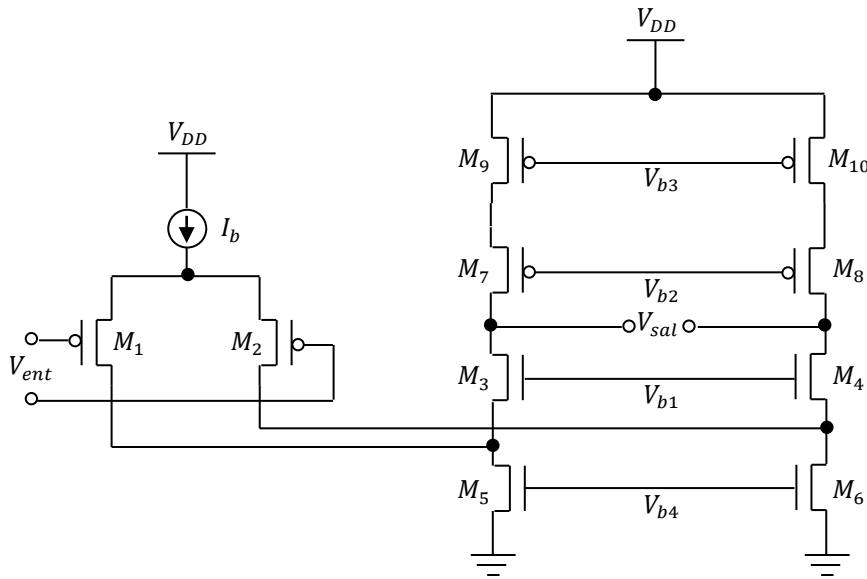
En general, una topología de tipo folded-cascode presenta un barrido de voltaje ligeramente mayor que la topología de tipo cascode-telescópico pero presenta mayor disipación de potencia, menor ganancia de voltaje, posición de polos a más baja frecuencia y mayor ruido [22], sin embargo la topología de tipo folded-cascode se utiliza de modo más frecuente debido entre otras cosas a que la elección del voltaje de modo común es sencilla. En la topología de tipo cascode-telescópico se debe tener especial cuidado con la elección de los tres voltajes de polarización (ver figura 5.11), lo cual tiene afectación en el nivel de voltaje de modo común y en las polarizaciones de los transistores PMOS y NMOS mientras que en la topología de tipo folded-cascode únicamente debe cuidarse las polarizaciones de los transistores PMOS y NMOS.

Si se utiliza un diseño de dos etapas (figura 5.12), la primera etapa puede proveer una alta ganancia y la segunda un barrido de salida grande es decir, un diseño topológico de dos etapas aísla las características de diseño para el aumento de ganancia y para el aumento de barrido de salida. Sin embargo, esta topología implica una mayor complejidad de diseño ya que cada etapa provee al menos un polo en la función de transferencia en lazo abierto, lo que puede dificultar asegurar la estabilidad cuando se utilice el OTA en un sistema con retroalimentación.

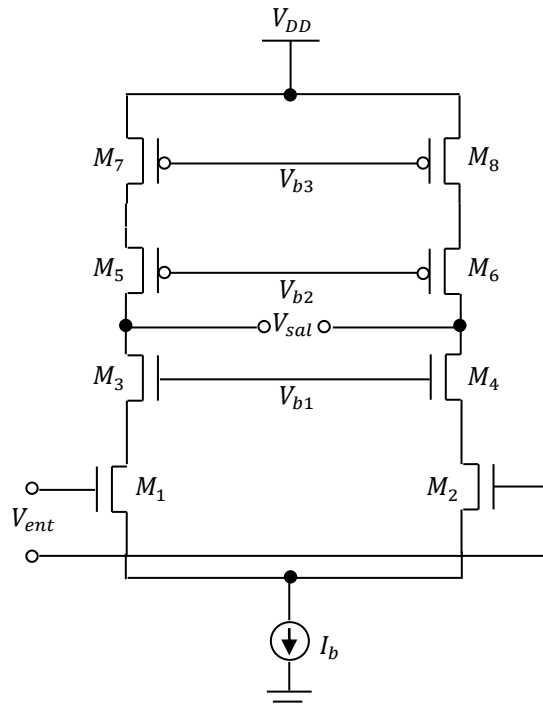
Debido a la tecnología CMOS a emplear en el diseño del modulador  $\Sigma\Delta$  ( $1.2\mu m$ , pozo  $n$ , con  $V_{DD} = 5V$ ), la topología cascode-telescópico en configuración completamente diferencial ofrece la ventaja de alcanzar la ganancia requerida sin limitar significativamente el barrido de salida y comparado con un diseño de dos etapas, es más sencillo asegurar su



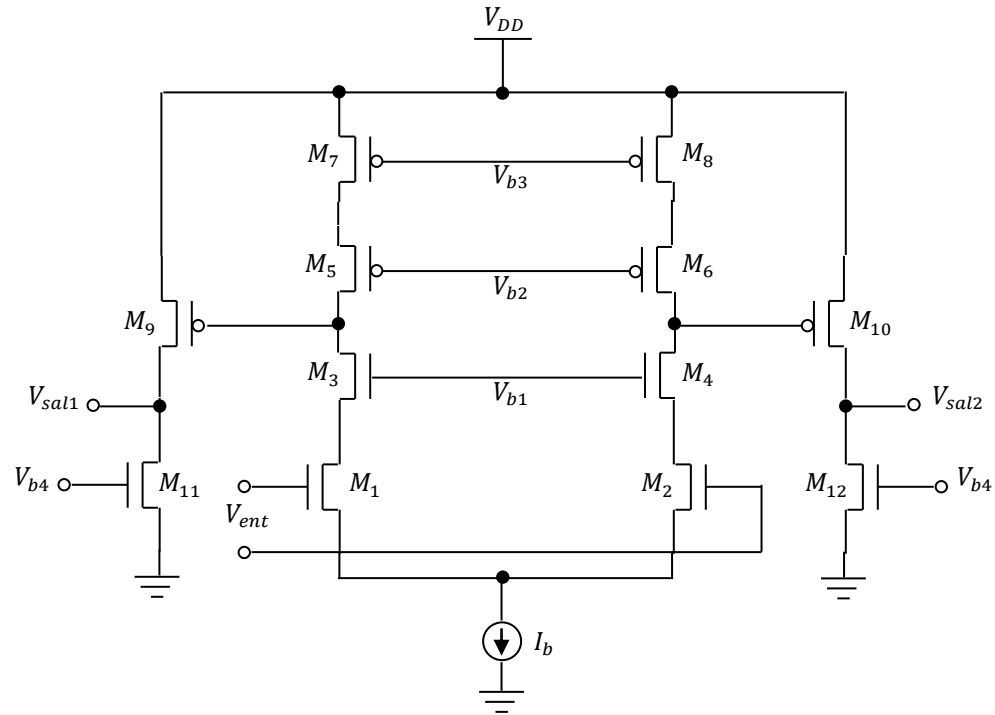
estabilidad para operar en un sistema con retroalimentación, como es el caso del modulador  $\Sigma\Delta$ .



**Figura 5.10** Topología de un OTA completamente diferencial en configuración folded-cascode.



**Figura 5.11** Topología de un OTA completamente diferencial en configuración cascode-telescópico.



**Figura 5.12** Configuración de OTA de dos etapas completamente diferencial con arreglo cascode.

### 5.5.1 Circuito de Retroalimentación en Modo Común (CMFB)

Se ha mencionado que el utilizar un OTA en modo diferencial ayuda a disminuir los efectos de interrupción en los circuitos que utilizan capacitores conmutados. Cuando se implementa una topología completamente diferencial, como es el caso de este trabajo de tesis, se requiere implementar un *circuito de retroalimentación en modo común* (CMFB), ya que debido a la alta ganancia del dispositivo, el nivel de voltaje en modo común  $v_{cm}$  de la salida es bastante sensible a diferencias de fabricación entre los transistores de cada rama y es difícil mantener este valor estable, por lo tanto, la etapa de CMFB sensa el voltaje en modo común de ambos nodos de salida y de acuerdo a esto modifica la corriente de polarización de alguna de las dos ramas del OTA. El circuito CMFB puede ser implementado con técnicas de tiempo continuo o bien con técnicas de tiempo discreto (ver figura 5.13a) [8]. Este circuito requiere dos fases de reloj no traslapadas. Cuando la fase  $\phi_1$  de reloj está en alto, la carga almacenada en los dos capacitores  $C_1$  es:

$$Q_{C1} = 2C_1(v_{cm} - v_{b3}), \quad (5.48)$$

mientras que la carga almacenada en los capacitores  $C_2$  es:

$$Q_{C2} = C_2(v_{o+} - v_{CMFB}^{\phi_1}) + C_2(v_{o-} - v_{CMFB}^{\phi_1}), \quad (5.49)$$

o bien:

$$Q_{C2} = 2C_2\left(\frac{v_{o+}+v_{o-}}{2} - v_{CMFB}^{\phi_1}\right). \quad (5.50)$$

Cuando la fase  $\phi_2$  está en alto, debido a la conservación de carga se tiene:

$$2C_2\left(\frac{v_{o+}+v_{o-}}{2} - v_{CMFB}^{\phi_1}\right) + 2C_1(v_{cm} - v_{b3}) = (C_1 + C_2)[(v_{o+} - v_{CMFB}^{\phi_2}) + (v_{o-} - v_{CMFB}^{\phi_2})], \quad (5.51)$$

$$\text{y} \quad C_1\left(v_{cm} - \frac{v_{o+}+v_{o-}}{2} + v_{CMFB}^{\phi_2} - v_{b3}\right) + C_2(v_{CMFB}^{\phi_2} - v_{CMFB}^{\phi_1}) = 0. \quad (5.52)$$

Cuando las entradas del operacional están balanceadas sucede:

$$v_{CMFB}^{\phi_2} = v_{CMFB}^{\phi_1} = v_{b3}, \quad (5.53)$$

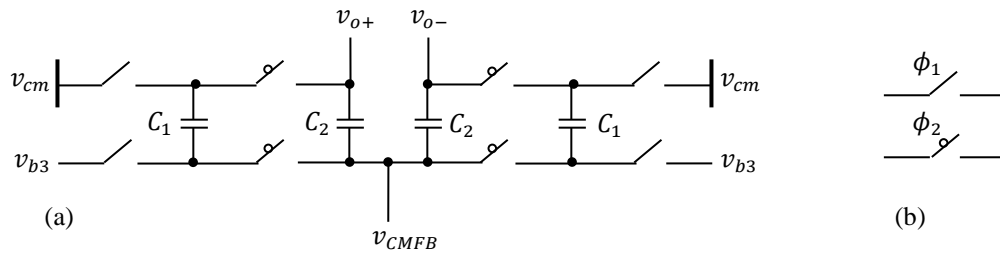
por lo que el promedio de las señales de salida es igual al voltaje en modo común:

$$\frac{v_{o+}+v_{o-}}{2} = v_{cm}. \quad (5.54)$$

Si el promedio de la señal de salida es mayor que  $v_{cm}$ ,  $v_{CMFB}^{\phi_2} > v_{CMFB}^{\phi_1}$  lo cual genera que el voltaje promedio de salida disminuya. De igual forma, si el promedio de la señal de salida es menor que  $v_{cm}$ ,  $v_{CMFB}^{\phi_2} < v_{CMFB}^{\phi_1}$ , por lo que el voltaje promedio de salida aumenta.

Para las dimensiones de los capacitores,  $C_2$  está determinado por la cantidad de carga que puede tolerarse a la salida del OTA y  $C_1$  generalmente tiene un décimo de las

dimensiones de  $C_2$ . Las dimensiones mínimas de los capacitores están limitadas por el ruido  $KT/C$  (ver sección 5.6.1).



**Figura 5.13** (a) Circuito de retroalimentación en modo común (CMFB) con capacitores conmutados.  
(b) Diagrama de fases de reloj.

## 5.6 Diseño Eléctrico del Modulador Sigma-Delta

De acuerdo con la figura 5.4, el diseño eléctrico del modulador sigma-delta de primer orden, de un solo bit de salida y en configuración completamente diferencial consta del bloque integrador (DAI), el bloque de conversión A/D y en el lazo de retroalimentación, el bloque de conversión D/A. El bloque de integración se compone de capacitores, interruptores y un OTA, a la vez, los interruptores y el OTA se componen de transistores, en este caso transistores CMOS. De igual manera que el bloque integrador, el bloque de conversión A/D se implementa a partir de un comparador. De nuevo, este bloque se compone por arreglos de transistores para formar amplificadores e interruptores. De acuerdo con la figura 5.6 y debido a que el modulador a diseñar es de un solo bit de salida, el bloque de conversión D/A en el lazo de retroalimentación se implementa mediante un selector de estado.

Este capítulo aborda algunas consideraciones de diseño que influyeron en las dimensiones finales de los dispositivos empleados. Se ha dividido el tema en el diseño de capacitores e interruptores, diseño del OTA y diseño del convertidor A/D.

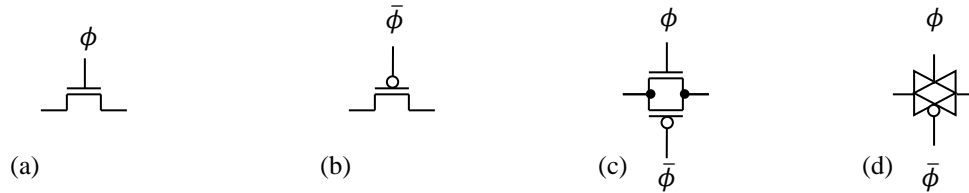
### 5.6.1 Diseño Eléctrico de Capacitores e Interruptores.

Retomando la figura 5.4, para determinar las dimensiones de los capacitores  $C_1$  y  $C_2$  (considerando que  $C'_1 = C_1$  y  $C'_2 = C_2$ ), las dimensiones de  $C_1$  están relacionadas con el ruido  $kT/C$  y el número de bits del convertidor de acuerdo a la siguiente ecuación [23]:

$$C \approx \frac{kT \cdot 12}{2^{-2N} V_{ref}^2}, \quad (5.55)$$

donde  $k$  es la constante de Boltzman,  $T$  la temperatura ambiente,  $N$  es número de bits y  $V_{ref}$  el voltaje del convertidor a escala completa. Por lo tanto, para 9 bits de resolución y un valor de  $V_{ref} = 5V$ , se obtiene un valor de  $C_1 = 0.521 \times 10^{-15}F$ , que es un valor capacitivo muy pequeño, del orden de las capacitancias parásitas generadas por efecto de diseño. De acuerdo a (5.55) para un incremento en bits de resolución del convertidor A/D, el valor de la capacitancia requerida aumenta, por lo tanto, si se utiliza el tamaño de capacitancia mínima permitida por las reglas de diseño de la tecnología a usar (valor mayor a  $0.521 \times 10^{-15}F$ ), no se afectará la resolución final del convertidor. Para las dimensiones del capacitor  $C_2$ , considerando a (5.22) y (5.29), un incremento en sus dimensiones genera una aproximación a cero del error de ganancia  $\varepsilon_{ganancia}$  y una aproximación a uno del factor retroalimentación  $\beta$ , lo cual mejora el desempeño del integrador pero se incrementa el área de diseño. Debido a esto, se propondrá un tamaño de capacitor  $C_2$  que cumpla con los requerimientos de  $SQRN$  y tiempo de ajuste requeridos por el sistema y que no comprometa el área de diseño.

Para el diseño eléctrico de los interruptores mediante tecnología CMOS, pueden usarse las configuraciones de la figura 5.14. De las tres configuraciones, la compuerta de transmisión ( $TG$ ), que es un transistor NMOS y un transistor PMOS unidos a través de sus respectivos nodos de fuente y drenador, ofrece la ventaja de un barrido de voltaje de salida a escala completa [8].



**Figura 5.14** Configuración de interruptores con tecnología CMOS. (a) NMOS, (b) PMOS, (c) Compuerta de transmisión y (d) Símbolo comúnmente utilizado para una compuerta de transmisión.

### 5.6.2 Diseño Eléctrico del OTA

En la sección 4.3 se mencionaron algunas de las características deseadas del convertidor de datos A/D (operación en tiempo discreto, 1 bit de salida, frecuencia de ancho de banda  $f_B$  de  $\sim 100\text{KHz}$  y una resolución mínima de 8 bits). Además, en la sección 5.5 se describieron las ventajas que ofrece la arquitectura de OTA cascode-telescópico para la aplicación requerida, por lo que se diseñará un OTA con esta arquitectura.

Comenzando con el diseño, considere (4.28), (4.32) y (4.38). Para un valor de  $OSR = 32$ , el incremento en bits según (4.38) es  $N_{inc} = 6.64 \text{ bits}$  y para un  $OSR = 64$ ,  $N_{inc} = 8.14 \text{ bits}$ ; obteniéndose una resolución total del convertidor de  $9 \text{ bits}$  (8 de ellos obtenidos por *sobremuestreo*). Una vez conocido el parámetro  $OSR$ , el ancho de banda  $f_B$  deseado y empleando (4.28) puede determinarse la frecuencia de muestreo  $f_s$ . Para la aplicación deseada,  $f_s = 12.8\text{MHz}$ .

Con los parámetros ya obtenidos y empleando (4.32) puede conocerse la relación señal a ruido de cuantificación  $SQNR$ , siendo este valor de  $56.79\text{dB}$ .

Algunas relaciones a considerar entre las características de operación y las características de diseño del OTA son las siguientes [8]:

La frecuencia máxima de operación está relacionada con la capacitancia de carga y con el *slew – rate* ( $SR$ ) del OTA (capacidad de cargarse o descargarse al voltaje deseado en el tiempo adecuado).

El número de bits de resolución tiene una dependencia fuerte con la razón de sobremuestreo y esta razón depende de la ganancia de  $DC$  en lazo abierto  $A_{OLDC}$  del OTA.

Para los cálculos de diseño del OTA a emplear se considerará una capacitancia de carga  $C_L = 1pF$ . Establecida la capacitancia de carga, se definirá la corriente de polarización  $I_b$  de acuerdo a la siguiente ecuación:

$$SR = \frac{dV_{out}}{dt} = \frac{I_b}{C_L}, \quad (5.56)$$

Para una frecuencia de operación de 12.8MHz, el período de muestreo  $T_s$  es de 78.125ns. Considerando al ciclo efectivo de trabajo  $T_\tau$  como el 50% de  $T_s$ , un tiempo de estabilización  $T_{sett}$  del 40% de  $T_\tau$  [8] para cargar al capacitor de 0V a 5V:

$$T_{\tau(40\%)} = T_{sett} = 0.4T_\tau = 15.625ns, \quad (5.57)$$

entonces, sustituyendo en (5.56) a  $dV_{out} = 5V$  y  $dt = T_{sett} = 15.625ns$  y estandarizando el tiempo a  $\mu s$ , se obtiene:

$$SR = \frac{5V}{15.625ns} = \frac{320V}{\mu s}, \quad (5.58)$$

por lo tanto:

$$I_b = SR \cdot C_L = \frac{320V}{\mu s} \cdot 1pF = 320\mu A. \quad (5.59)$$

De acuerdo a (5.59) y considerando que el voltaje de alimentación  $V_{DD} = 5V$ , la potencia consumida por el OTA es  $P_{OTA} = I_b \cdot V_{DD} = 1.6mW$ .

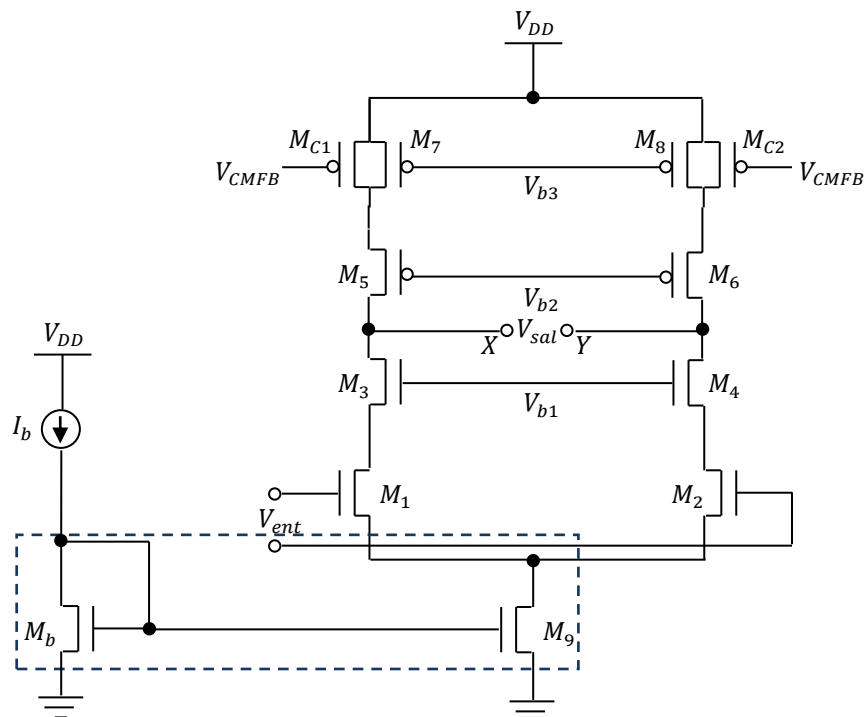
Para suministrar la corriente de polarización del OTA se usará un espejo de corriente (transistores  $M_b$  y  $M_9$  en figura 5.15). La fuente de corriente de polarización será externa.

Para determinar las dimensiones de los transistores [22] propone iniciar el diseño considerando los siguientes parámetros: voltaje de alimentación  $V_{DD}$ , el barrido diferencial de salida deseado  $OS$ , la potencia disipada  $P_{OTA}$  y la ganancia de voltaje de DC en lazo abierto  $A_{OLDC}$ .

A partir de (5.59) se determinó la corriente de polarización del OTA, la cual circulará a través de  $M_9$ . Lo cual indica que cada rama del OTA manejará una corriente de  $160\mu A$ . Para el barrido de salida, si se considera que cada nodo de salida (nodos  $X$  y  $Y$  en Fig. 5.15) debe ser capaz de manejar un barrido de  $2.5V$  sin mandar a la región de triodo a los transistores  $M_3 - M_6$ , con un voltaje de alimentación  $V_{DD} = 5V$ , entonces la caída de voltaje disponible para  $M_9$  y cada una de las ramas del OTA será de  $2.5V$ , es decir:

$$|V_{OD7}| + |V_{OD5}| + |V_{OD3}| + |V_{OD1}| + |V_{OD9}| = 2.5V, \quad (5.60)$$

donde  $V_{ODX}$  es el voltaje de sobremanejo de cada transistor, es decir, es la caída de potencial que asegura la operación del transistor en la región de saturación ( $V_{DS} \geq V_{DS,sat}$  y  $V_{GS} \geq V_{TH}$ ). Siendo  $V_{DS}$  el voltaje drenador-fuente,  $V_{DS,sat}$  el voltaje drenador-fuente mínimo para mantener al transistor en saturación,  $V_{GS}$  el voltaje compuerta-fuente y  $V_{TH}$  el voltaje de umbral de un transistor MOS.



**Figura 5.15** Espejo de corriente (recuadro segmentado) utilizado para polarizar el OTA en configuración cascode-telescopico.



$$V_{DS,sat} = V_{GS} - V_{TH}. \quad (5.61)$$

Cuando  $V_{DS} = V_{DS,sat}$ , la corriente de drenador es  $I_{D,sat}$ , dada por:

$$I_{D,sat} = \frac{KP}{2} \cdot \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{KP}{2} \cdot \frac{W}{L} (V_{DS,sat})^2 = \frac{KP}{2} \cdot \frac{W}{L} (V_{OD})^2, \quad (5.62)$$

donde  $KP$  es el parámetro de transconductancia dado por (5.63),  $W$  es el ancho de canal del transistor y  $L$  es el largo de canal del transistor. Es importante mencionar que las ecuaciones anteriores no contemplan los efectos del parámetro de modulación de largo de canal.

La Tabla 5.1 muestra los valores de los parámetros de un transistor NMOS y PMOS para la tecnología CMOS de  $1.2\mu m$ , pozo  $n$  (parámetros provistos por MOSIS, corrida T5BO).

**Tabla 5.1** Parámetros de transistores  $n$  y  $p$  para tecnología CMOS,  $1.2\mu m$ , pozo  $n$ .

| Parámetro   | Valor                        |
|---|------------------------------|
| $V_{THN}$ (voltaje de umbral de transistor tipo $n$ ) | 0.5154122V                   |
| $V_{THP}$ (voltaje de umbral de transistor tipo $p$ ) | -0.8476404V                  |
| $\mu_N$ (movilidad de electrones)                     | 629.4745546 $cm^2/V \cdot s$ |
| $\mu_P$ (movilidad de huecos)                         | 236.8923827 $cm^2/V \cdot s$ |

$$KP = \mu \cdot C_{ox}, \quad (5.63)$$

donde  $\mu$  es la movilidad de los portadores mayoritarios,  $C_{ox}$  es la capacitancia de óxido de compuerta, definida por:

$$C_{ox} = \frac{\epsilon_{ox}}{d}. \quad (5.64)$$

$\epsilon_{ox}$  es la constante dieléctrica del óxido de compuerta ( $3.97 \cdot 8.85 aF/\mu m$ ) y  $d$  es el grosor de óxido de compuerta (ver Tabla 3.1).

Debido a que  $M_9$  manejará la mayor corriente, se le asignará un voltaje de sobremanejo grande ( $500mV$ ). Para compensar la baja movilidad de los transistores tipo  $p$ , se les asignará un voltaje de sobremanejo mayor que a los transistores tipo  $n$  ( $V_{ODP} = 600mV$ ,  $V_{ODN} = 400mV$ ). Propuestos los voltajes de sobremanejo para cada transistor y conociendo las corrientes de polarización para cada rama, se obtendrán las relaciones de aspecto ( $W/L$ ) para cada transistor. Otra consideración de diseño es elegir dimensiones mínimas de largo de canal con el objetivo de mantener las capacitancias de cada dispositivo lo más pequeñas posibles. Según [8], para diseños analógicos, es recomendable que el largo mínimo de canal sea de  $4\lambda$  (donde  $\lambda$  es el parámetro de diseño usado por MOSIS para re-escalar un diseño de una tecnología a otra), en general,  $\lambda = L_{min}/2$ , es decir, la longitud mínima de canal dividido entre dos; lo anterior con el objetivo de mantener la resistencia de salida del dispositivo lo más alta posible. La Tabla 5.2 muestra las ecuaciones características de un OTA de tipo cascode telescópico [22].

En la Tabla 5.2,  $g_m$  es el parámetro de transconductancia del transistor, dado por:

$$g_m = KP \cdot \frac{W}{L} (V_{DS,sat}) \quad (5.65)$$

y  $r_o$  es la resistencia de salida del transistor, dada por:

$$r_o \approx \frac{1}{\lambda_m I_D}. \quad (5.66)$$

donde  $\lambda_m$  es el parámetro de modulación de largo de canal ( $\lambda_m = 0.1V^{-1}$  [8]).

La Tabla 5.3 muestra las relaciones de aspecto resultantes para el OTA y los valores de  $A_{OLDC}$  y  $f_u$  obtenidos de acuerdo a las ecuaciones de la Tabla 5.2.

**Tabla 5.2** Ecuaciones características del OTA de tipo cascode-telescópico.

|            |   |
|------------|---|
| $A_{OLDC}$ | $g_{m1}((g_{m3}r_{o3}r_{o1}) \parallel (g_{m5}r_{o5}r_{o7}))$ |
| $f_u$      | $\frac{g_{m1}}{C_L}$  |
| $SR$       | $\frac{I_b}{C_L}$   |
| $I_{VDD}$  | $I_b$   |

**Tabla 5.3** Relaciones de aspecto y características de OTA en configuración cascode-telescópico.

| Transistor  | Relación de aspecto ( $W/L$ ) |
|-------------|-------------------------------|
| $M_9$       | 37                            |
| $M_1 - M_4$ | 29                            |
| $M_5 - M_8$ | 34                            |
| $A_{OLCD}$  | 1000V                         |
| $f_u$       | 800MHZ                        |

De las consideraciones de diseño anteriores, debido a que el cálculo de  $r_o$  para cada transistor depende del parámetro  $\lambda_m$ , una variación pequeña de su valor afecta de forma drástica el valor de  $A_{OLCD}$ , además de que se ha considerado el mismo valor para los transistores tipo  $n$  y  $p$ . Como ya se ha mencionado, el valor de  $A_{OLCD}$  afecta la resolución final del convertidor, por lo que debe tenerse cuidado en su estimación. Debido a esto, las dimensiones finales de los transistores del OTA se evaluarán y ajustarán por simulación, empleando PSPICE.

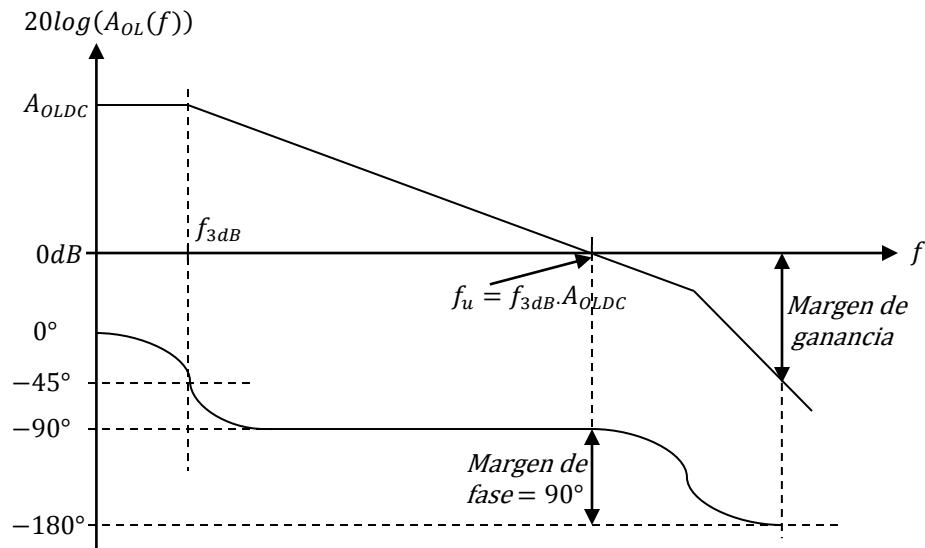
Los transistores  $M_{C1}$  y  $M_{C2}$  de la figura 5.15 son utilizados para el lazo de retroalimentación del OTA con el circuito  $CMFB$ , por lo que sus dimensiones quedan excluidas del análisis anterior.

Con respecto a la estabilidad de un amplificador operacional de transconductancia, ésta puede verse afectada por la variación de la capacitancia de carga, de la temperatura, de la potencia de alimentación. Para poder determinar que tan estable es un OTA de acuerdo a un conjunto de condiciones de operación, pueden emplearse los parámetros de margen de fase ( $MF$ ) y margen de ganancia ( $MG$ ), ver figura 5.16.

Para el parámetro  $MF$ , se obtiene el valor de la fase cuando la ganancia de lazo abierto en función de la frecuencia  $A_{OL}(f)$  es unitaria, la diferencia de fase de  $\pm 180^\circ$  al valor de fase obtenido es el  $MF$ .

El  $MG$  se determina a partir de la diferencia de la ganancia en lazo abierto de la señal y la ganancia unitaria cuando el cambio de fase es  $\pm 180^\circ$ .

Es aconsejable tener un margen de fase de  $90^\circ$  debido a que la respuesta unitaria del OTA tendrá una respuesta de primer orden (con el mínimo de oscilaciones). Si el  $MF$  decrece, la amplitud pico de la señal oscilante aumenta, con la desventaja de que puede aumentar el tiempo de ajuste del OTA.



**Figura 5.16** Magnitud de fase y magnitud de ganancia de un OTA.

Para conocer la ganancia mínima de  $CD$  en lazo abierto  $A_{OLDC}$  que debe tener el OTA para alcanzar la resolución de bits requerida en alguna aplicación, puede hacerse el siguiente análisis:

Si se sabe que el OTA debe amplificar señales dentro de un rango de  $1/2LSB$  del valor ideal y que la ganancia en lazo cerrado  $A_{CL}$  del OTA está dada por [17]:

$$A_{CL} = \frac{A_{OL}(f)}{1 + \beta \cdot A_{OL}(f)}, \quad (5.67)$$

donde  $\beta$  es el factor de retroalimentación para un DAI (ver Fig. 5.5) y  $A_{OL}(f)$  está dado por:

$$A_{OL}(f) = \frac{A_{OLDC}}{1 + j \cdot \frac{f}{f_{3dB}}}, \quad (5.68)$$

siendo  $f_{3dB}$  la frecuencia a la cual ocurre una caída de 3dB en la amplitud de la señal.

La salida del OTA usando la configuración de la figura 5.5 debe ser igual a su valor ideal menos una desviación máxima  $\Delta A$  y si la ganancia de salida del DAI sobre un ciclo de reloj, considerando la integración  $z^{-1}/[1 - z^{-1}]$  como una condición inicial de  $CD$  en el capacitor de retroalimentación  $C_2$  está dada por:

$$|A_{CL}| = \frac{C_1}{C_2}, \quad (5.69)$$

entonces

$$|A_{CL}| = \frac{C_1}{C_2} - \Delta A = \frac{A_{OLDC}}{1 + A_{OLDC} \cdot \frac{C_2}{C_1 + C_2}}. \quad (5.70)$$

Si el máximo valor para  $\Delta A$  es  $1/2LSB$  del valor de ganancia ideal, es decir:

$$\Delta A = \frac{C_1}{C_2} \cdot \frac{1/2LSB}{\text{Salida a escala completa}} = \frac{C_1}{C_2} \cdot \frac{1/2 \cdot (V_{ref+} - V_{ref-})/2^N}{(V_{ref+} - V_{ref-})} = \frac{C_1}{C_2} \cdot \frac{1}{2^{N+1}}, \quad (5.71)$$

por lo que utilizando a (5.70) y (5.71), la ganancia mínima de  $CD$  requerida en un OTA para asegurar la resolución en bits requerida del convertidor se expresa como:

$$|A_{OLDC}| \geq \frac{1}{\beta} \cdot 2^{N+1}. \quad (5.72)$$

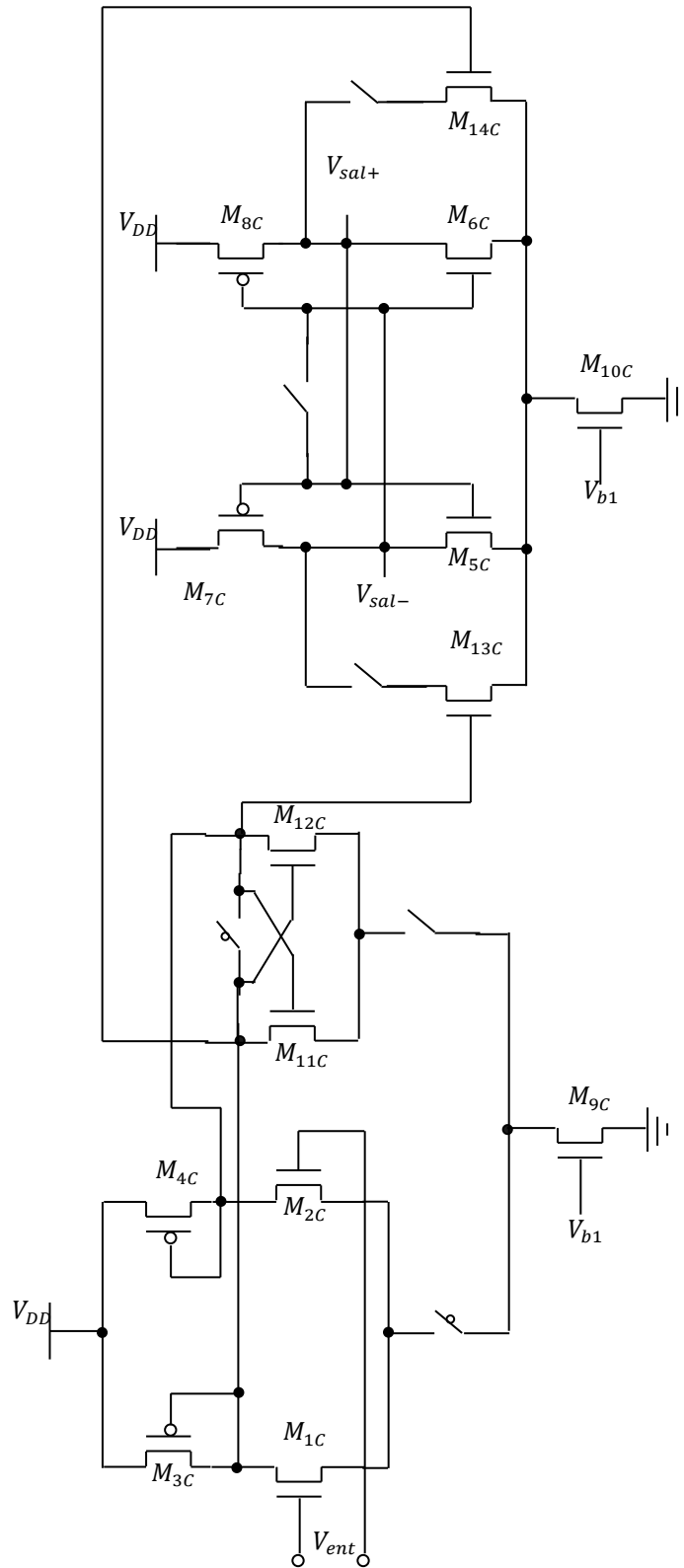
A medida que  $\beta$  disminuye de la unidad, más alta es la ganancia de  $CD$  en lazo abierto requerida para el OTA.

La frecuencia de ganancia unitaria  $f_u$  mínima a utilizar para un tiempo de ajuste  $t$  del OTA en específico (donde  $t = 1/f_{reloj}$  dentro de un rango de banda  $\pm 1/2LSB$ ) puede calcularse sin considerar limitaciones de *slew – rate* a partir de (5.27) y (5.28) como:

$$f_u \geq \frac{f_{reloj} \cdot \ln(2^{N+1})}{2\pi \cdot \beta}. \quad (5.73)$$

### 5.6.3 Diseño Eléctrico del Convertidor A/D

La etapa de cuantificación (conversión A/D) se implementa con una topología de comparador de rápida regeneración con dos etapas de amplificación [23], [24], ver figura 5.17. La primera etapa de amplificación consiste de un par diferencial de entrada ( $M_{1C}$  y  $M_{2C}$ ) y un par de transistores que forman una memoria *latch*, empleados para retener la señal ( $M_{11C}$  y  $M_{12C}$ ), ambos conectados a una carga MOS activa ( $M_{3C}$  y  $M_{4C}$ , respectivamente). En modo de restablecimiento ( $\phi_1$  en bajo y  $\phi_2$  en alto, ver Fig. 5.13b) mientras que la salida diferencial sigue a la señal diferencial de entrada, el interruptor conectado a las compuertas de  $M_{11C}$  y  $M_{12C}$  borra la decisión del ciclo de reloj anterior. La segunda etapa del comparador regenerativo es activada con una fase de reloj y provee de una excursión completa de salida a la señal generada por la memoria *latch*. En modo de restablecimiento, la salida es restablecida a través de dos líneas de descarga paralelas para una rápida regeneración. En la siguiente mitad del ciclo de reloj, los transistores  $M_{13C}$ ,  $M_{14C}$  y  $M_{10C}$  configurados por los inversores CMOS conectados en configuración cruzada ( $M_{5C} - M_{8C}$ ) manipulan la corriente de un nodo a otro acelerando el proceso de regeneración.



**Figura 5.17** Comparador regenerativo utilizado en la etapa de conversión A/D del modulador sigma-delta.

### 5.6.4 Valores y Dimensiones de Dispositivos

La Tabla 5.4 presenta las dimensiones finales de los transistores CMOS empleados en las compuertas de transmisión de la figura 5.13. La Tabla 5.5 presenta las dimensiones de transistores empleados en el diseño del OTA (Fig. 5.15) y valores de los capacitores del circuito *CMFB* (Fig. 5.13a), ambos usados en el bloque integrador del modulador sigma-delta. La Tabla 5.6 muestra las dimensiones finales de los transistores usados en el bloque de conversión *A/D* del modulador (Fig. 5.17). Las dimensiones finales de los capacitores están regidas por las dimensiones mínimas de una celda de capacitor básica (ver la sección 6.2) y en este caso, la razón  $C_2/C_1 = 6$ .

**Tabla 5.4** Dimensiones de transistores empleados en las compuertas de transmisión (interruptores) de la figura 5.13.

| Dispositivo | Dimensiones                       |
|-------------|-----------------------------------|
| $M_N$       | $W_c = 7.2\mu m, L_c = 1.2\mu m$  |
| $M_P$       | $W_c = 21.6\mu m, L_c = 1.2\mu m$ |

**Tabla 5.5** Dimensiones de transistores de la figura 5.15 y valores de capacitores empleados en el circuito *CMFB* de la figura 5.13a.

| OTA              |                                    | <i>CMFB</i> |             |
|------------------|------------------------------------|-------------|-------------|
| Dispositivo      | Dimensiones                        | Dispositivo | Valores     |
| $M_1 - M_2$      | $W_c = 198\mu m, L_c = 1.2\mu m$   | $C_1$       | $182.27 fF$ |
| $M_3 - M_4$      | $W_c = 300\mu m, L_c = 1.8\mu m$   | $C_2$       | $1.0936 pF$ |
| $M_5 - M_8$      | $W_c = 960.0\mu m, L_c = 3.6\mu m$ |             |             |
| $M_9, M_b$       | $W_c = 90.0\mu m, L_c = 2.4\mu m$  |             |             |
| $M_{C1}, M_{C2}$ | $W_c = 480.0\mu m, L_c = 3.6\mu m$ |             |             |



**Tabla 5.6** Dimensiones de transistores empleados en el bloque de conversión A/D del Modulador  $\Sigma\Delta$  de la figura 5.17.

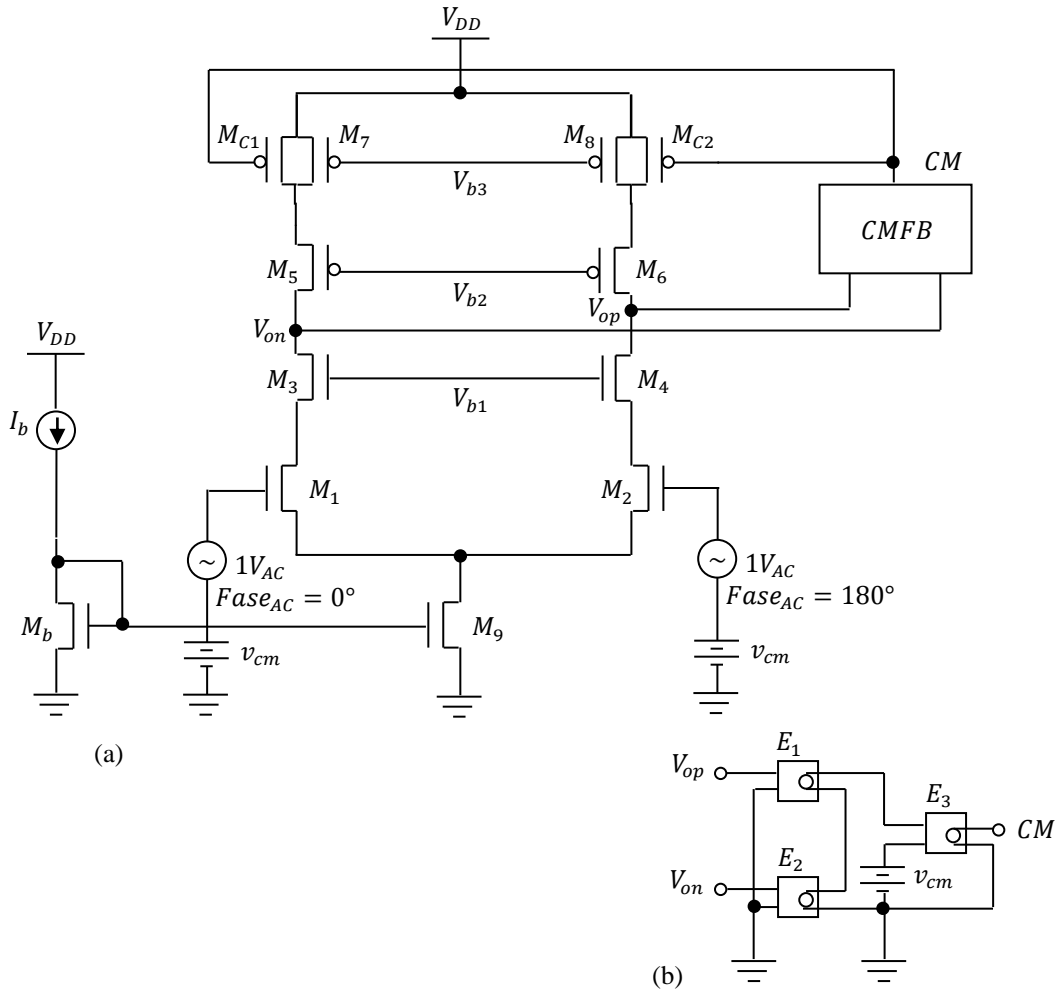
| Dispositivo         | Dimensiones                       |
|---------------------|-----------------------------------|
| $M_{1C} - M_{2C}$   | $W_c = 60\mu m, L_c = 1.2\mu m$   |
| $M_{3C} - M_{4C}$   | $W_c = 72\mu m, L_c = 3.6\mu m$   |
| $M_{5C} - M_{6C}$   | $W_c = 20.4\mu m, L_c = 1.2\mu m$ |
| $M_{7C} - M_{8C}$   | $W_c = 64.8\mu m, L_c = 3.6\mu m$ |
| $M_{9C} - M_{10C}$  | $W_c = 90\mu m, L_c = 2.4\mu m$   |
| $M_{11C} - M_{12C}$ | $W_c = 8.4\mu m, L_c = 1.2\mu m$  |
| $M_{13C} - M_{14C}$ | $W_c = 48\mu m, L_c = 1.2\mu m$   |

## 5.7 SIMULACIONES

Para las simulaciones eléctricas se utilizó el programa PSPICE, considerando el conjunto de parámetros del modelo BSIM3v3 nivel 7 que MOSIS provee. En todas las simulaciones se omitieron las diferencias de características entre transistores causados por el proceso de fabricación.

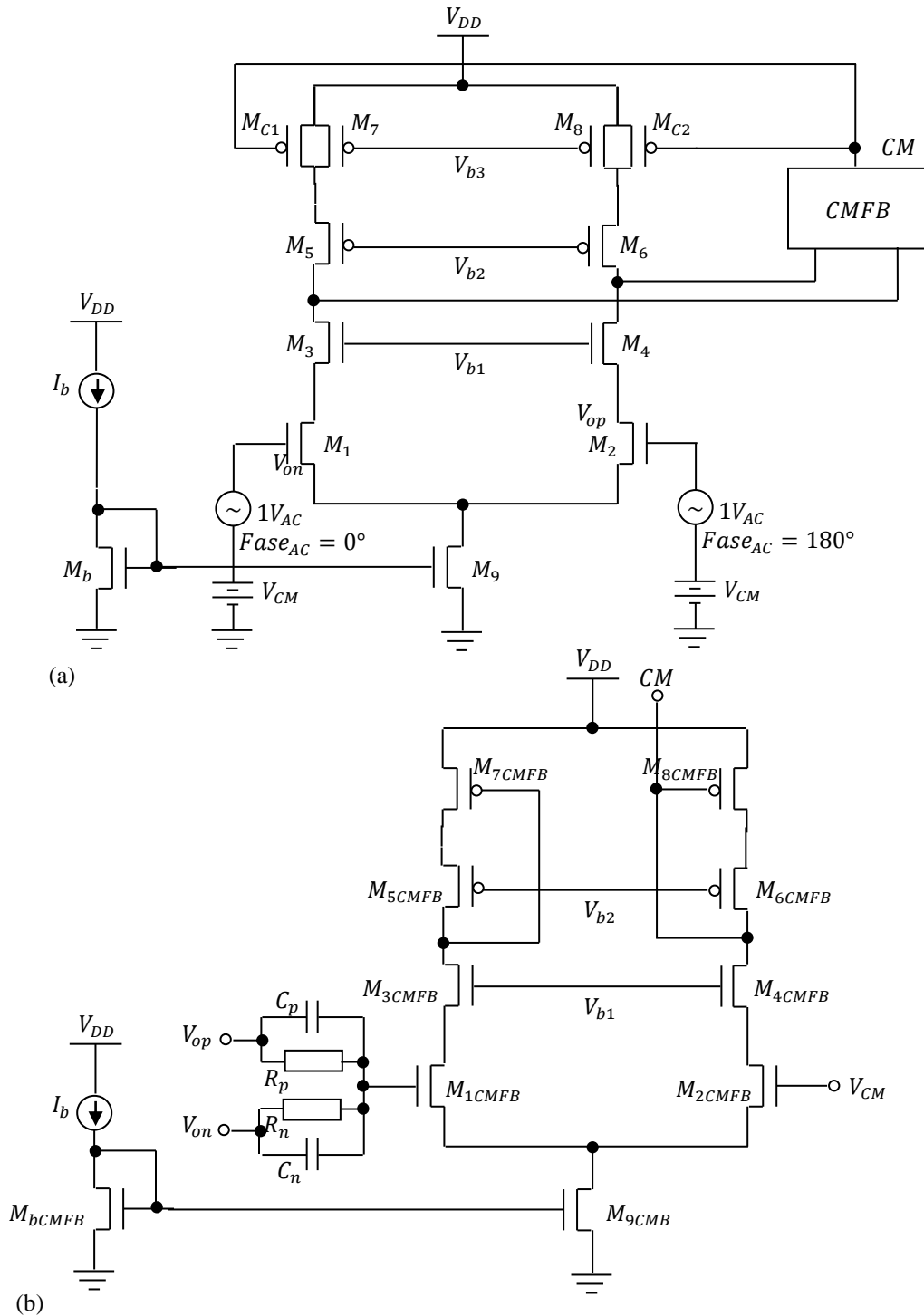
### 5.7.1 Diseño del OTA

**Análisis en CA.** En la sección 5.6.2 se mencionaron algunos criterios de estabilidad que deben cumplirse en el diseño del OTA. Para el análisis en lazo abierto y debido a que la topología completamente diferencial utilizada opera en modo discreto, para la extracción de las características  $MF$  y  $MG$  se reemplazó el circuito CMFB en tiempo discreto por dos configuraciones de circuitos CMFB en tiempo continuo, con la finalidad de obtener un estimado del comportamiento del OTA. La primera configuración se muestra en la figura 5.18. El circuito CMFB se reemplazó por un arreglo de fuentes de voltaje controladas por voltaje ideales [23], ver figura 5.18b; con ganancias para  $E_1$  y  $E_2$  de 0.5 y para  $E_3$  de  $1e3$ . Las dimensiones de los transistores se mantienen igual a los valores proporcionados en la Tabla 5.5.



**Figura 5.18** (a) OTA cascode telescópico completamente diferencial en lazo abierto. (b) Circuito CMFB en tiempo continuo emulado con fuentes de voltaje controladas por voltaje ideales.

La segunda configuración de lazo abierto en tiempo continuo se muestra en la figura 5.19. El diseño del OTA se mantiene (Fig. 5.19a) pero el circuito CMFB utiliza un OTA en configuración cascode telescópico con salida sencilla en conjunto con un arreglo de capacitor y resistencia en paralelo para las señales  $V_{op}$  y  $V_{on}$  (Fig. 5.19b), las cuales ingresan a uno de los transistores que conforman el par diferencial de entrada, la señal de entrada al otro transistor del par diferencial es  $v_{cm}$  [25].



**Figura 5.19** (a) OTA cascode telescópico completamente diferencial en lazo abierto. (b) Circuito CMFB en tiempo continuo que utiliza un OTA en configuración cascode telescópico con salida sencilla en conjunto con un arreglo de capacitor y resistencia en paralelo para las señales  $V_{op}$  y  $V_{on}$ .

La Tabla 5.7 muestra las relaciones de aspecto de los transistores del circuito CMFB de la figura 5.19b y la Tabla 5.8 muestra los valores de voltajes y corriente de polarización utilizados en la simulación de ambas configuraciones en lazo abierto. La Tabla 5.9 muestra los valores obtenidos de las características  $MG$ ,  $MF$ ,  $f_u$ ,  $A_{OLDC}$  y la frecuencia a la cual ocurre una caída de 3dB,  $f_{3dB}$  para cada una de las configuraciones. Las figuras 5.20a y 5.20b presentan las gráficas de magnitud y fase para la configuración de la figura 5.18; de igual forma, las figuras 5.21a y 5.21b presentan los diagramas de magnitud y fase para la configuración de la figura 5.19. En ambas configuraciones se utilizó una carga capacitiva de  $1pF$  y de acuerdo a los resultados de la Tabla 5.9, a excepción del valor de  $f_{3dB}$ , la configuración de la figura 5.19 arroja valores más pequeños.

**Tabla 5.7** Dimensiones de transistores, valores de resistencias y capacitancias del circuito CMFB de la figura 5.19b.

| Dispositivo             | Dimensiones                        | Dispositivo | Valores      |
|-------------------------|------------------------------------|-------------|--------------|
| $M_{1CMFB} - M_{2CMFB}$ | $W_c = 198\mu m, L_c = 1.2\mu m$   | $C_p, C_n$  | $400fF$      |
| $M_{3CMFB} - M_{4CMFB}$ | $W_c = 300\mu m, L_c = 1.8\mu m$   | $R_p, R_n$  | $800k\Omega$ |
| $M_{5CMFB} - M_{8CMFB}$ | $W_c = 960.0\mu m, L_c = 3.6\mu m$ |             |              |
| $M_{9CMFB}, M_{bCMFB}$  | $W_c = 90.0\mu m, L_c = 2.4\mu m$  |             |              |

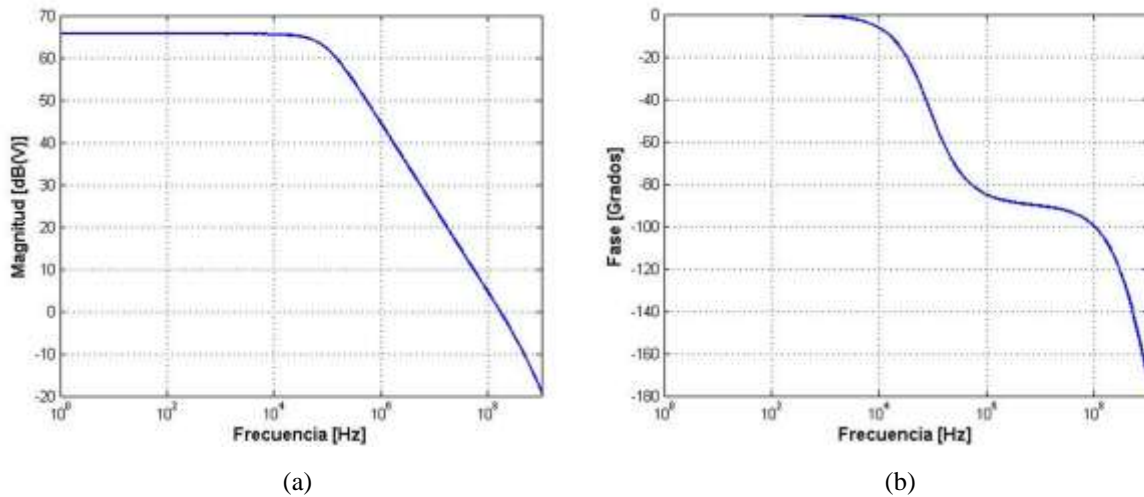
**Tabla 5.8** Voltajes y corrientes de polarización empleados en ambas simulaciones del OTA en lazo abierto.

| Voltaje/Corriente | Valor      |
|-------------------|------------|
| $V_{b1}$          | $2.85V$    |
| $V_{b2}$          | $3.3V$     |
| $V_{b3}$          | $3.935V$   |
| $I_b$             | $320\mu A$ |

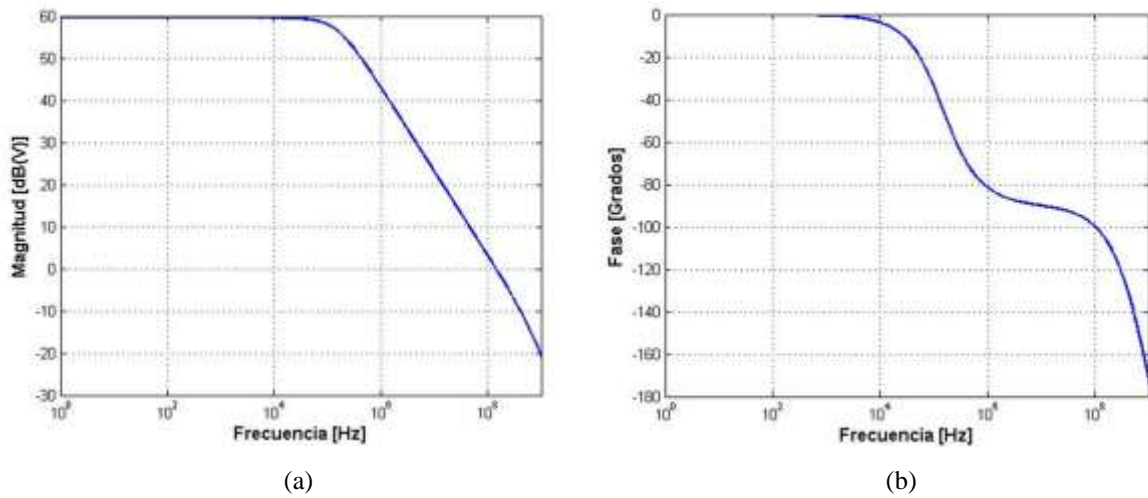
**Tabla 5.9** Análisis en AC del OTA empleando dos configuraciones de CMFB en tiempo continuo.

| Característica | Valores obtenidos |             |
|----------------|-------------------|-------------|
|                | Figura 5.18       | Figura 5.19 |
| $MG$           | 20.69dB           | 18.69dB     |
| $MF$           | 72.82°            | 72.48°      |
| $f_u$          | 166.33MHz         | 141.27MHz   |
| $A_{OLDC}$     | 65.55dB           | 59.58dB     |
| $f_{3dB}$      | 87.99KHz          | 148.27KHz   |

Los valores obtenidos del análisis en CA se evalúan en las distintas ecuaciones descritas en el capítulo 5.4 para estimar los efectos de las no linealidades en el modulador sigma-delta debidas al proceso de diseño del OTA. En la sección 5.4.1.1 se mencionó que para obtener (5.26) se considera que la ganancia  $A_{OL}(f)$  del OTA es constante desde  $CD$  hasta  $f_B$ . Debido a que el valor de  $A_{OL}(f)$  no es constante en todo el ancho de banda, se considerará el valor de  $A_{OL}(f)$  a la frecuencia donde ocurre la caída de los 3dB (ver Tabla 5.9). Para la figura 5.20a resulta un valor de  $SQNR_\epsilon = 56.782dB$  y para la figura 5.21a  $SQNR_\epsilon = 56.781dB$  (en ambos resultados considere a (5.22) y los valores de los capacitores  $C_1$  y  $C_2$  presentados en la Tabla 5.5).



**Figura 5.20** Diagramas de Bode del OTA en configuración completamente diferencial obtenidos por simulación para la configuración de la figura 5.18. (a) Magnitud y (b) fase.



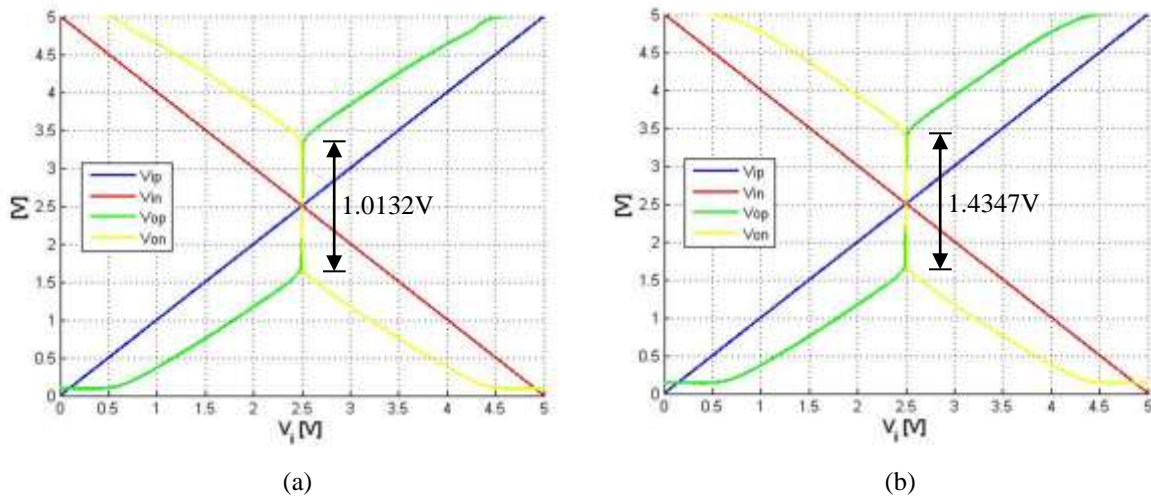
**Figura 5.21** Diagramas de Bode del OTA en configuración completamente diferencial obtenidos por simulación para la configuración de la figura 5.19. (a) Magnitud y (b) fase.

De (4.32), al utilizar un valor de  $OSR = 64$ , se espera un valor de  $SQNR = 56.79$  para obtener un incremento de 8.14bits pero en el peor escenario, con el valor  $SQNR_{\epsilon} = 56.781dB$  se tiene un incremento de 8.139bits, que es una afectación mínima en el funcionamiento del sistema. Puede utilizarse la ecuación (4.12) para conocer el número de bits efectivos en función del valor de SQNR (en este caso,  $SQNR_{\epsilon}$ ). El límite inferior que puede alcanzar  $SQNR_{\epsilon}$  es el de 55.94dB ya que genera exactamente un incremento de 8bits.

Para la figura 5.20a y 5.20b, el valor de  $A_{OL}(f)$  a la frecuencia de 100KHz es de 61.97dB y de 57.96dB, respectivamente. Si se sustituyen estos valores en (5.26), resulta  $SQNR_{\epsilon} = 56.782dB$  y  $SQNR_{\epsilon} = 56.781dB$ ; por lo que en ambas configuraciones el OTA proporciona el número de bits necesarios en el ancho de banda propuesto.

También es posible evaluar el comportamiento que el OTA tendrá en el bloque de integración si se emplea (5.28) para conocer  $\beta$  y se evalúa en (5.72) y (5.73). De acuerdo a las dimensiones de capacitancias propuestas,  $\beta = 0.8571$ , lo cual genera un valor de  $A_{OLDC} = 61.54dB$  (mayor al obtenido en el análisis de CA de la configuración de la figura 5.19). Al sustituir  $\beta$  en (5.73) y emplear una frecuencia de reloj de 12.8MHz, el valor de  $f_u$  mínimo es de 16.47MHz.

**Análisis en CD.** Para la obtención del voltaje de barrido de salida (*output swing*) de nuevo se implementaron las configuraciones de las figuras 5.18 y 5.19, en ambas, se ingresó al OTA un barrido de voltaje de  $0V - 5V$  para la entrada positiva  $V_{ip}$  y de  $5V - 0V$  para la entrada negativa  $V_{in}$ . La figura 5.22 muestra las respuestas. Nótese que el punto de inflexión de ambas señales de salida (salida positiva  $V_{op}$  y salida negativa  $V_{on}$ ) ocurre a  $2.5V$ , que es el voltaje en modo común  $V_{cm}$ . En ambas simulaciones el OTA genera una región de alta ganancia (razón *Salida/Entrada* en la figura 5.22), obteniéndose un barrido de salida con valor pico-pico de  $1.0132V$  para la figura 5.22a y de  $1.4347V$  para la figura 5.22b [8].



**Figura 5.22** Análisis en CD del OTA completamente diferencial de tipo cascode telescópico empleando circuitos CMFB en tiempo continuo. (a) CMFB implementado con fuentes ideales. (b) CMFB implementado con arreglo cascode telescópico.

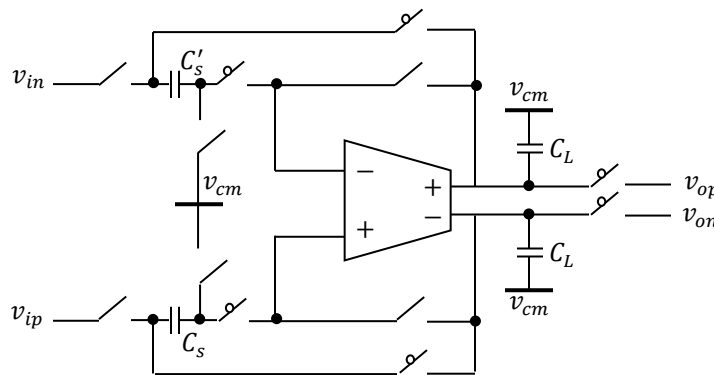
### 5.7.2 Circuito de Muestreo y Retención

Para conocer ciertas características del OTA dentro de un sistema retroalimentado (el tiempo de ajuste o  $A_{CL}$ ) es necesario conocer el factor de retroalimentación  $\beta$  (visto en las secciones 5.4.1.1 y 5.6.2). En la sección 5.4.1.1 se obtiene el factor  $\beta$  a partir del análisis del OTA en la configuración de Integrador Analógico Discreto, sin embargo [26] menciona que otra configuración más sencilla en lazo cerrado que puede utilizarse para conocer el comportamiento del OTA es el circuito de muestreo y retención de un solo

capacitor, ya que sobresale por su sencillez e introduce menos errores debidos a no linealidades (figura 5.23).

La arquitectura del circuito de muestreo y retención en configuración completamente diferencial de la figura 5.23 presenta inmunidad a las diferencias entre las características de los capacitores y requiere únicamente de un capacitor (en cada rama) para llevar a cabo las tareas de muestreo y retención de la señal. Durante la puesta en alto de  $\phi_1$  (refiérase a Fig. 5.1a para diagrama de interruptores activados por fases de reloj), los voltajes de entrada complementarios  $v_{ip}$  y  $v_{in}$  son almacenados en los capacitores  $C_s$  y  $C'_s$ , respectivamente. Cuando  $\phi_2$  está en alto, los capacitores  $C_s$  y  $C'_s$  se conectan a la salida y pueden verse como capacitores de retención de señal;  $v_{op}$  y  $v_{on}$  representan los voltajes de salida complementarios.

Para el análisis de conservación de carga de la estructura de muestreo y retención de un solo capacitor se considerará el circuito equivalente de salida simple (no diferencial). La figura 5.24a muestra el circuito equivalente cuando  $\phi_1$  está en alto, mientras que la figura 5.24b muestra el circuito equivalente cuando  $\phi_2$  está en alto.  $T_s$  representa el periodo de la señal de reloj y  $n$  el número de muestra (análisis en tiempo discreto).



**Figura 5.23** Circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial.

Partiendo de la siguiente ecuación:

$$Q_{\phi_1} - Q_{\phi_2} = 0, \quad (5.74)$$



donde  $Q_{\phi_1}$  es la carga en el capacitor  $C_s$  durante  $\phi_1$  y  $Q_{\phi_2}$  es la carga en el capacitor  $C_s$  durante  $\phi_2$ . Si además se considera que  $v_{cm} \cong GND$ , para el primer ciclo de reloj ( $\phi_1$  en alto), se tiene:

$$C_s \left[ v_i \left( n - \frac{1}{2} \right) T_s - v_{cm} \right] = C_{in} [v_{cm} - v_{cm}], \quad (5.75)$$

donde  $C_{in}$  representa la capacitancia de entrada del amplificador operacional de transconductancia. Para el segundo ciclo de reloj ( $\phi_2$  en alto):

$$C_{in} \left[ -v_{cm} - \left( -\frac{v_o(n)T_s}{A_{OLDC}} \right) \right] + C_s \left[ v_o(n)T_s - \left( -\frac{v_o(n)T_s}{A_{OLDC}} \right) \right] = 0. \quad (5.76)$$

Sustituyendo (5.75) y (5.76) en (5.74):

$$C_s \left[ v_i \left( n - \frac{1}{2} \right) T_s - v_o(n)T_s - \frac{v_o(n)T_s}{A_{OLDC}} \right] = C_{in} \left[ \frac{v_o(n)T_s}{A_{OLDC}} \right]. \quad (5.77)$$

La función de transferencia del circuito de muestreo y retención de un solo capacitor en modo completamente diferencial y en el dominio  $z$  puede expresarse como:

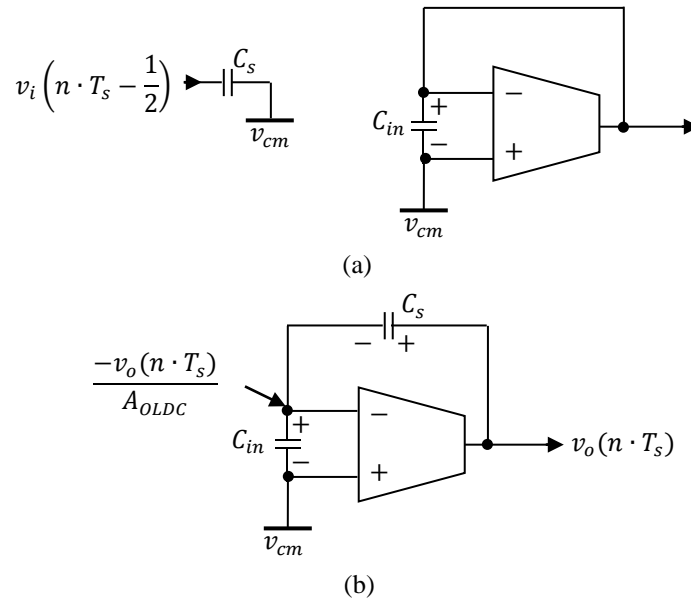
$$H(z) = \frac{v_{od}}{v_{id}}(z) = \frac{A_{OLDC}C_s}{C_{in} + C_s + A_{OLDC}C_s} (z^{-1/2}), \quad (5.78)$$

donde  $v_{id} = v_{ip} - v_{in}$  y  $v_{od} = v_{op} - v_{on}$ . Si  $\beta = \frac{C_s}{C_s + C_{in}}$ , denominado como *factor de retroalimentación*, entonces (5.78) se expresará de la siguiente manera:

$$H(z) = \frac{v_{od}}{v_{id}}(z) = \frac{1}{1 + \frac{1}{A_{OLDC} \cdot \beta}} (z^{-1/2}) \approx \left( 1 - \frac{1}{A_{OLDC} \cdot \beta} \right) \cdot z^{-1/2}. \quad (5.79)$$

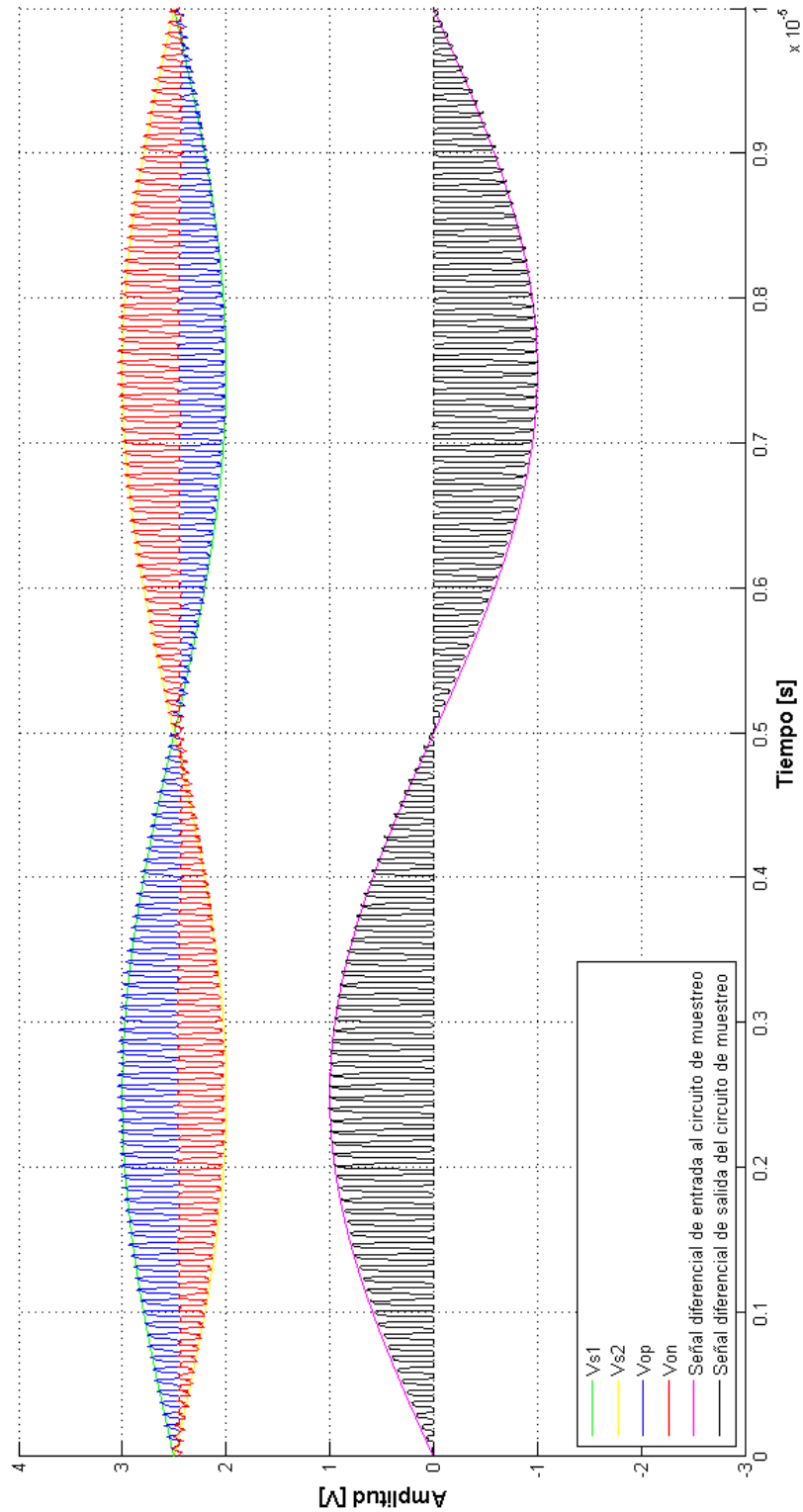
La capacitancia total  $C_T$  en el circuito de muestreo y retención es:

$$C_T = C_L + \frac{C_s C_{in}}{C_s + C_{in}}. \quad (5.80)$$



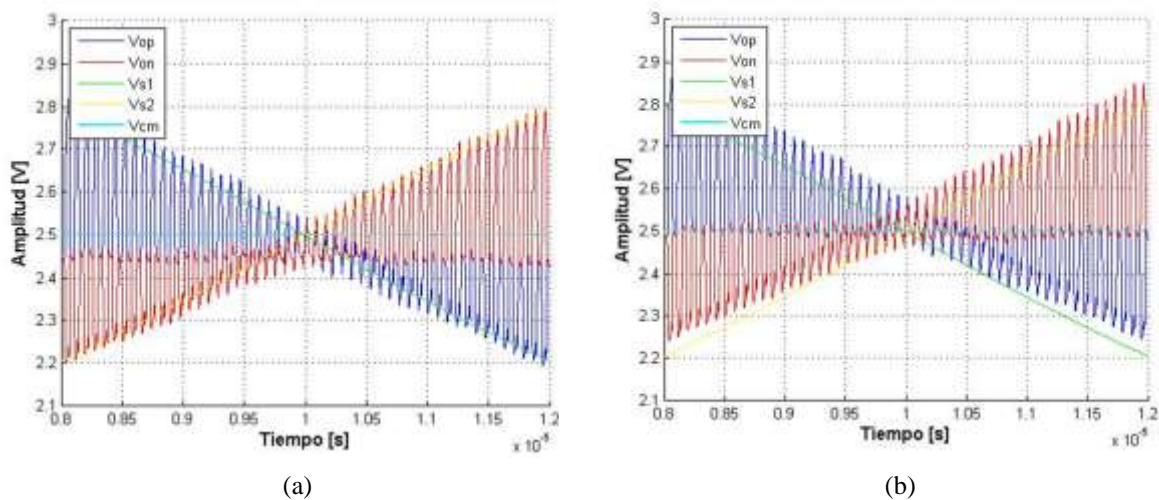
**Figura 5.24** Circuito equivalente en modo sencillo del circuito de muestreo y retención de un solo capacitor durante (a) la fase  $\phi_1$  y (b) fase  $\phi_2$  de reloj.

La figura 5.25 muestra el comportamiento del circuito de muestreo y retención de un solo capacitor, en configuración completamente diferencial, con frecuencia de reloj de  $12.8\text{MHz}$  (calculada en las secciones 4.3 y 5.6.2), señales sinusoidales complementarias de entrada con frecuencia de  $100\text{KHz}$  (para guardar la proporción necesaria del parámetro OSR) y amplitud pico de  $500\text{mV}$  (amplitud dentro del rango obtenido del análisis en CD del OTA), capacitancia de carga de  $1\text{pF}$  y voltajes y corriente de polarización de la Tabla 5.8. En la gráfica se muestran las señales sinusoidales complementarias de entrada  $V_{s1}$  y  $V_{s2}$ , las señales complementarias de salida  $V_{op}$  y  $V_{on}$ , y las señales diferenciales de entrada y salida  $v_{id}$  y  $v_{od}$ , respectivamente.



**Figura 5.25** Respuesta del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial para una frecuencia de muestreo  $f_s = 12.8MHz$  y señales sinusoidales complementarias de entrada con frecuencia  $f_{in} = 100KHz$ .

La figura 5.26a muestra una ampliación de las señales presentadas en la figura 5.25 (para una corriente de polarización del OTA  $I_b = 320\mu A$ ) y la figura 5.26b muestra una ampliación de las señales del circuito de muestreo y retención para una corriente de polarización del OTA  $I_b = 285\mu A$ . De acuerdo con [8], una forma de minimizar el voltaje de desvío es disminuir la corriente de polarización del OTA, o bien, modificar la relación de aspecto del par diferencial de entrada del OTA. En la figura 5.26b, al minimizar la corriente de polarización el voltaje de desvío disminuye pero se aprecia un desplazamiento de ambas señales de salida del circuito de muestreo y retención sobre el eje vertical.



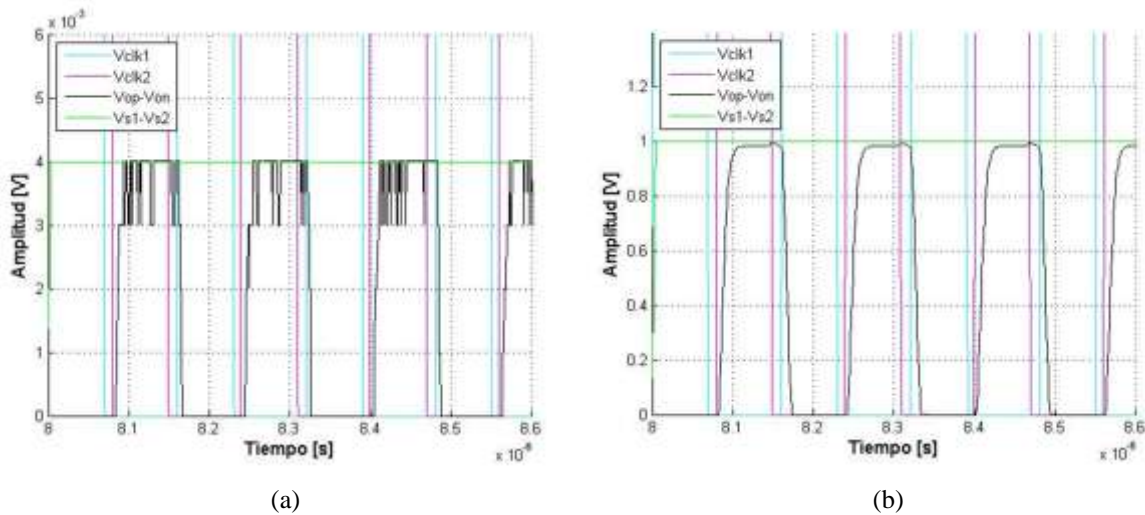
**Figura 5.26** Voltaje de desvío en las señales de salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial para una corriente de polarización del OTA de (a)  $I_b = 320\mu A$  y (b)  $I_b = 285\mu A$ .

**Respuesta a escalón.** Proponiendo una señal de reloj de  $6.250MHz$  ( $\sim 1/2$  del valor de la frecuencia original planteada) con el propósito de observar la respuesta de los pulsos de muestreo después del *estado transitorio*, ingresando al circuito de muestreo y retención un señal cuadrada (diferencial) y polarizando al OTA con los valores de la Tabla 5.8, se obtiene la respuesta a escalón en pequeña y gran señal (figuras 5.27a y 5.27b).

La figura 5.27a muestra una oscilación de la señal con un valor pico-pico de  $1mV$ . Considerando un tiempo de ajuste al 95% de la amplitud de la señal diferencial de entrada, genera un tiempo de ajuste de subida de  $22.74ns$  y un tiempo de ajuste de bajada de  $20.27ns$ . Para la respuesta a escalón en gran señal, se tiene un tiempo de ajuste de subida

de  $21.28ns$ , también al 95% de la amplitud de la señal de entrada y un tiempo de ajuste de bajada de  $30.10ns$ .

De acuerdo a la simulación, para una señal diferencial de entrada de  $1V$  (figura 5.27b), la señal diferencial de salida del circuito de muestreo y retención de un solo capacitor llega a una amplitud promedio de  $986mV$ .



**Figura 5.27** Respuesta a escalón del OTA cascode telescópico completamente diferencial evaluado en el circuito de muestreo y retención de un solo capacitor para (a) pequeña señal y (b) gran señal.

Como ya se mencionó,  $\beta = \frac{C_s}{C_s + C_{in}}$  para el circuito de muestreo y retención de un solo capacitor, si la capacitancia de entrada  $C_{in}$  del sistema se considera como la capacitancia del par diferencial de entrada del OTA más capacitancias parásitas debidas a las líneas de conexión se tiene:

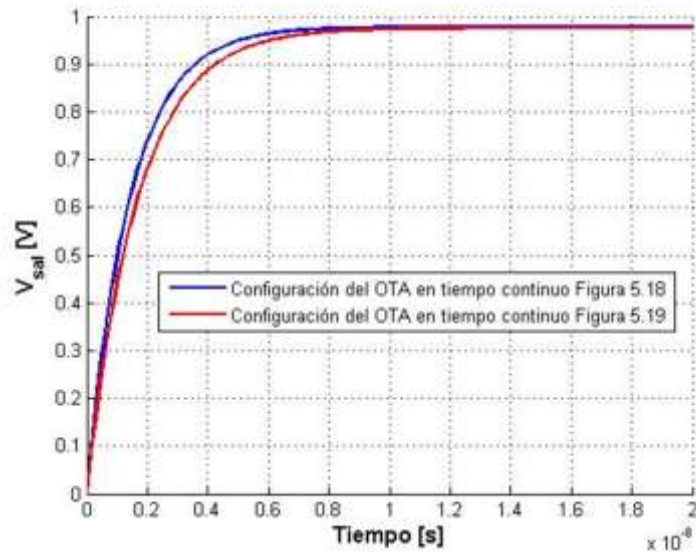
Para la capacitancia de entrada del OTA (capacitancia del par diferencial de entrada) se considerará la configuración en serie de las capacitancias compuerta-fuente  $C_{gs}$  de los transistores  $M_1$  y  $M_2$  (ver figura 5.15) y el paralelo de las capacitancias compuerta-substrato  $C_{gb}$  de los transistores  $M_1$  y  $M_2$ . De acuerdo con [8], las capacitancias  $C_{gs}$  y  $C_{gb}$  se expresan como:

$$C_{gs} = \frac{2}{3} \cdot W \cdot L \cdot C_{ox}, \quad (5.81)$$

$$C_{gb} = CGBO \cdot L, \quad (5.82)$$

donde  $CGBO$  es la capacitancia asociada con la extensión de la compuerta de silicio sobre la región de campo. La capacitancia de entrada  $C_{in}$  resulta en un valor de  $\sim 88.02 fF$ , por lo que sustituyendo este valor en la ecuación de  $\beta$ , resulta un valor de  $\beta = 0.603$ . Sustituyendo  $\beta$  y los valores obtenidos del análisis en CD de las configuraciones del OTA en tiempo continuo (figuras 5.18 y 5.19) en (5.79), se obtiene que la señal diferencial de salida del circuito de muestreo y retención se cargará a un valor de  $0.9779V$  y de  $0.9757V$ , respectivamente. De acuerdo con (5.79), la diferencia entre la amplitud de la señal diferencial de salida obtenida por la simulación en tiempo de la respuesta a escalón y la amplitud obtenida de acuerdo a las características extraídas del análisis en CD, tiene relación con el valor de  $C_{in}$  considerado, lo que implica que la simulación en tiempo de la respuesta a escalón se ve afectada por una capacitancia menor a la estimada; también considere que la característica  $A_{OLDC}$  fue extraída del análisis en CD que utilizó estructuras de circuitos CMFB en tiempo continuo y el análisis en tiempo del circuito de muestreo y retención de un solo capacitor ya emplea el circuito CMFB con capacitores conmutados.

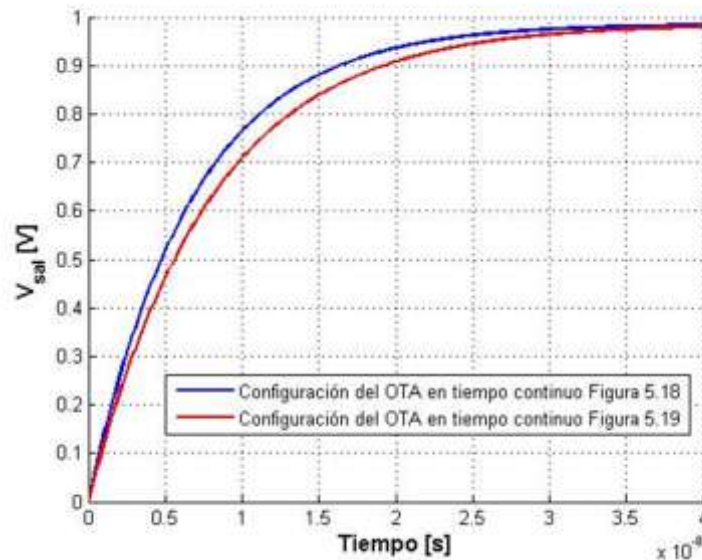
Otra estimación que puede realizarse a partir de las características extraídas del análisis en CD es el *tiempo de ajuste* (obtenido previamente del análisis en tiempo del circuito de muestreo y retención de un solo capacitor con respuesta a escalón). Conociendo el valor de  $\beta$ ,  $f_u$  (ver Tabla 5.9) y a partir de (5.27) y (5.28) se obtiene el tiempo de ajuste de subida para las configuraciones de las figuras 5.18 y 5.19. En (5.27)  $V_{sal\_final}$  se substituyó por los valores obtenidos al evaluar (5.79) ( $V_{sal\_final} = 0.9779V$  para la configuración de la figura 5.18 y  $V_{sal\_final} = 0.9757V$  para la configuración de la figura 5.19). La figura 5.28 presenta el tiempo de ajuste de la señal diferencial de salida del circuito de muestreo y retención para una señal diferencial de  $1V$ , considerando las características obtenidas del análisis en CD. El tiempo de ajuste obtenido del análisis en CD resulta menor al obtenido del análisis en tiempo.



**Figura 5.28** Tiempo de ajuste de la señal diferencial de salida del circuito de muestreo y retención de un solo capacitor como resultado de la extracción de características del OTA en análisis en CD.

### 5.7.3 Modulador Sigma-Delta de Primer Orden

En la sección 5.3 se describieron las partes que conforman al modulador sigma-delta de primer orden implementado con capacitores conmutados. Uno de los bloques que lo constituye es el integrador analógico discreto y de acuerdo con la sección 5.4.1.1, el factor de retroalimentación  $\beta$  para la configuración del OTA dentro del circuito integrador corresponde a (5.29), por lo tanto, el valor de  $\beta$  es igual a 0.1429 (considere las dimensiones de los capacitores  $C_1$  y  $C_2$  de la Tabla 5.5). Sustituyendo a  $\beta$  de nuevo en (5.27) y (5.28), se obtiene un tiempo de ajuste mayor que el obtenido al evaluar al OTA dentro del circuito de muestreo y retención de un solo capacitor, como se aprecia en la figura 5.29, pero que coincide con los tiempos de ajuste extraídos de las simulaciones del OTA dentro del bloque integrador analógico discreto e incluso, dentro del bloque del circuito de muestreo y retención de un solo capacitor.

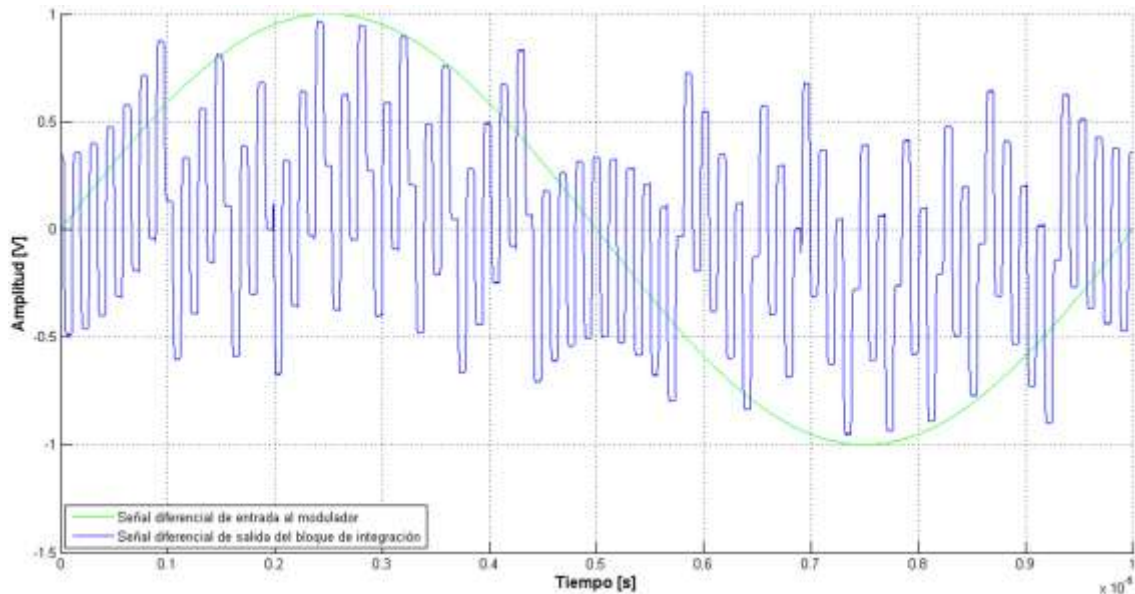


**Figura 5.29** Tiempo de ajuste de la señal diferencial de salida del circuito integrador analógico discreto como resultado de la extracción de características del OTA en análisis en CD.

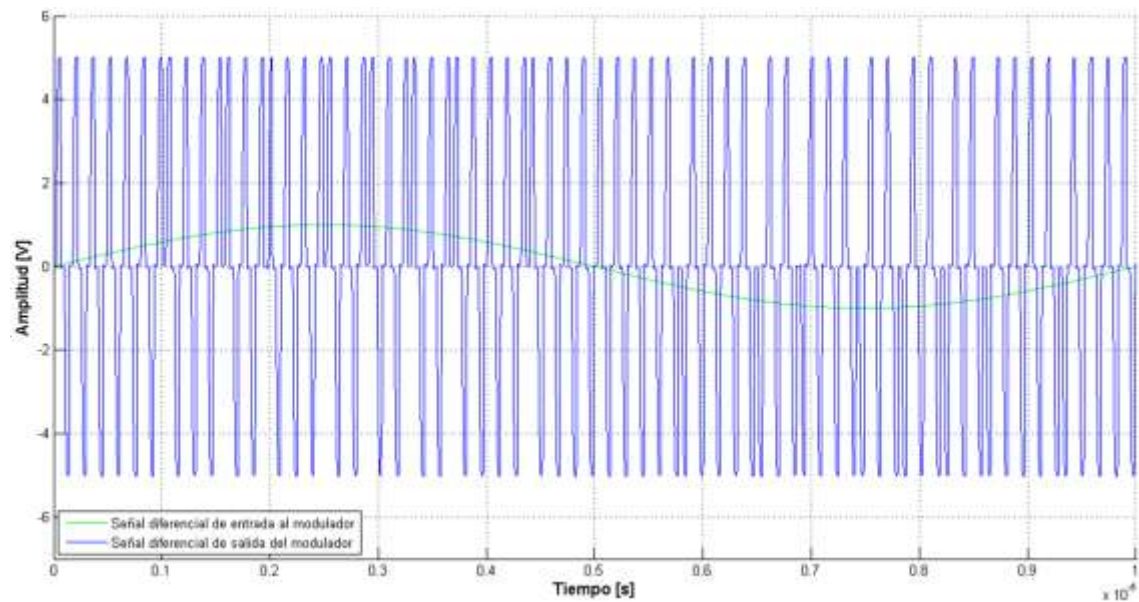
La figura 5.30 muestra la señal diferencial de entrada  $v_{id}$  resultante de introducir al modulador sigma-delta de primer orden en configuración completamente diferencial dos señales sinusoidales complementarias con amplitud pico-pico de  $1V$  (que generan una señal sinusoidal complementaria de  $2V$  pico-pico) y frecuencia de  $100KHz$ , además muestra la salida diferencial del bloque de integración. La frecuencia de muestreo  $f_s$  utilizada es de  $12.8MHz$ , la capacitancia de carga considerada es de  $1pF$ . La frecuencia de la señal diferencial de entrada con respecto a la frecuencia de reloj mantiene una proporción adecuada para asegurar un  $OSR = 64$ . La figura 5.31 muestra la señal diferencial de entrada de  $2V$  pico-pico y la salida diferencial del modulador sigma-delta de primer orden. La señal de salida del modulador sigma-delta es con retorno a cero. De acuerdo con [17], cuando la señal sinusoidal diferencial de entrada está cercana a su amplitud pico máxima, la salida del modulador debe permanecer en estado alto la mayoría del tiempo; cuando la señal sinusoidal diferencial de entrada se mueve hacia el valor cero, la salida del modulador oscila del estado alto al bajo, de tal forma que su valor promedio sea cero. Cuando la señal sinusoidal diferencial de entrada está cercana a su amplitud pico mínima, la salida del modulador debe permanecer en estado bajo la mayoría del tiempo.



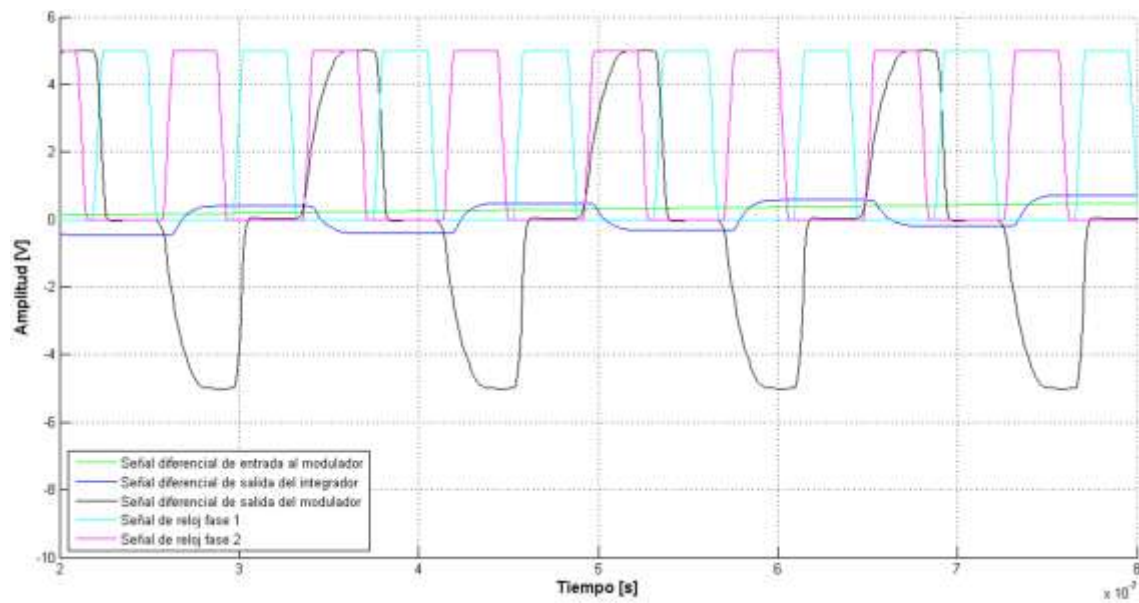
La figura 5.32 presenta una ampliación de las señales del modulador (señal diferencial de entrada, señal diferencial de salida del integrador analógico discreto, señal diferencial de salida del modulador y las dos fases de las señales de reloj); observe que la señal de salida alcanza a cargarse al valor deseado ( $\pm 5V$ ). La figura 5.33 muestra el espectro de la señal diferencial de salida del modulador. La relación entre la frecuencia de la señal diferencial de entrada y la frecuencia de las fases de reloj del modulador sigue manteniendo la relación  $OSR = 64$ , también se ha cuidado que el número de puntos tomados en el análisis en tiempo  $N_{Datos}$  (que determina el incremento en el tiempo) sea igual a  $2^{Ent}$ , donde  $Ent$  es un número entero real positivo; esto con el fin de obtener lecturas en las frecuencias de interés en la gráfica del espectro de la salida del modulador.



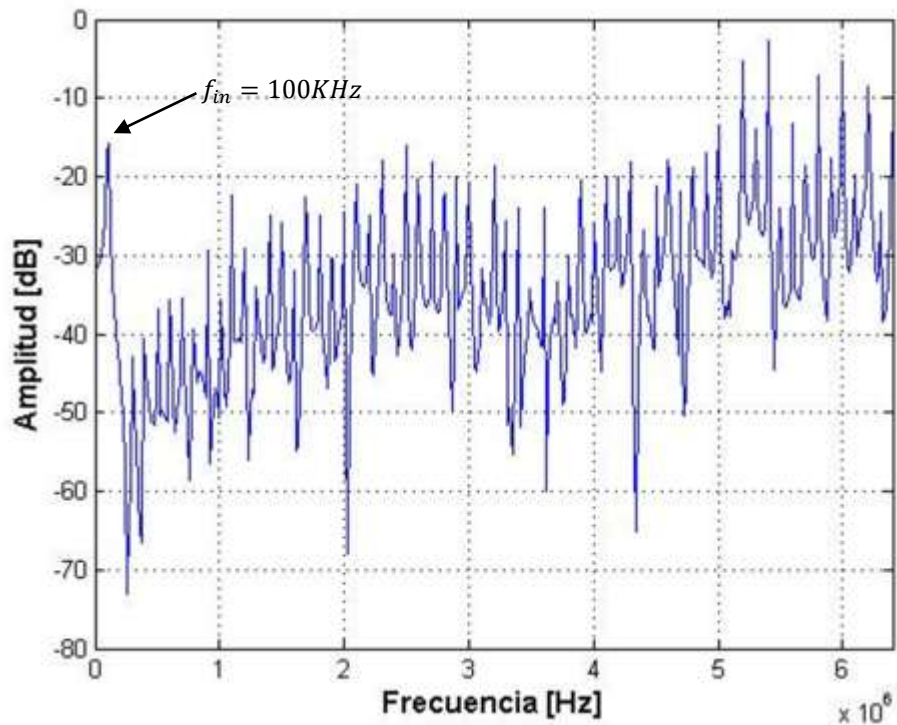
**Figura 5.30** Respuesta del bloque integrador analógico discreto contenido en el modulador sigma-delta de primer orden para una señal diferencial de entrada  $v_{id}$  con amplitud pico-pico de  $2V$ ,  $f_{in} = 100KHz$  y  $f_s = 12.8MHz$ .



**Figura 5.31** Respuesta del modulador sigma-delta de primer orden para una señal diferencial de entrada con amplitud pico-pico de  $2V$ ,  $f_{in} = 100KHz$  y  $f_s = 12.8MHz$ .



**Figura 5.32** Ampliación de la señal diferencial de entrada al modulador, señal diferencial de salida del integrador analógico discreto, señal diferencial de salida del modulador y de las fases de reloj para  $f_{in} = 100KHz$  y  $f_s = 12.8MHz$ .



**Figura 5.33** Espectro de la salida diferencial del modulador sigma-delta de primer orden para  $f_{in} = 100\text{KHz}$  y  $f_s = 12.8\text{MHz}$ .

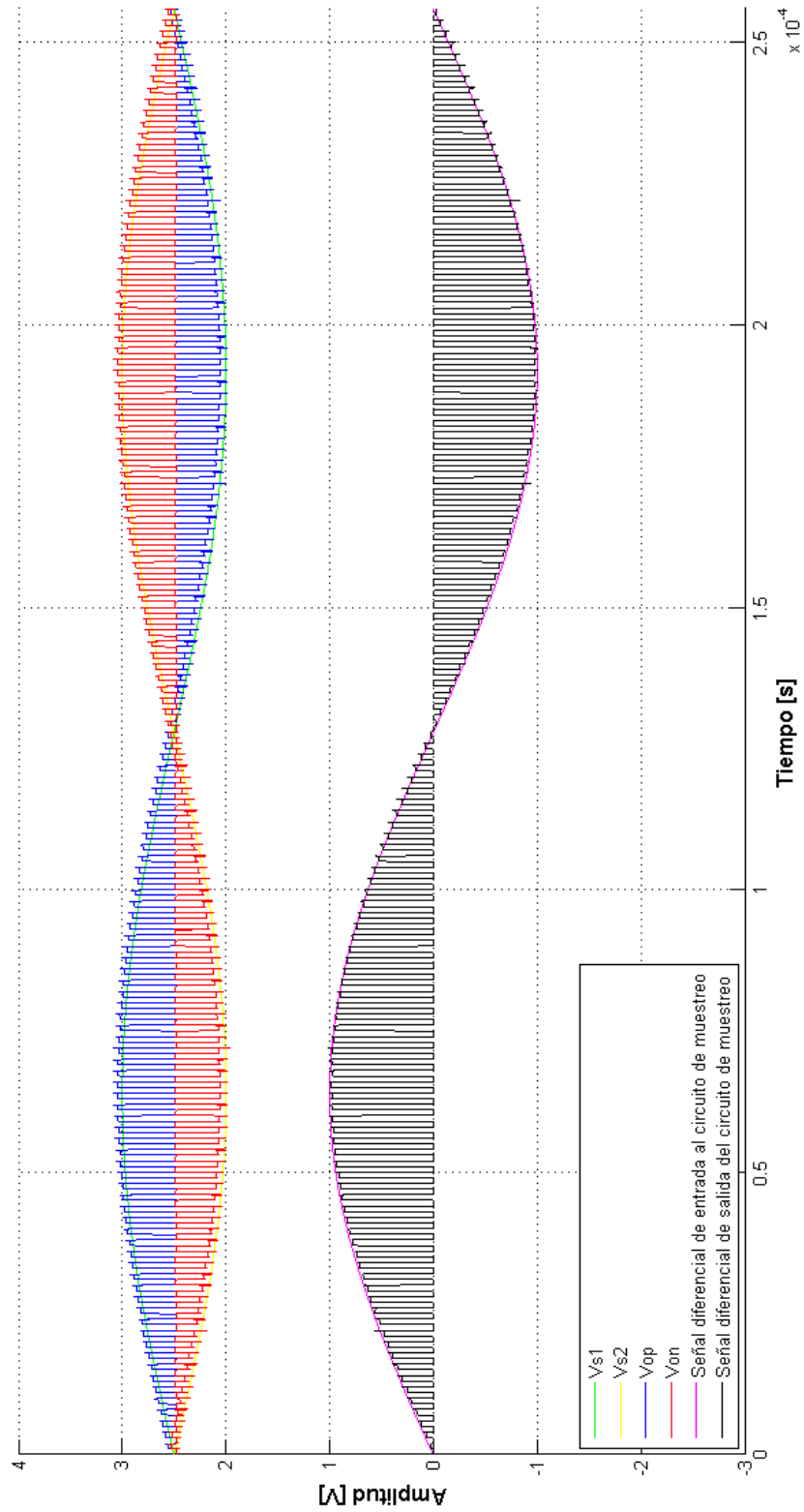
De la gráfica del espectro, observe la similitud en el comportamiento de la señal diferencial de salida del modulador con el planteamiento realizado en la sección 4.3.1 (figura 4.10), la señal de ruido presenta una disminución de nivel en la banda de interés.

#### 5.7.4 Simulaciones a Baja Frecuencia

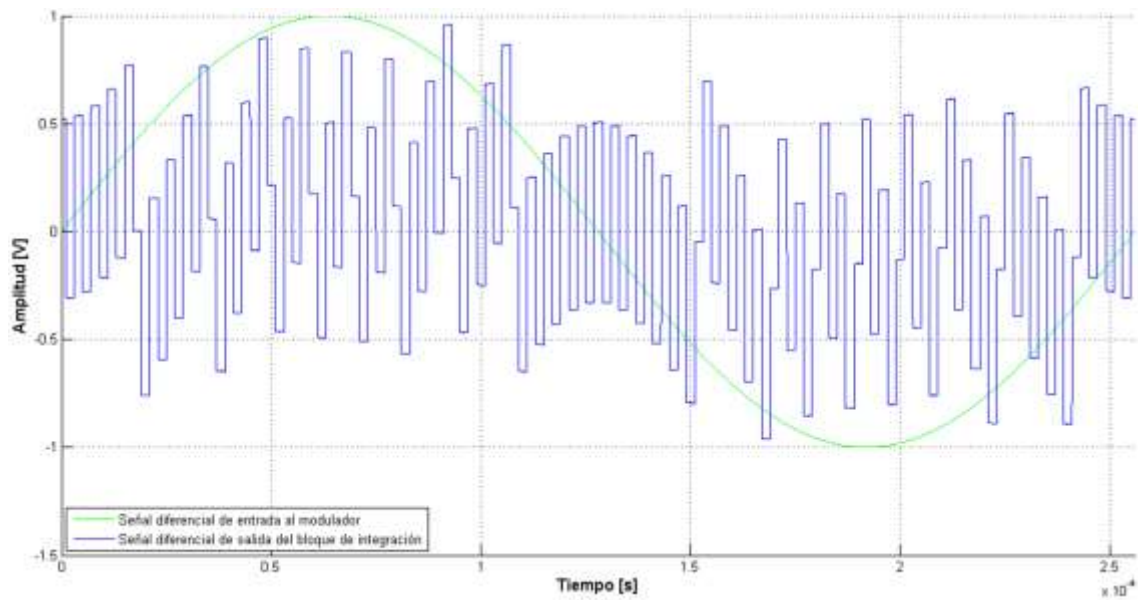
Con el objetivo de minimizar los efectos de ruido y de cargas capacitivas debidas a las puntas de prueba de los aparatos de medición al realizar la caracterización de las celdas de prueba del circuito de muestreo y retención de un solo capacitor y del modulador sigma-delta de primer orden (mediciones presentadas en el capítulo 6), se propone disminuir la frecuencia de reloj, pero se desea que la relación de  $OSR$  obtenida ( $OSR = 64$ ), ver (4.28) se mantenga; de acuerdo a esto, se propone una frecuencia de muestreo de  $500\text{KHz}$  (valor propuesto debido a la frecuencia del reloj interno del FPGA usado para generar las señales de reloj (ver capítulo 6), por lo que la frecuencia de la señal de entrada será de  $3906\text{Hz}$ .

La figura 5.34 presenta el comportamiento del circuito de muestreo y retención de un solo capacitor, en configuración completamente diferencial, con frecuencia de reloj de  $500\text{KHz}$ , las señales sinusoidales de entrada  $V_{s1}$  y  $V_{s2}$  con frecuencia de  $3906\text{Hz}$  y amplitud pico de  $500\text{mV}$ , las señales complementarias de salida  $V_{op}$  y  $V_{on}$ , y las señales diferenciales de entrada y salida  $v_{id}$  y  $v_{od}$ , respectivamente. Para la simulación se utilizó una capacitancia de carga de  $1\text{pF}$  y los voltajes y corriente de polarización presentados en la Tabla 5.8.

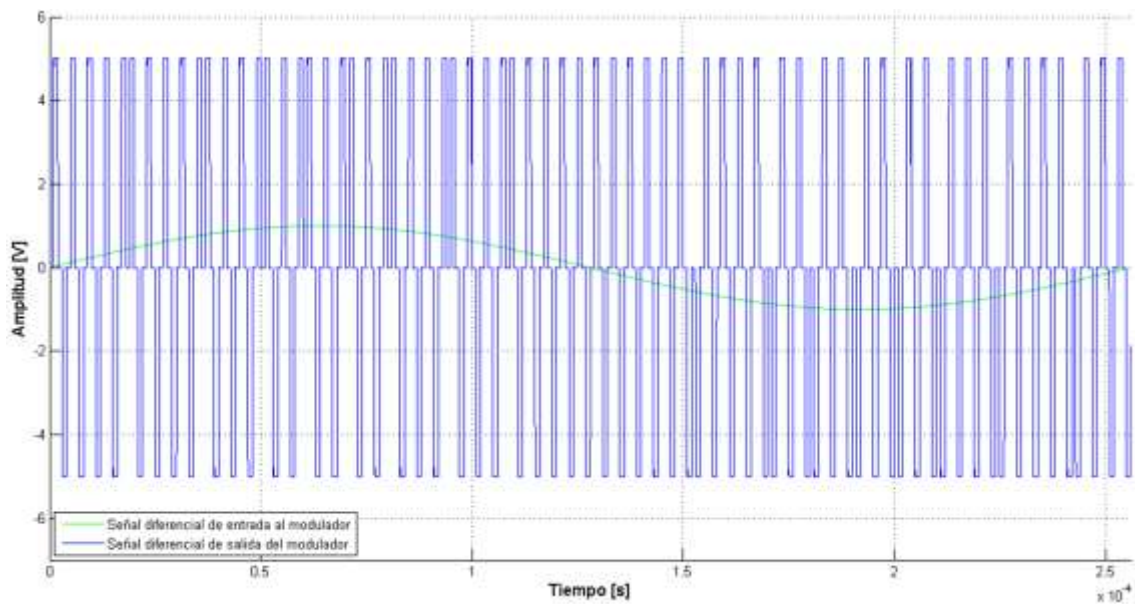
Referente al circuito modulador sigma-delta de primer orden en tiempo discreto en configuración completamente diferencial, la figura 5.35 presenta las señales de entrada y salida del bloque integrador y la figura 5.36 presenta las señales de entrada y salida del modulador sigma-delta, ambas gráficas utilizan señales sinusoidales complementarias de entrada con frecuencia  $f_{in} = 3906\text{Hz}$ , con amplitud pico-pico de  $1\text{V}$  (que generan una señal sinusoidal diferencial con amplitud pico-pico de  $2\text{V}$ ), una frecuencia de muestreo  $f_s = 500\text{KHz}$  y una capacitancia de carga de  $1\text{pF}$ . En la figura 5.35 se muestra la señal diferencial de entrada  $v_{id}$  y la salida diferencial del bloque de integración. La figura 5.36 muestra la señal diferencial de entrada  $v_{id}$  y la salida diferencial del modulador sigma-delta de primer orden. Finalmente, la figura 5.37 muestra el espectro de la señal diferencial de salida del modulador utilizando los parámetros descritos para la figura 5.36.



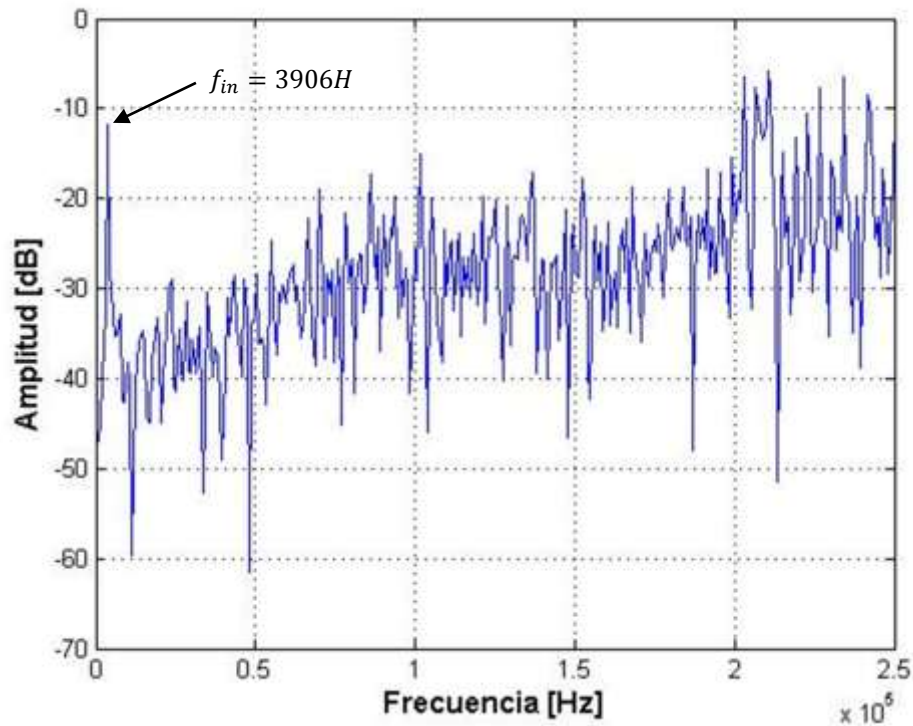
**Figura 5.34** Respuesta del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial para una frecuencia de muestreo  $f_s = 500\text{KHz}$  y señales sinusoidales complementarias de entrada con frecuencia  $f_{in} = 3906\text{Hz}$ .



**Figura 5.35** Respuesta del bloque integrador analógico discreto contenido en el modulador sigma-delta de primer orden para una señal diferencial de entrada  $v_{id}$  con amplitud pico-pico de  $2V$ ,  $f_{in} = 3906Hz$  y  $f_s = 500KHz$ .



**Figura 5.36** Respuesta del modulador sigma-delta de primer orden para una señal diferencial de entrada con amplitud pico-pico de  $2V$ ,  $f_{in} = 3906Hz$  y  $f_s = 500KHz$ .



**Figura 5.37** Espectro de la salida diferencial del modulador sigma-delta de primer orden para  $f_{in} = 3906\text{Hz}$  y  $f_s = 500\text{KHz}$ .

Comparando el espectro de la salida diferencial de la figura 5.33 con el espectro de salida diferencial de la figura 5.37, en ambos ejemplos se ha introducido una señal sinusoidal diferencial de  $2V$  pico-pico, pero la componente en frecuencia de la figura 5.37 muestra una mayor amplitud. Al manejar señales con frecuencias bajas, las simulaciones muestran una mayor relación señal a ruido (las amplitudes de las distintas componentes de frecuencia en la figura 5.37 son menores que en la figura 5.33).

## 5.8 Resumen

En este capítulo se abordó el diseño eléctrico del modulador sigma-delta de primer orden en tiempo discreto, implementado con capacitores conmutados. Se analizaron los efectos de ruido debidos al diseño de los circuitos y debidos a la variación del periodo de la señal de reloj. Se presentaron algunas topologías de amplificadores operacionales de transconductancia (OTA) para su implementación dentro del modulador y se justificó el uso

de la topología cascode telescópica en configuración completamente diferencial. Una vez elegida la topología y tomando como base las condiciones de operación del modulador (frecuencia de operación, resolución) se obtuvieron los voltajes y corrientes de polarización, valores y dimensiones de dispositivos y se realizaron simulaciones de CA, CD y en tiempo correspondientes para la caracterización del circuito modulador empleando PSPICE bsim3v3 y Matlab®. También se realizaron simulaciones utilizando una frecuencia de muestreo menor a la original planteada para su posterior comparación con las mediciones realizadas.





---

## Capítulo 6

### Prototipo Experimental y Resultado de Mediciones

#### 6.1 Introducción

Después del diseño eléctrico y las simulaciones correspondientes, el siguiente paso en el proceso de elaboración de un CI es el diseño geométrico (*layout*), que comprende el diseño de los dispositivos eléctricos y las líneas de interconexión dentro de un área delimitada. En el presente capítulo se describen algunas técnicas consideradas para el diseño geométrico de sistemas mixtos (analógico-digital), se presentan algunos de los *layouts* realizados y fotografías. Después de esto, se describen los circuitos de prueba diseñados para el ingreso o extracción de señales del CI, posteriormente se presentan los resultados obtenidos de las mediciones y pruebas realizados a la celda de producto a nivel de bit y al modulador sigma-delta y se termina el capítulo con las conclusiones.

#### 6.2 Diseño Geométrico

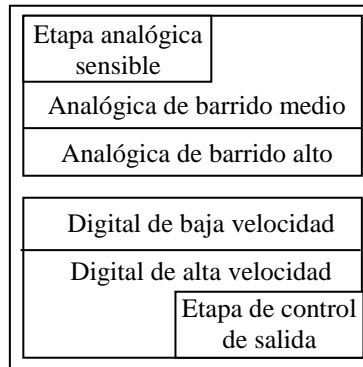
Este diseño está regido por la tecnología a emplear y las fábricas de CIs proveen las reglas de diseño. Para un CI usado como prototipo de investigación (como es el caso de este trabajo de tesis) se recomienda diseñar diferentes celdas de prueba que conforman el total del sistema para un análisis posterior realizado en etapas, que ayuden a una mejor caracterización de éstas y a la ubicación de fallas o fuentes de error, en caso de que existan.

Un circuito integrado que procesa señales analógicas es más sensible al ruido que un circuito que opera de manera digital. Cuando el CI contiene etapas que operan en modo analógico y etapas operando en modo digital debe tenerse mayor cuidado con la técnica de diseño geométrico para minimizar los efectos de ruido inducido por las etapas digitales en las etapas analógicas.

Algunas fuentes de ruido a considerar en el diseño geométrico de sistemas mixtos son:

1. Inyección de ruido proveniente de las líneas de alimentación, de las líneas de señales de reloj y de las líneas de tierra.
2. Inyección de ruido del substrato.
3. Falta de exactitud en el trazado de dispositivos pares (diseños diferenciales y/o completamente diferenciales).
4. Respuesta en alta frecuencia del circuito.
5. Voltajes de desvío de los OPAMPs u OTAs.

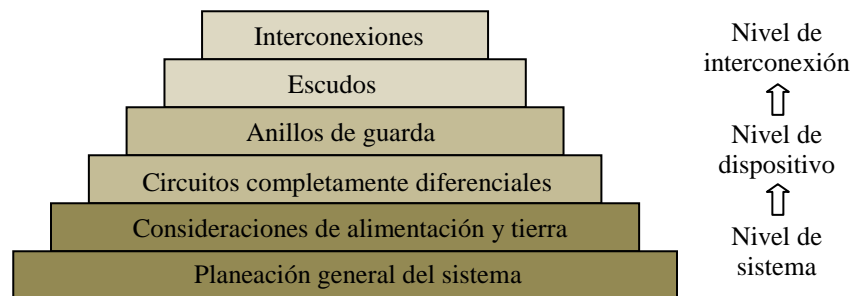
Según [8], para la minimización de las fuentes de ruido arriba mencionadas se sugiere comenzar el diseño geométrico haciendo una planeación general de la ubicación de todas las etapas analógicas y digitales dentro del área total de diseño (dado), proceso conocido en Inglés como *floorplanning*. A nivel general, debe buscarse separar o aislar lo mejor posible las etapas analógicas sensibles de las etapas digitales con mayor velocidad de operación (ver figura 6.1). También en esta etapa deben de asignarse los *pads* (conectores internos del CI que rodean al área de diseño, los cuales se interconectan a los conectores externos del CI, llamados *pines*) de entrada/salida del CI. Dependiendo de la posición del *pad* en el dado, éste tendrá diferentes valores parásitos de capacitancia, inductancia y resistencia, ya que la longitud de la línea de interconexión hacia el *pin* correspondiente variará; entonces, los *pines* con menores efectos parásitos se sugiere sean asignados a las señales analógicas sensibles y de ser posible, colocar la etapa de procesamiento de estas señales lo más cercano a los *pads* correspondientes. En caso de manejar señales complementarias, es recomendable utilizar *pads* con características parásitas iguales. Los *pads* con mayores efectos parásitos pueden designarse a señales digitales o alimentación. [8] y [29] sugieren *pads* de alimentación y tierra distintos para las etapas analógicas y digitales (con interconexión externa).



**Figura 6.1** Ejemplo de una planeación general de ubicación de los bloques que conforman a un sistema mixto (analógico-digital).

En la figura 6.1, la etapa analógica sensible se refiere a señales de baja amplitud, nodos de alta impedancia. Circuitos comparadores y amplificadores de salida pueden clasificarse como circuitos analógicos de barrido alto.

Para la etapa digital, debido a que usualmente los amplificadores de salida digital son diseñados para manejar capacitancias altas, deben colocarse lo más distante posible de la etapa analógica sensible. Hasta este punto, el diseño geométrico se encuentra a nivel de sistema, por lo que el siguiente paso es realizar un diseño geométrico a nivel de dispositivo y por último, el diseño geométrico a nivel de interconexión (Fig. 6.2).



**Figura 6.2** Ejemplo de estrategia de diseño geométrico para circuitos mixtos (analógico-digital).

Para la etapa de diseño a nivel de dispositivo, como se mencionó en la sección 5.5, una de las ventajas de utilizar diseños diferenciales o completamente diferenciales es anular las señales de ruido ya que afectarán por igual a ambas líneas de señales de entrada y/o salida; sin embargo, cuando el diseño geométrico de estas etapas no es simétrico, se tendrá

una afectación. Para disminuir la inducción de ruido debido a diseños geométricos no simétricos de los transistores, se utilizan técnicas de diseño inter-digitado y de centroide común [8], [30]. La geometría de los OTAs tiene efectos significativos en los tiempos de subida, en la razón de sobredisparo y por ende, en su respuesta en frecuencia. Es necesario minimizar las líneas de interconexión de los nodos de alta impedancia, mantener lo más separadas posibles las líneas de entrada y de salida. Una mala geometría y disparidad entre transistores puede generar un voltaje de desvío en el OTA.

Debido a que los circuitos basados en capacitores conmutados centran su respuesta en frecuencia a partir de la relación de dimensiones de los capacitores (ver sección 5.4.1.1), es recomendable aplicar la técnica de celdas unitarias para el diseño de los capacitores con el fin de que los efectos parásitos afecten en igual proporción a todos los capacitores y la relación entre ellos se mantenga [8]. La dimensión de la celda unitaria está regida por la tecnología a usar.

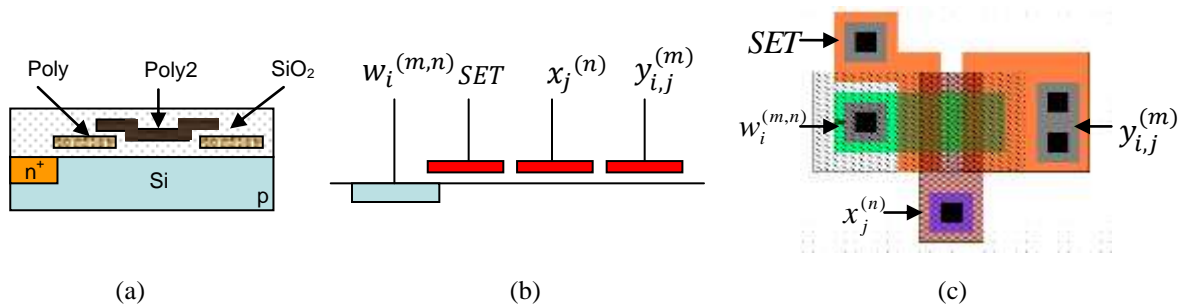
Con respecto a los anillos de guarda [8], que para una tecnología de pozo  $n$  se refiere a una implantación de material  $p^+$  en forma de anillo conectada al potencial más negativo (en nuestro caso  $GND$ ) para los transistores tipo  $n$  y para los transistores tipo  $p$  (que se diseñan dentro de pozos tipo  $n$ ), el anillo de guarda es una implantación tipo  $n^+$  que se conecta al potencial más positivo ( $V_{DD}$ ); los cuales reducen el ruido inducido del substrato o del pozo  $n$ , producidos por señales de los circuitos adyacentes ya que fijan el potencial, de manera ideal, a  $GND$  o  $V_{DD}$ , según corresponda, resguardando al circuito de la inyección de portadores minoritarios. Se recomienda que los circuitos que procesen información analógica sensible se coloquen dentro de estos anillos. Para el diseño de este trabajo, tanto los dispositivos activos y pasivos (capacitores) fueron colocados dentro de anillos de guarda. Aunado al anillo de guarda, los capacitores fueron diseñados dentro de pozos  $n$ .

La figura 6.3 muestra la representación gráfica de los materiales empleados en la tecnología de diseño (pozo  $n$ , dos capas de metal, dos capas de polisilicio).



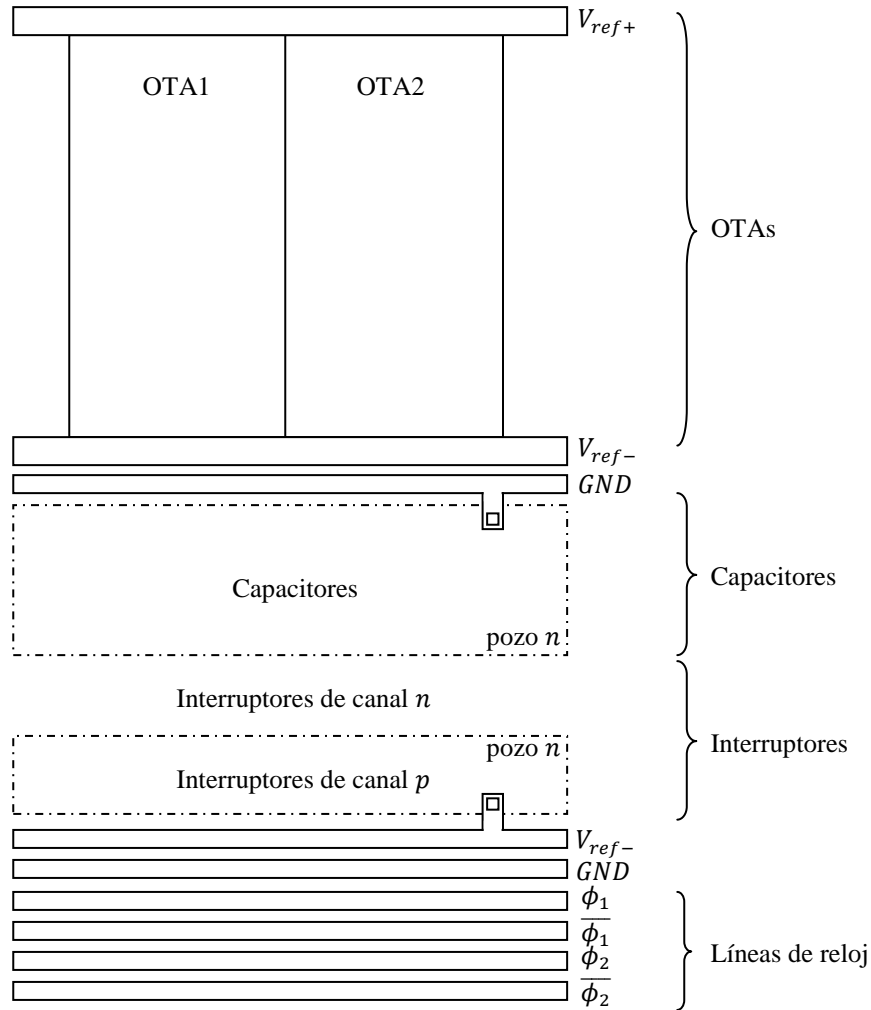
**Figura 6.3** Representación gráfica de los materiales que conforman los elementos circuitales en la tecnología de fabricación empleada.

Para la celda de producto a nivel de bit, la tecnología a emplear determinó el tipo de estructura CCD utilizada (dos niveles de polisilicio, ver Fig. 3.2b). La figura 6.4a ejemplifica un corte transversal de la celda de producto a nivel de bit. En la figura 6.4b se indican los distintos nodos que componen a la celda de producto a nivel de bit. El nodo  $w_i^{(m,n)}$  se ha implementado con una difusión  $n^+$ , los nodos  $SET$  y  $y_{i,j}^{(m)}$  se implementaron con polisilicio1 y el nodo  $x_j^{(n)}$  se implementó con polisilicio2. La figura 6.4c muestra el diseño geométrico real implementado para la celda de producto a nivel de bit.



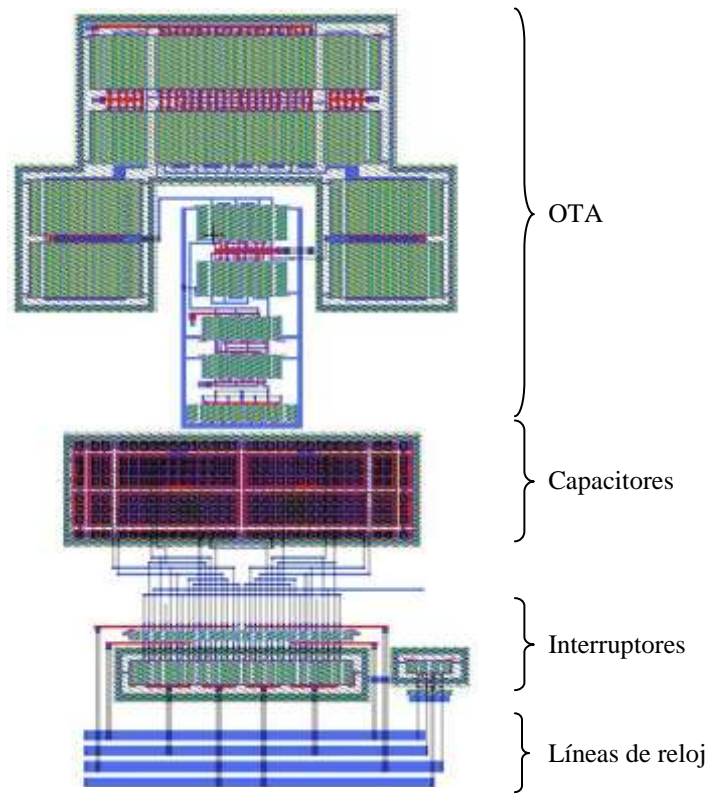
**Figura 6.4** Celda de producto a nivel de bit. (a) Representación de corte transversal, (b) nodos y (c) diseño geométrico.

La figura 6.5 muestra la técnica de diseño geométrico [28], [29] utilizada para el integrador analógico discreto del modulador sigma-delta. Los capacitores son colocados dentro de un pozo  $n$  con anillo de guarda y su posición separa la etapa analógica (OTA) de la digital (interruptores, líneas de señales de reloj). La figura 6.6 muestra el diseño geométrico del integrador analógico discreto y la figura 6.7 muestra su fotografía.

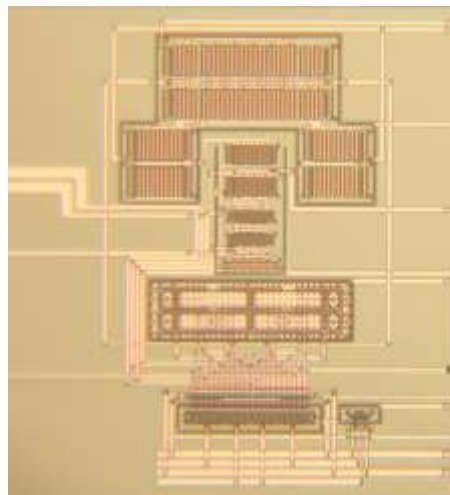


**Figura 6.5** Técnica de diseño geométrico utilizada para los circuitos con capacitores conmutados.

Las figuras 6.8 y 6.9 muestran el diseño geométrico y fotografía del dado completo. En el CI se incluyeron dos celdas de prueba del multiplicador vector-matriz, una celda de prueba con el OTA diseñado para el modulador sigma-delta implementado en un circuito de muestreo y retención y una celda de prueba del modulador sigma-delta. En la sección 6.3 se describe a mayor detalle cada una de las celdas construidas.

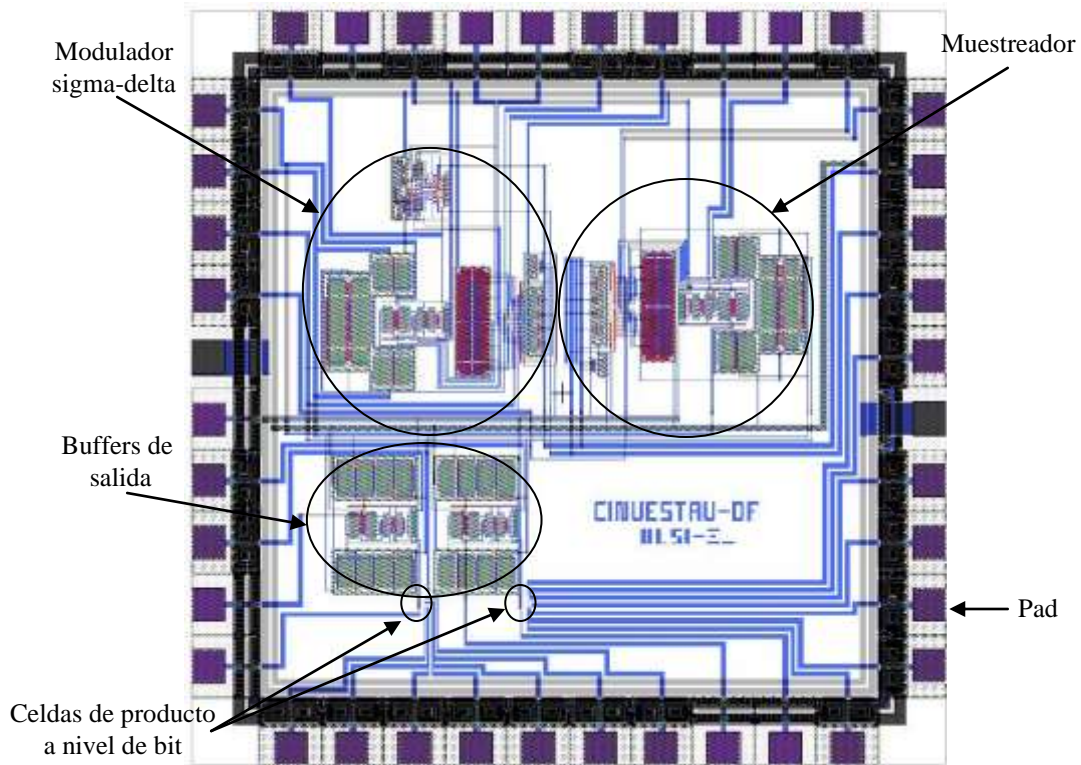


**Figura 6.6** Diseño geométrico del integrador analógico-discreto empleado en el modulador sigma-delta.

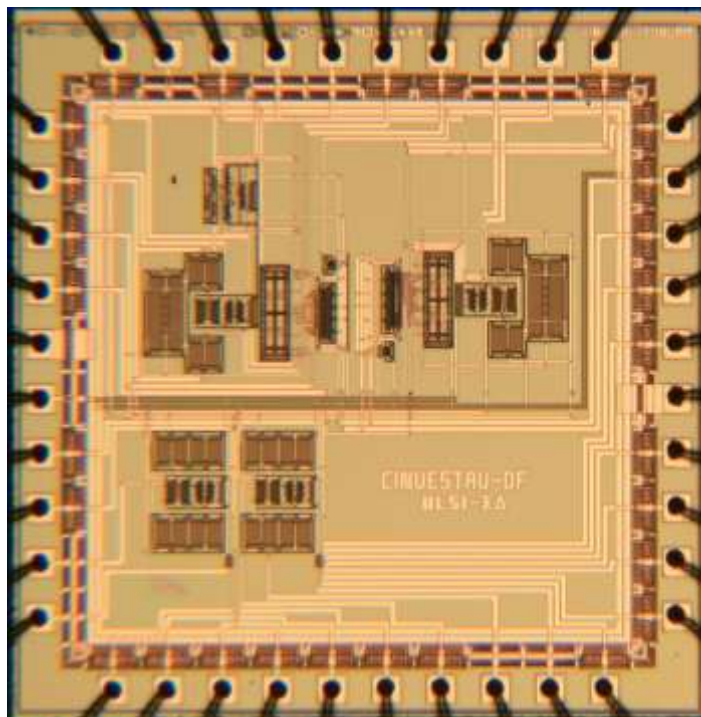


**Figura 6.7** Fotografía del integrador analógico-discreto empleado en el modulador sigma-delta.





**Figura 6.8** Diseño geométrico con las celdas de prueba del multiplicador vector-matriz, circuito de muestreo y retención y del modulador sigma-delta.



**Figura 6.9** Fotografía del CI correspondiente al diseño geométrico de la Fig. 6.8.

## 6.3 Circuitos de Prueba

La planeación del diseño geométrico de un CI tiene una estrecha relación con la planeación de los circuitos externos que serán ocupados para las mediciones y pruebas. Qué señales de excitación serán necesarias y qué características deben de tener, conlleva a identificar las etapas externas al CI e internas a emplear para obtener las señales deseadas, además de evaluar si habrán nodos de monitoreo de estas señales. Lo mismo ocurre para las señales de salida del CI, si serán necesarias etapas de acoplamiento de impedancias (*buffers* de salida), etc. El tipo de señal a manejar (analógica o digital) determina el *pad* del dado que se empleará y por lo tanto, la distribución general del diseño geométrico. Otro aspecto importante es el equipo de medición del que se hará uso, deben conocerse las características eléctricas del equipo, de los cables y puntas de prueba, tipo de conectores, etc. A continuación se describen cada una de las celdas de prueba colocadas dentro del CI y las consideraciones de diseño eléctrico interno y externas utilizadas, se comenzará por la celda de circuito multiplicador vector-matriz, después se presenta la celda de circuito de muestreo y retención y por último, la celda de circuito modulador sigma-delta.

### 6.3.1 Celda de Circuito Multiplicador Vector-Matriz

Esta celda contiene tres unidades básicas de multiplicación (*celda de producto a nivel de bit*, ver capítulo 3), unidas a través de sus nodos de salida. Retomando los diagramas de funcionamiento del multiplicador vector-matriz vistos en el capítulo 2 (figuras 2.4 y 2.6), la celda de prueba realiza la multiplicación uno a uno de los elementos de una fila  $m$  de la matriz  $W$ , con el primer elemento (suponiendo que es la primera iteración) de 3 vectores  $\hat{x}$  de entrada, todos los elementos están codificados en binario, ver figura 6.10. Cada *celda de producto a nivel de bit* de la fila  $m$  de la matriz  $W$  tiene el electrodo de salida conectado al mismo nodo. Recuerde que la operación de producto se lleva a cabo en modo analógico, a nivel de carga y que el resultado es un potencial de salida proporcional al número de celdas que den como resultado un “1” lógico (operación de producto basado en la compuerta *AND*).

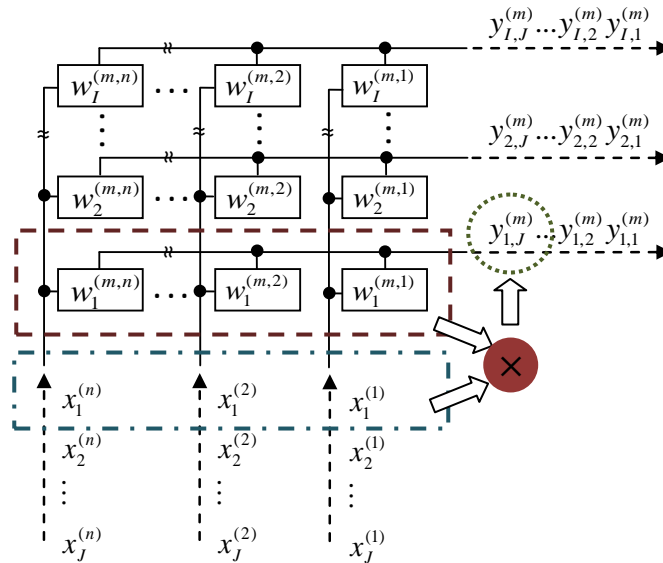


Figura 6.10 Operación de producto implementada en la celda de prueba del multiplicador vector-matriz.

La figura 6.11 muestra el diagrama de las partes que componen a la celda de prueba del multiplicador vector-matriz; como ya se mencionó, la salida de cada *celda de producto a nivel de bit* (rectángulos punteados) se conecta a un mismo nodo. Este nodo de salida está conectado a un seguidor de voltaje (*buffer* de salida) para poder manejar los efectos parásitos del *pad*, interconexión *pad-pin*, líneas de conexiones externas al CI y puntas de prueba. Para el diseño eléctrico del *buffer*, se aprovechó el diseño del OTA empleado en el modulador sigma-delta, realizando algunas modificaciones ya que para este caso la salida es sencilla (no diferencial), ver figura 6.12.

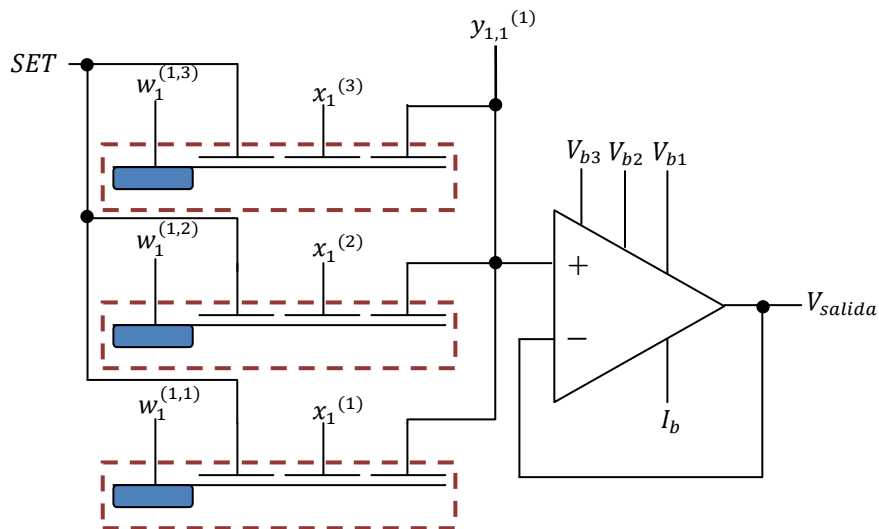
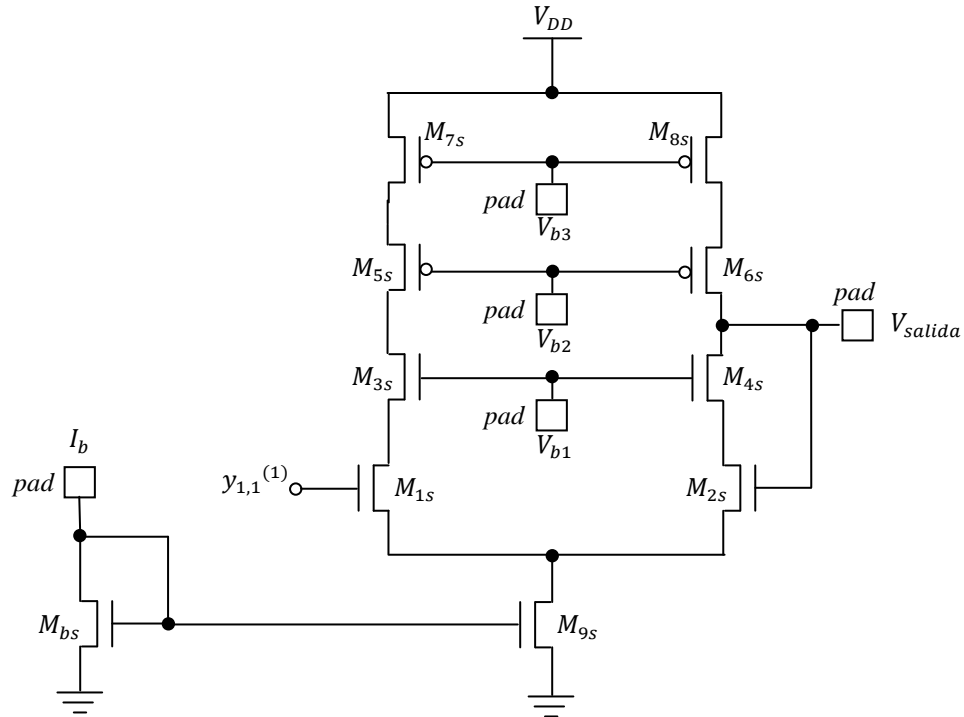


Figura 6.11 Diagrama de la celda de prueba del multiplicador vector-matriz.



**Figura 6.12** Diagrama eléctrico del seguidor de voltaje empleado a la salida del bloque de multiplicación vector-matriz.

Para el seguidor es necesario proporcionar tres voltajes de polarización ( $V_{b1}$ ,  $V_{b2}$  y  $V_{b3}$ ) y una corriente de polarización ( $I_b$ ). En la figura 6.12 los *pads* para conexión están representados por cuadrados blancos. La Tabla 6.1 presenta las dimensiones de los transistores CMOS empleados en el seguidor de voltaje de la figura 6.12 y la Tabla 6.2 muestra los valores de voltajes y corriente de polarización utilizados.

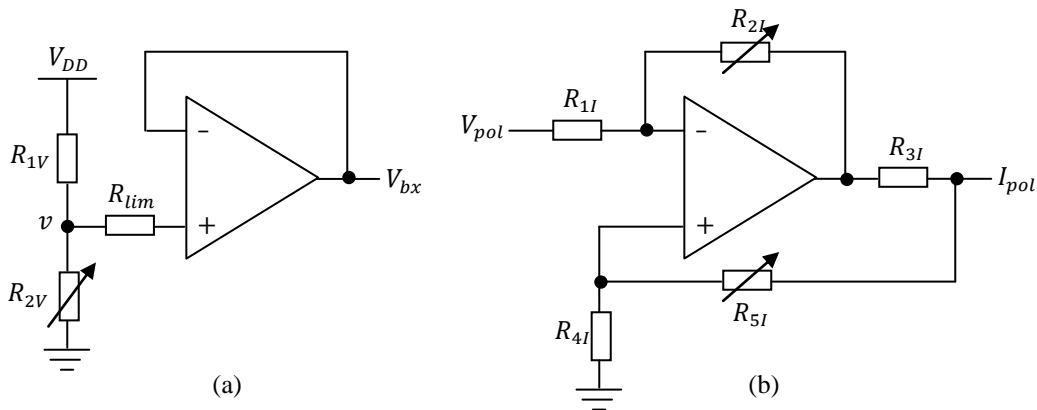
**Tabla 6.1** Dimensiones de transistores empleados en el seguidor de voltaje de la figura 6.12.

| <b>SEGUIDOR DE VOLTAJE</b> |                                    |
|----------------------------|------------------------------------|
| Dispositivo                | Dimensiones                        |
| $M_{1s} - M_{2s}$          | $W_c = 198\mu m, L_c = 1.2\mu m$   |
| $M_{3s} - M_{4s}$          | $W_c = 300\mu m, L_c = 1.8\mu m$   |
| $M_{5s} - M_{8s}$          | $W_c = 960.0\mu m, L_c = 3.6\mu m$ |
| $M_{9s}, M_{bs}$           | $W_c = 90\mu m, L_c = 2.4\mu m$    |

**Tabla 6.2** Voltajes y corriente de polarización del seguidor de la celda de multiplicación vector-matriz.

| <b>SEGUIDOR DE VOLTAJE</b> |               |
|----------------------------|---------------|
| Voltaje/Corriente          | Valor         |
| $V_{b1}$                   | 3.005V        |
| $V_{b2}$                   | 3.46V         |
| $V_{b3}$                   | 3.80V         |
| $I_b$                      | 250.0 $\mu$ A |

Con respecto a los circuitos de polarización externos, cada voltaje de polarización se obtuvo mediante un divisor de voltaje conectado a un seguidor de voltaje (*buffer* de salida), ver figura 6.13a. El circuito empleado para la corriente de polarización es una fuente de corriente controlada por voltaje, ver figura 6.13b [30]. En ambos circuitos se utilizó un OPAMP con matrícula MC33079.



**Figura 6.13** Circuitos de polarización utilizados en el seguidor de salida de la celda de multiplicación vector-matriz. (a) Circuito para generar los voltajes de polarización, (b) circuito para generar la corriente de polarización.

Para el circuito divisor de voltaje (Fig. 6.13a):

$$V_{bx} \approx v. \tag{6.1}$$

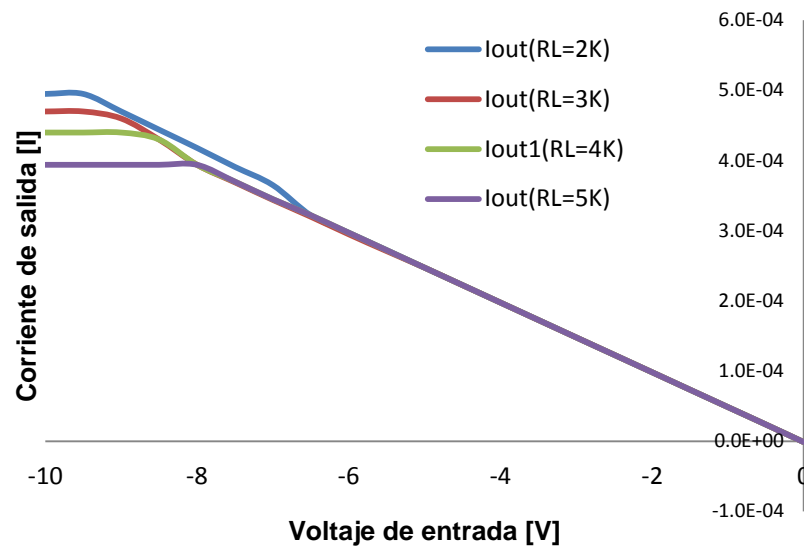
La fuente de corriente controlada por voltaje (Fig. 6.13b) presenta una impedancia infinita de salida bajo la siguiente condición:

$$\frac{R_{1I}}{R_{2I}} = \frac{R_{4I} + R_{5I}}{R_{3I}}, \quad (6.2)$$

Si (6.2) se satisface, la corriente de salida es independiente del voltaje de salida y está dado por:

$$I_{pol} = -\frac{R_{2I}}{R_{1I} \cdot R_{5I}} \cdot V_{pol}. \quad (6.3)$$

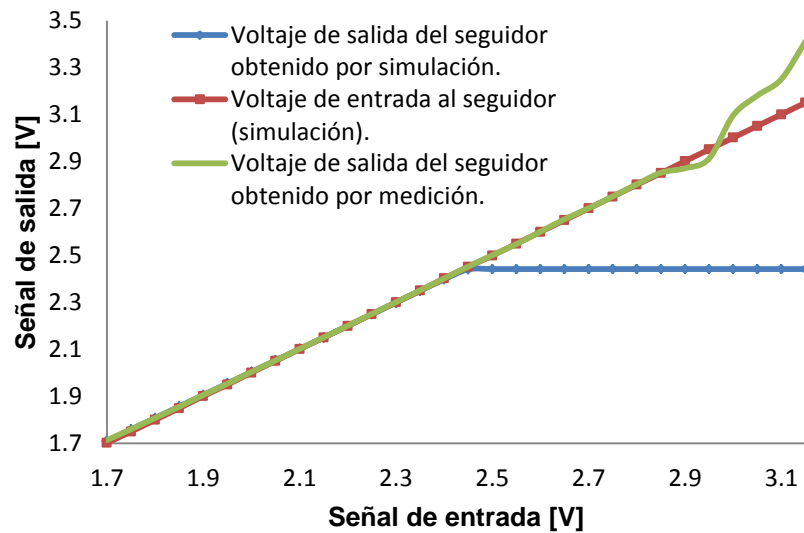
La figura 6.14 muestra las curvas de comportamiento de la fuente de corriente controlada por voltaje para distintos valores resistivos de carga ( $RL$ ). Para esta medición  $R_{1I} = R_{2I} = 100K\Omega$ . Las curvas presentan un comportamiento lineal invariante de la carga en un rango de  $0\mu A$  a  $\sim 325\mu A$ .



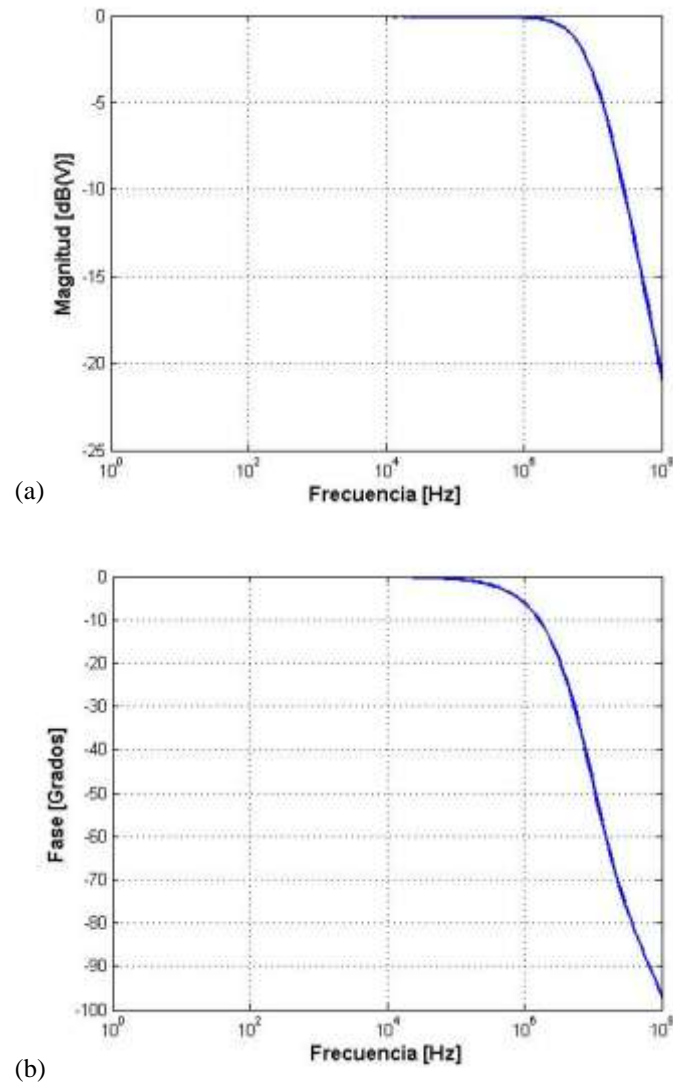
**Figura 6.14** Resultados experimentales de las curvas de comportamiento de la fuente de corriente controlada por voltaje.

La figura 6.15 presenta las curvas de respuesta del seguidor de voltaje obtenidas por simulación y obtenidas por medición. Se aprecia que la curva obtenida por medición presenta un comportamiento lineal en un rango de entrada mayor al obtenido por simulación. En las simulaciones, además de considerar los mismos valores de voltaje y corriente obtenidos por los circuitos reales, se simularon los efectos parásitos de los *pads* de

conexión, datos proporcionados por la empresa de fabricación de CIs. La figura 6.16 muestra las gráficas de Bode del seguidor de voltaje, el valor de  $f_{3dB}$  ocurre a una frecuencia de  $\sim 9.39MHz$  y en un ancho de banda desde  $CD$  hasta  $100KHz$  se presenta un cambio de fase mínimo ( $\sim 0.62^\circ$ ).



**Figura 6.15** Curvas de comportamiento del seguidor de voltaje obtenidas por simulación y por medición.

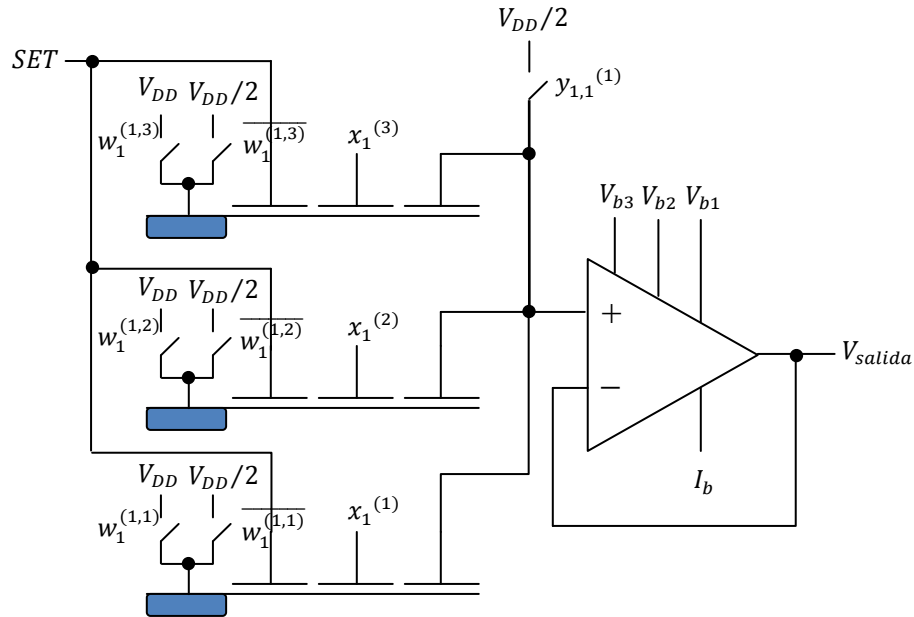


**Figura 6.16** Gráficas de Bode del seguidor de voltaje usado en la salida de las celdas de multiplicación.

(a) Magnitud y (b) fase.

Retomando el diagrama de la figura 6.11 y la Tabla 3.2 (tabla de verdad de la *celda de producto a nivel de bit*), es necesario generar de forma externa al CI las señales de excitación. Estas señales operan de manera síncrona y en el caso de las variables  $w_i^{(m,n)}$  y  $y_{1,1}^{(1)}$ , en ciertos instantes requieren niveles lógicos con un potencial  $V_{DD}/2$ , por lo que se utilizaron interruptores CMOS externos (matrícula CD1416BC) para acondicionar los niveles de voltaje requeridos (figura 6.17).

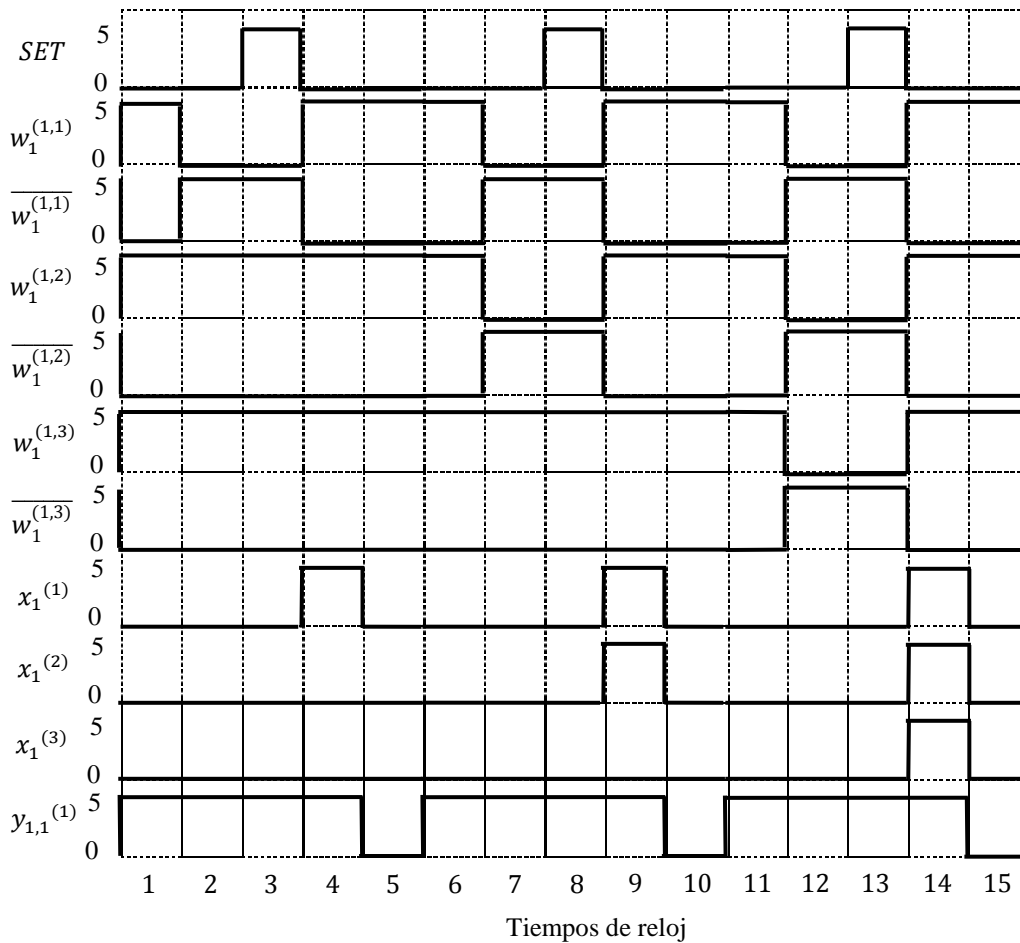




**Figura 6.17** Configuración de la celda de prueba del multiplicador vector-matriz para la manipulación de las señales síncronas de excitación.

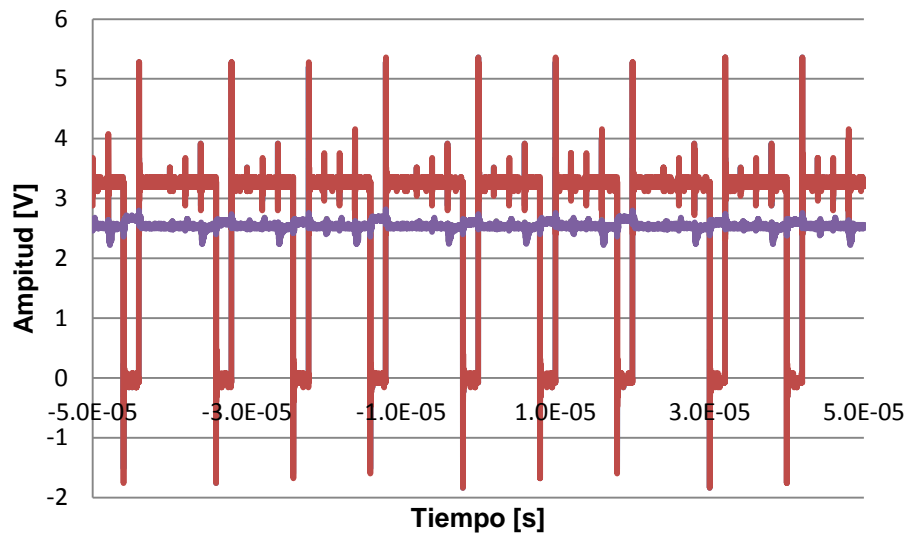
El objetivo de esta celda de prueba es comprobar la variación del potencial en el nodo  $y_{1,1}^{(1)}$  en función del número de *celdas de producto a nivel de bit* que den como resultado un “1” lógico. Para este fin, la figura 6.18 presenta un diagrama de tiempos de las distintas variables usadas en la figura 6.17. Tomando como base la operación dinámica de la *celda de producto a nivel de bit* presentada en la figura 3.10 y los diagramas de tiempos de la figura 3.11. A diferencia de estas gráficas vistas en el capítulo 3, con 6 tiempos de reloj, se propusieron 3 ciclos de comportamiento cada uno dividido en 5 tiempos de reloj (un ciclo por cada celda básica). Con los 5 tiempos de reloj por celda, se inyecta carga al área debajo de la compuerta  $x_j^{(n)}$  a partir del método de voltaje (ver sección 3.2.2) y se aplican potenciales a los electrodos  $x_j^{(n)}$  y  $y_{i,j}^{(m)}$  de manera secuencial para realizar un traspaso de carga como en un dispositivo CCD. Durante el primer ciclo únicamente una celda tendrá como resultado de la multiplicación un “1” lógico, en el segundo ciclo dos celdas tendrán como resultado un “1” lógico y en el tercer ciclo, las tres celdas tendrán como resultado un “1” lógico.

Para la implementación de las señales de excitación síncronas se utilizó un FPGA modelo SPARTAN-3E de la marca Xilinx, el cual posee un reloj interno con frecuencia de 50MHz. Se implementaron al menos dos modos de programación usando el lenguaje de descripción de hardware VHDL, resultando con mayor estabilidad el uso del *módulo administrador de reloj digital* DCM del FPGA [31], [32] para realizar la división de frecuencia de la señal de reloj interna original, obteniéndose finalmente  $f_{reloj} = 500KHz$ . Debido a que se completan los tres ciclos en 15 tiempos, la frecuencia final de operación es de  $\sim 33.33KHz$ , siendo una frecuencia apropiada para utilizarse con el seguidor de voltaje propuesto. Debido a que el FPGA tiene una alimentación de 3.3V y el CI se alimenta con 5V, se utilizó un circuito elevador de voltaje con matrícula MC14504B para las señales digitales.

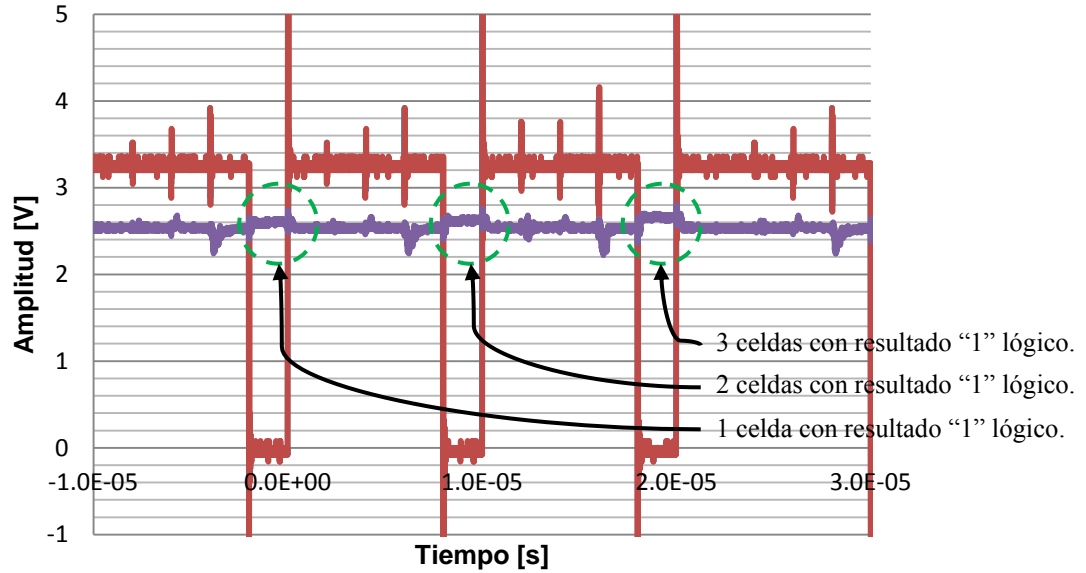


**Figura 6.18** Diagrama de tiempos de las señales de excitación síncronas de la celda de prueba para multiplicación vector-matriz.

La figura 6.19 presenta los resultados de las mediciones realizadas a la celda de prueba del multiplicador vector-matriz. En esta gráfica aparece la señal digital de entrada  $y_{1,1}^{(1)}$  obtenida del FPGA (amplitud de 3.3V) y la señal de salida del circuito multiplicador después del seguidor de voltaje a la salida. Las lecturas de voltaje ocurrirán cuando el nivel de voltaje de  $y_{1,1}^{(1)}$  esté en bajo (0V); observe que cuando esto ocurre, el nivel de voltaje de salida se eleva. La figura 6.20 muestra una amplificación de la señal de salida del multiplicador después del seguidor de voltaje. En esta gráfica se aprecia el incremento de voltaje en el nodo de salida, proporcional al número de celdas de producto a nivel de bit que dan como resultado de la multiplicación un “1” lógico. De (3.18), que es la ecuación empleada para conocer el incremento de voltaje en el nodo de salida en función de la cantidad de carga que se traspa al área debajo de la compuerta  $y_{i,j}^{(m)}$  (nodo de salida), nótese que una vez diseñada la estructura física del multiplicador (en el caso del prototipo de prueba 3 celdas conectadas), la capacitancia del nodo de salida permanece constante, por lo tanto, entre más *celdas de producto a nivel de bit* den como resultado de la multiplicación un “1” lógico, el valor  $\Delta Q$  crecerá, generando un voltaje de salida proporcional.

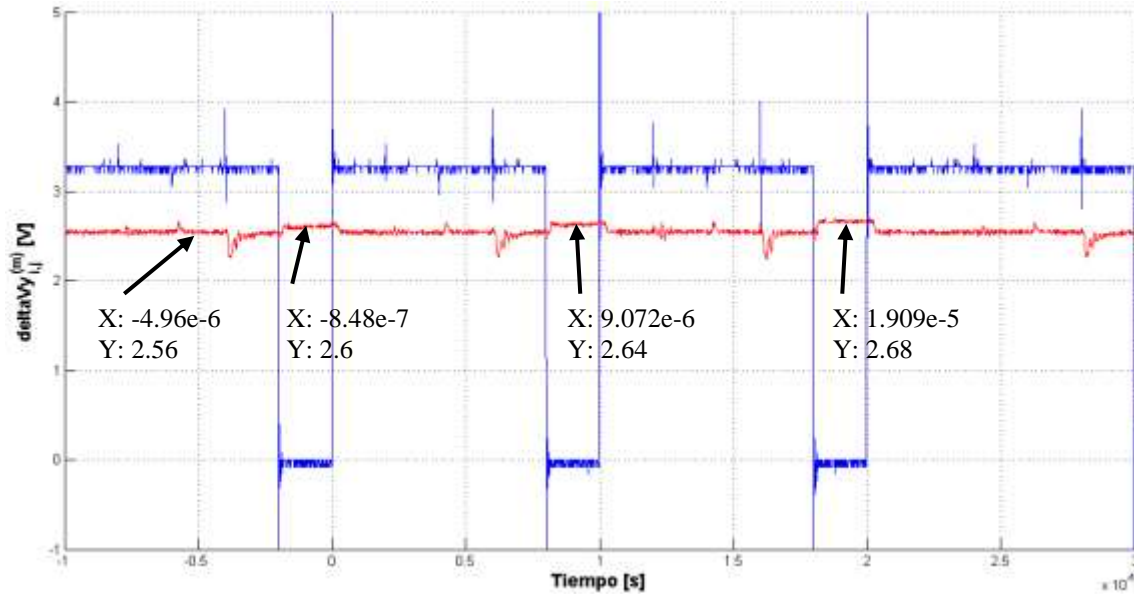


**Figura 6.19** Resultado de medición de la celda de prueba para el multiplicador vector-matriz. Se aprecia la señal digital de entrada  $y_{1,1}^{(1)}$  y la señal de salida de la celda de prueba del multiplicador, después del seguidor de voltaje de salida.



**Figura 6.20** Amplificación de las señales de la figura 6.19 para apreciar el cambio de voltaje en el nodo de salida del multiplicador proporcional al número de celdas de producto a nivel de bit con resultado “1” lógico.

La figura 6.21 presenta la gráfica de la figura 6.20 pero obtenida mediante Matlab® y muestra etiquetas con valores obtenidos en cada región de comportamiento. La Tabla 6.3 presenta una comparación entre los valores de voltaje en el nodo de salida obtenidos por el modelo matemático y los obtenidos por mediciones de la celda de prueba del multiplicador. Para el caso del modelo matemático, presenta un incremento de 39mV por celda con resultado “1” lógico, mientras que las mediciones arrojaron valores promedio de 40mV de incremento.



**Figura 6.21** Incremento de voltaje en el nodo de salida de la celda de prueba del multiplicador en función del número de *celdas de producto a nivel de bit* con resultado “1” lógico.

**Tabla 6.3** Comparativa de valores obtenidos por el modelo matemático y por mediciones de la celda de prueba del multiplicador.

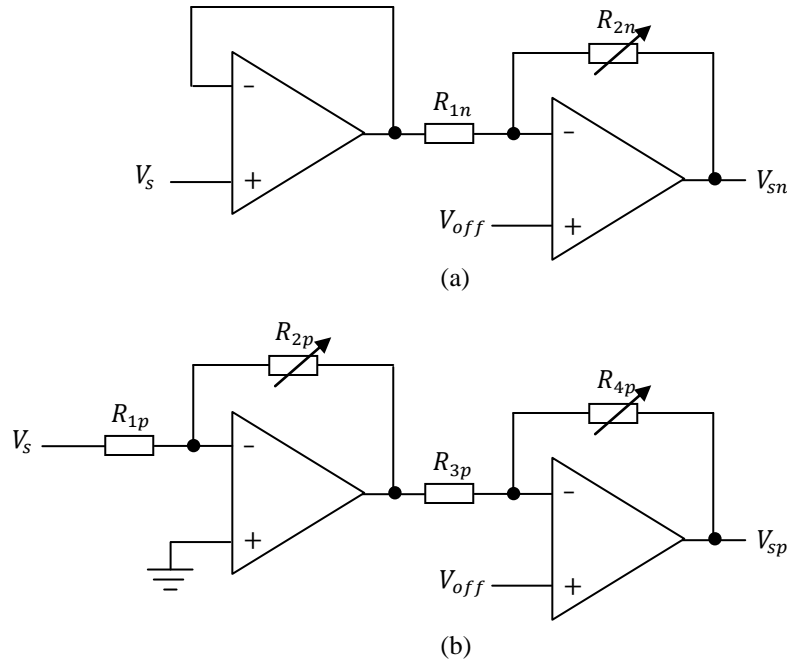
| No. celdas activas | Simulación | Medición |
|--------------------|------------|----------|
| 0                  | 2.546V     | 2.56V    |
| 1                  | 2.584V     | 2.60V    |
| 2                  | 2.623V     | 2.64V    |
| 3                  | 2.662V     | 2.68V    |

### 6.3.2 Celda de Circuito de Muestreo y Retención

Otra de las celdas de prueba diseñadas consiste en el circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial, visto en la sección 5.7.2; que es utilizado para conocer algunas características del OTA dentro de un lazo retroalimentado. El OTA implementado es el de la figura 5.15, con las dimensiones de dispositivos y polarizaciones presentados en la sección 5.5.4. Al igual que el *buffer* usado en la celda de multiplicación vector-matriz (figura 6.12), los voltajes de polarización  $V_{b1}$ ,

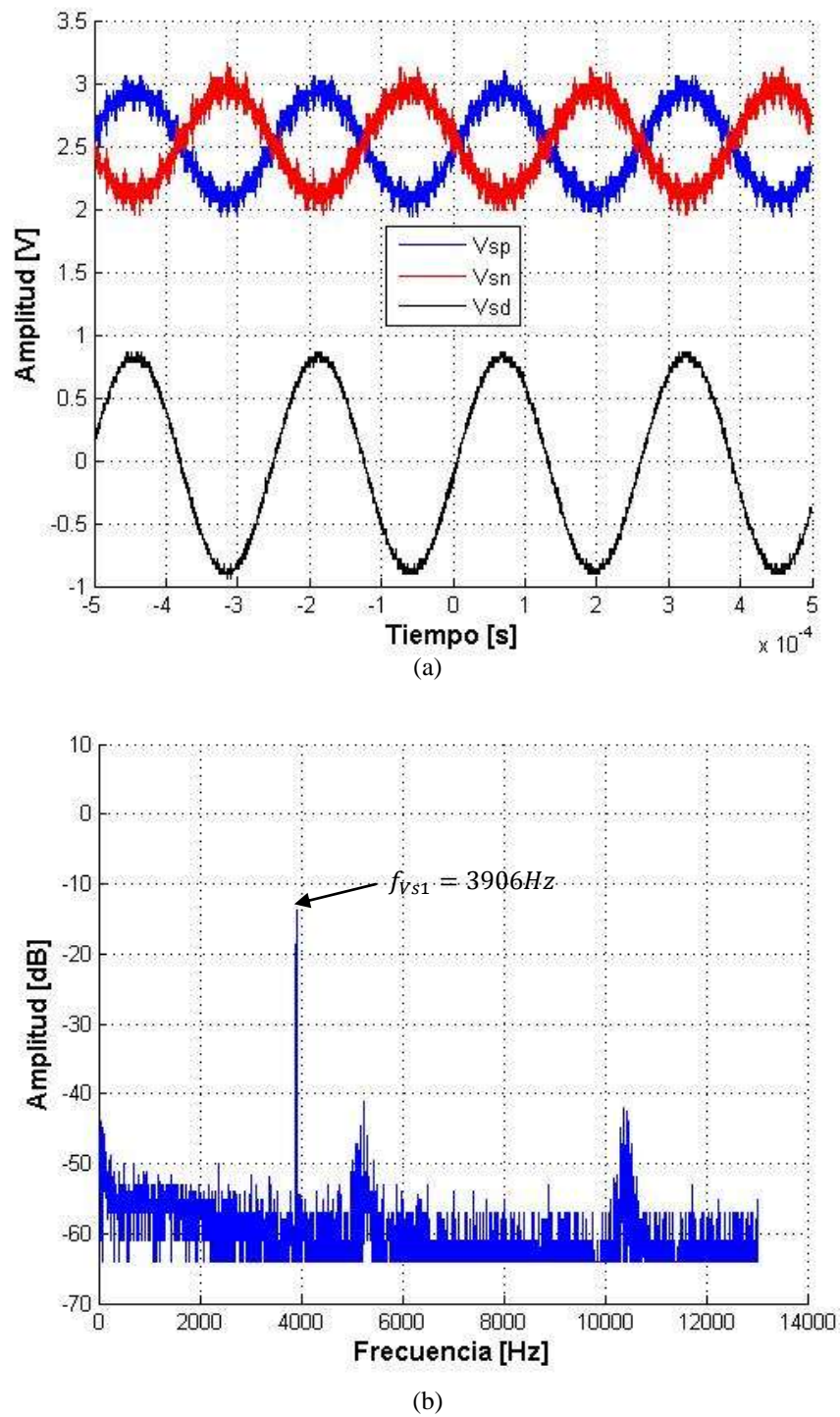
$V_{b2}$  y  $V_{b3}$  y la corriente de polarización  $I_b$  del OTA son generados fuera del CI usando las configuraciones eléctricas de las figuras 6.13a y 6.13b.

Para las pruebas, se genera una señal sinusoidal  $V_s$  con frecuencia, amplitud y voltaje de desvío específicos mediante un generador de funciones y esta señal se introduce a las configuraciones eléctricas de la figura 6.22, las cuales conforman una etapa de generación de señales complementarias (con diferencia de fase de  $180^\circ$ ). Para inducir la misma cantidad de ruido en ambas señales y así aprovechar las ventajas de cancelación de éste en circuitos con configuración completamente diferencial (ver sección 5.5) se optó por emplear dos OPAMPs para cada rama, nótese que en la configuración eléctrica de la figura 6.22a se tiene un seguidor de voltaje (ganancia unitaria) en cascada con un inversor. La configuración eléctrica de la figura 6.22b utiliza dos inversores en cascada. Para minimizar efectos de diferencia de ganancias debidas al porcentaje de tolerancia en valores resistivos, se emplearon resistencias variables en puntos estratégicos. Para ambas configuraciones se utilizaron OPAMPs de bajo ruido con matrícula MC33079. En la figura 6.21,  $V_{off}$  es un voltaje de referencia que determina el voltaje de desvío deseado en las señales complementarias,  $V_{sp}$  y  $V_{sn}$  son dos señales sinusoidales con amplitud y frecuencia igual a  $V_s$  pero con una diferencia de fase entre ellas de  $180^\circ$ .



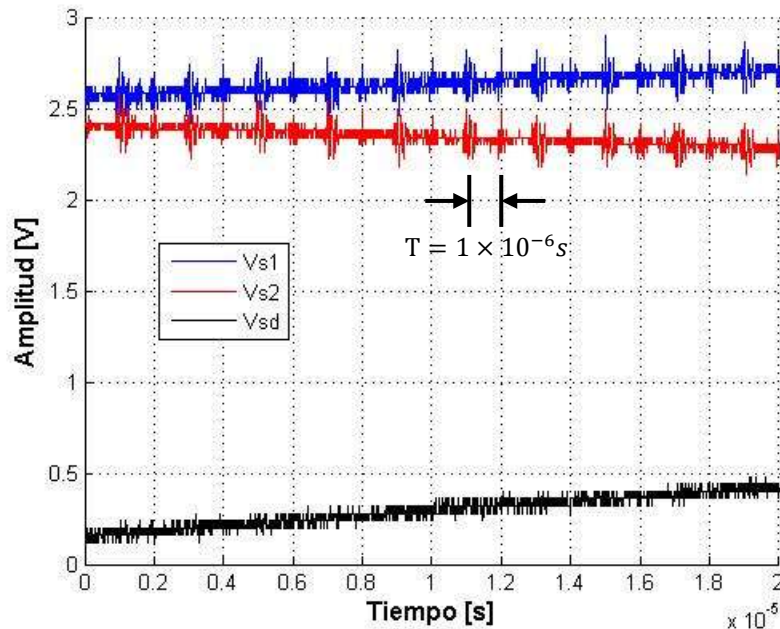
**Figura 6.22** Configuración eléctrica para generación de señales complementarias de entrada a la celda de muestreo y retención. (a) Generación de señal  $n$ , (b) generación de señal  $p$ .

La figura 6.23a muestra las señales sinusoidales complementarias en el dominio del tiempo obtenidas de las configuraciones eléctricas de la figura 6.22 y la señal diferencial  $V_{sdif} = V_{sp} - V_{sn}$  al introducir una señal sinusoidal con amplitud pico-pico de  $800mV$  y una frecuencia de  $3906Hz$ . La figura 6.23b presenta el espectro de la señal  $V_{s1}$ ; el valor de  $SNR$  en el ancho de banda de interés ( $0Hz$  a  $3906Hz$ ) es de  $-44.12dB$ . Se observa un aumento en el nivel de ruido de piso para frecuencias cercanas a  $0Hz$ . La figura 6.24 es una ampliación de las señales de la figura 6.23a y muestra que el ruido de alta frecuencia presente en las señales sinusoidales obtenidas de las configuraciones eléctricas de la figura 6.22 es inducido por las señales de reloj utilizadas. De acuerdo a la figura 6.23a y 6.24, al realizar la diferencia entre ellas, la amplitud del ruido inducido se minimiza (el valor de  $SNR$  aumenta, ya que el ruido afecta por igual a cada senoide y se cancela).



**Figura 6.23** Señales sinusoidales complementarias ( $V_{sp}$  y  $V_{sn}$ ) de entrada al circuito de muestreo y retención, generadas mediante las configuraciones eléctricas de la figura 6.22. (a) En el dominio del tiempo y (b) espectro de la señal diferencial  $V_{s1}$ .

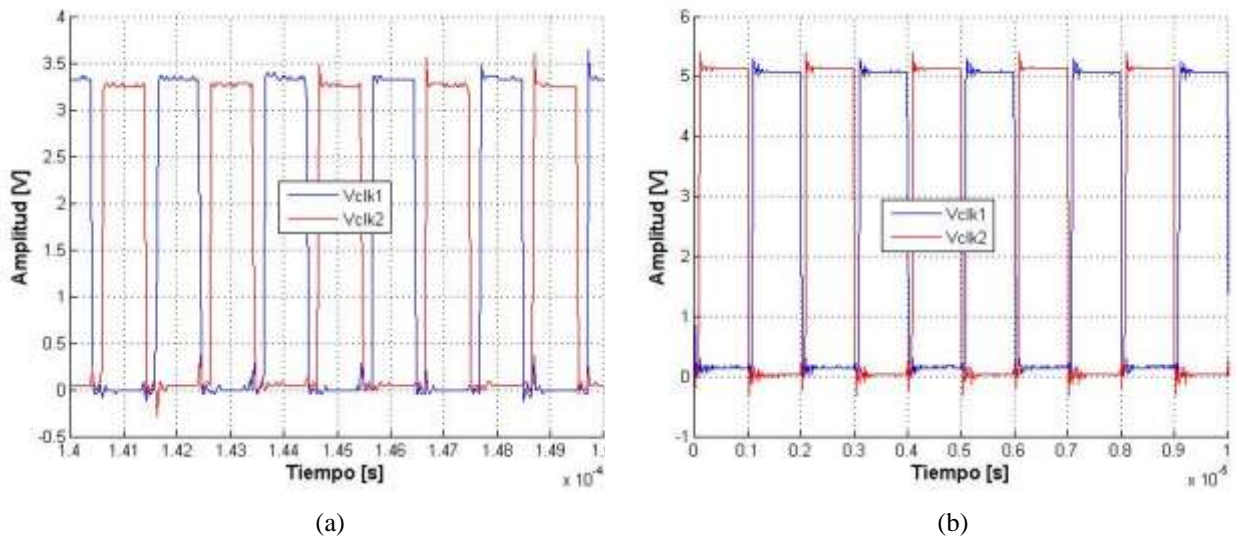




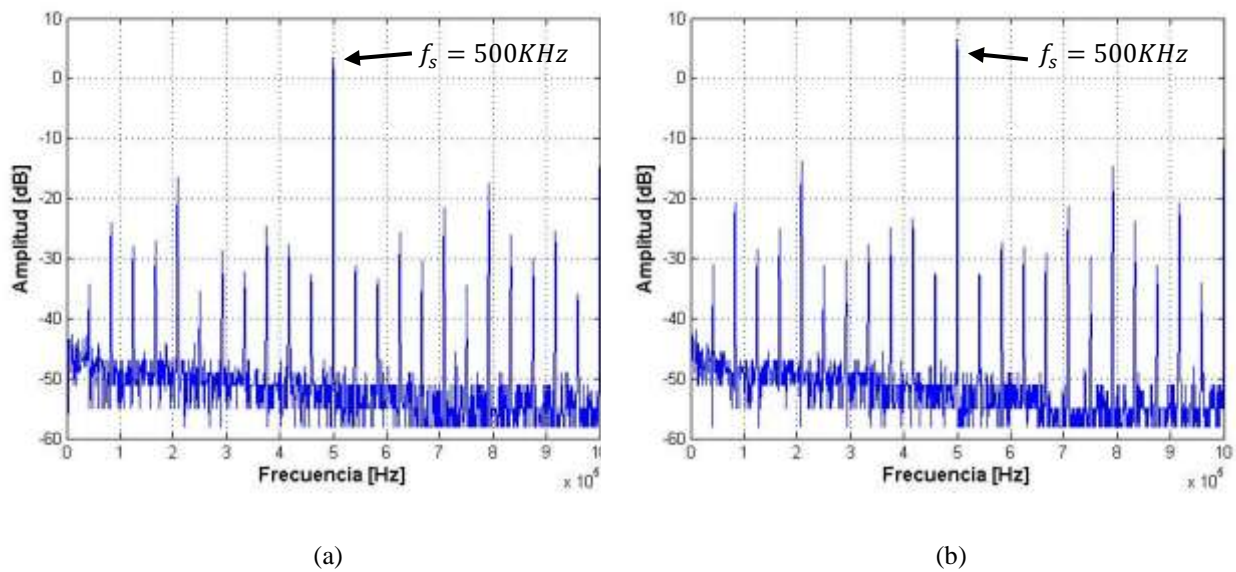
**Figura 6.24** Ampliación de las señales complementarias y diferencial de la figura 6.23a.

Al igual que en la celda de multiplicación vector-matriz, se utilizó un FPGA modelo SPARTAN-3E de la marca Xilinx, con reloj interno a una frecuencia de  $50\text{MHz}$  para generar las señales de reloj necesarias: dos fases de reloj no traslapadas; para las pruebas, se utilizó una frecuencia de muestreo de  $500\text{KHz}$ . La figura 6.25a muestra las señales de reloj a la salida del FPGA y la figura 6.25b muestra las señales de reloj después del circuito elevador de voltaje con matrícula LVC4245A (cambio de amplitud de  $3.3\text{V}$  a  $5\text{V}$ ); este CI sustituye al circuito MC14504B usado en la celda de multiplicación vector-matriz ya que el circuito LVC4245A puede operar a frecuencias más altas.

Las figuras 6.26a y 6.26b muestran el espectro de una fase de reloj a la salida del FPGA y después del circuito elevador de voltaje, respectivamente. En ambas gráficas se presentan señales de ruido con amplitud considerable, pero estas ocurren a frecuencias mayores a la banda de interés ( $0\text{Hz}$  a  $3906\text{Hz}$ ). El primer pico significativo ocurre a  $4166\text{Hz}$ . Para ambos espectros, el nivel de ruido dentro de la banda de interés se mantiene en  $-47.2936\text{dB}$ . Lo que indica que la etapa de elevación de nivel no eleva el nivel de ruido en las señales de reloj, pero el nivel de ruido es alto, considerando la resolución del convertidor A/D que se requiere (8bits de resolución).



**Figura 6.25** Fases de reloj no traslapadas con frecuencia de 500KHz utilizadas en el circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial. (a) Señales obtenidas a la salida del FPGA, (b) señales obtenidas después del circuito LVC4245A.

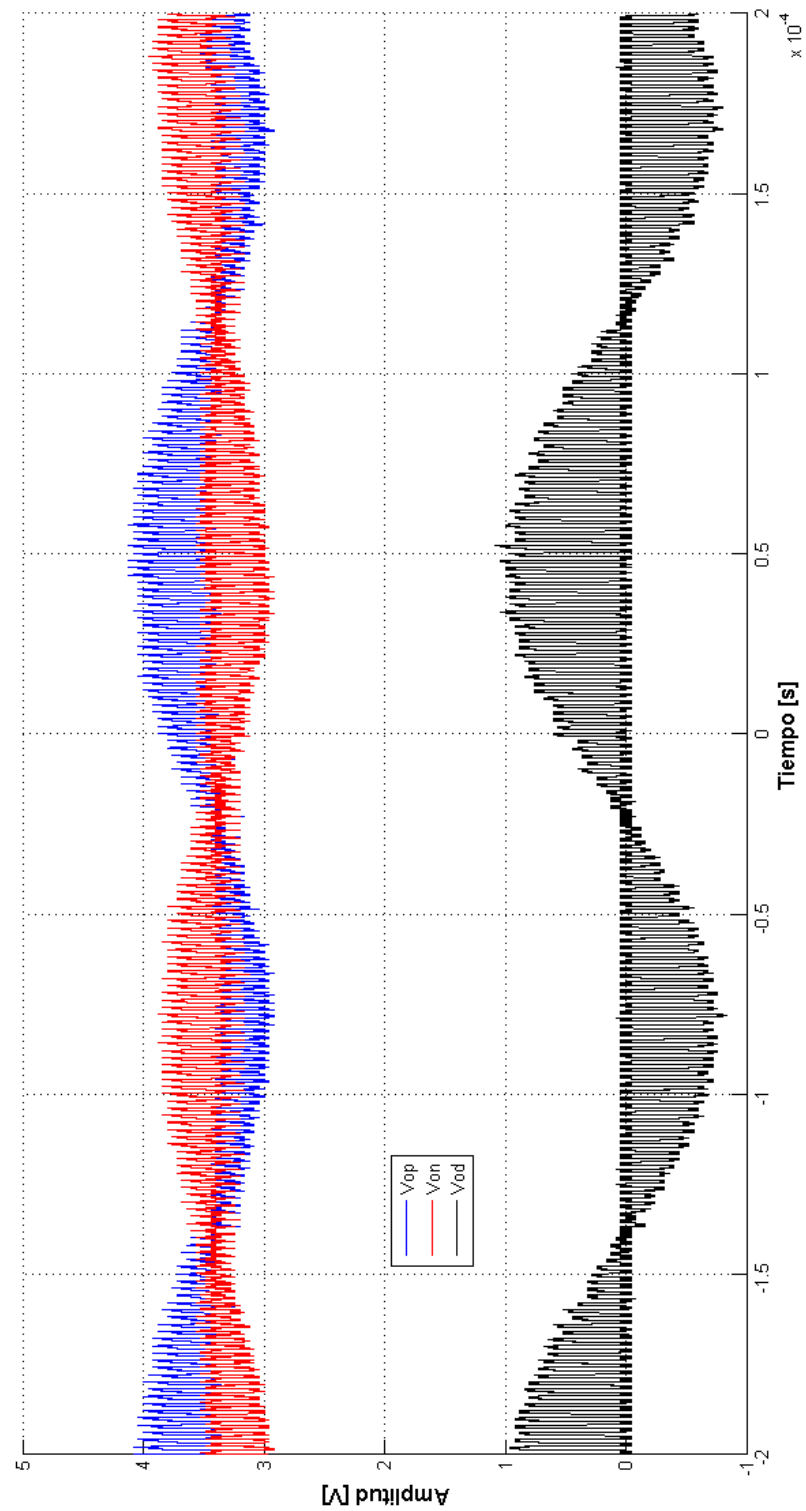


**Figura 6.26** Espectros de una fase de reloj (a) a la salida del FPGA y (b) después del circuito elevador de voltaje.

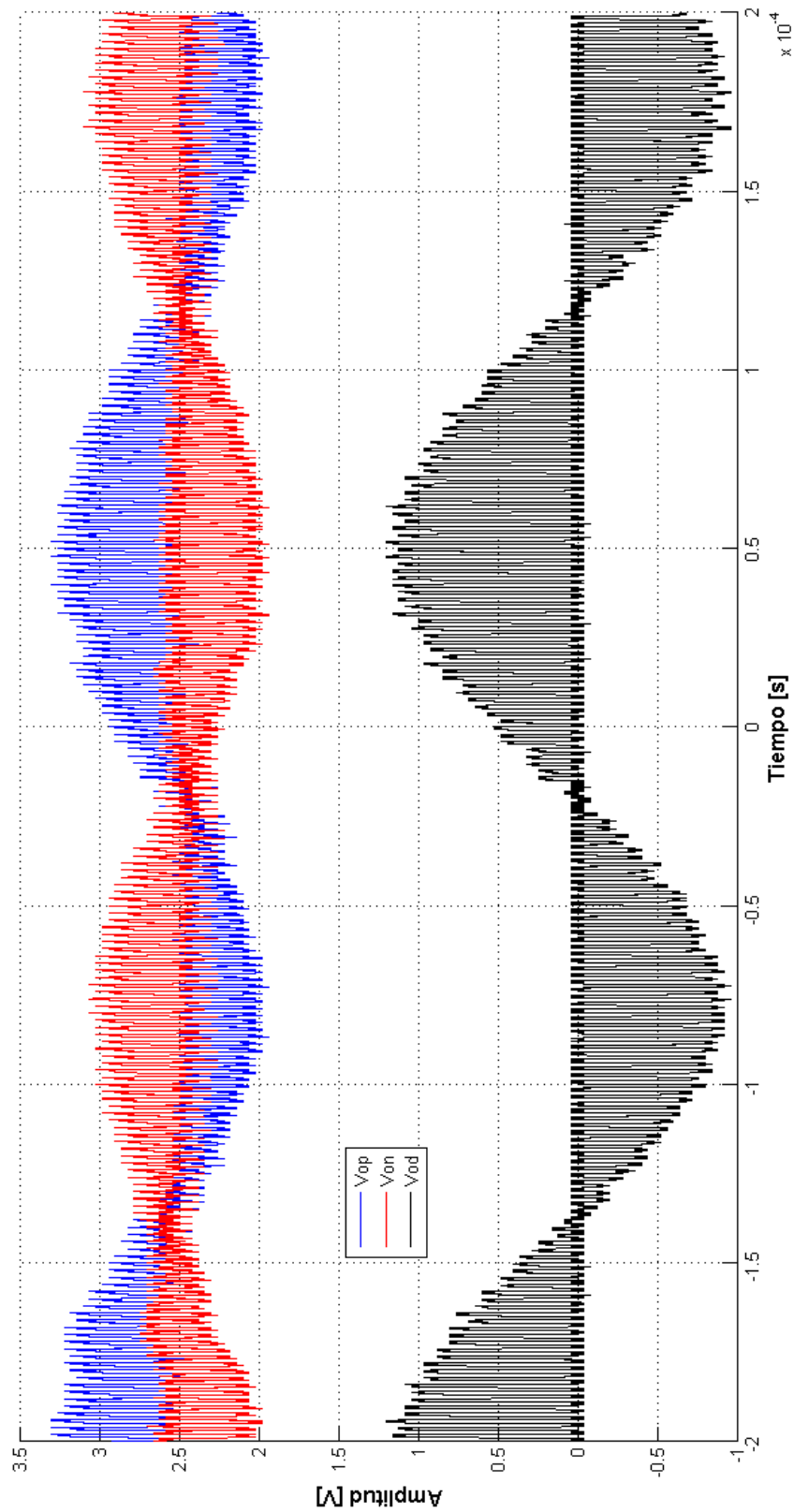
La figura 6.27 muestra la salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial con  $f_s = 500\text{KHz}$ , cuando ingresan

a éstas señales complementarias con amplitud pico de  $500mV$ , con una frecuencia de  $3906Hz$ . La figura 6.28 muestra la salida del circuito de muestreo y retención con iguales características a la figura 6.27 a excepción de la amplitud pico de las señales de entrada, que fue de  $600mV$ .

En ambas figuras, el circuito de muestreo y retención presenta un comportamiento no simétrico debido a que cada una de las señales sinusoidales sufre un desplazamiento sobre el nivel de voltaje en modo común  $v_{cm}$  (en este caso  $v_{cm} = 2.5V$ ). Este desplazamiento es distinto para cada senoide y no fue minimizado por limitaciones en el diseño PCB (placa de circuito impreso) realizado. Este desplazamiento puede apreciarse también en la señal diferencial de salida ( $V_{od}$ ).



**Figura 6.27** Salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial, con señales complementarias con  $V_p = 0.5V$ ,  $f_{in} = 3906Hz$  y  $f_s = 500KHz$ .



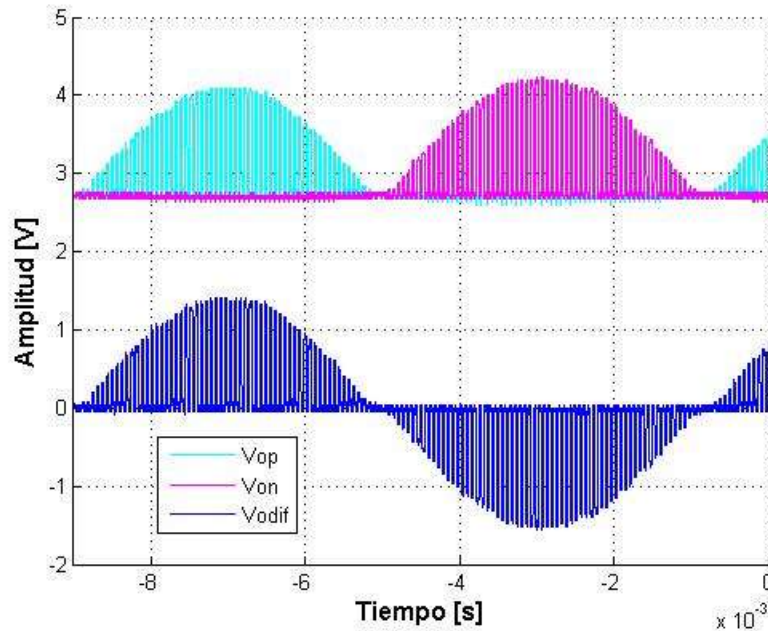
**Figura 6.28** Salida del circuito de muestreo y retención de un solo capacitor en configuración completamente diferencial, con señales complementarias con  $V_p = 0.6V$ ,  $f_{in} = 3906Hz$  y  $f_s = 500KHz$ .

El circuito de muestreo y retención mostró una alta sensibilidad a las variaciones en los voltajes de polarización y menor sensibilidad a la variación de la corriente de polarización  $I_b$ . Los voltajes utilizados en las simulaciones (Tabla 5.8) fueron modificados, ya que no todos los transistores estaban operando en la región de saturación, lo que provocaba un muestreo no completamente diferencial de las señales de entrada (ver figura 6.29). Los valores utilizados para los voltajes de polarización se presentan en la Tabla 6.4.

**Tabla 6.4** Voltajes y corrientes de polarización para el OTA del circuito de muestreo y retención de un solo capacitor.

| Voltaje/Corriente | Valor       |
|-------------------|-------------|
| $V_{b1}$          | 3.3V        |
| $V_{b2}$          | 3.57V       |
| $V_{b3}$          | 3.80V       |
| $I_b$             | 320 $\mu$ A |

Otro problema presentado fue la estabilización de la señal para el guardado de información, ya que al estar presentes señales con una diferencia considerable de frecuencias, el equipo de medición presentaba problemas de estabilización, lo que genera una variación en la amplitud muestreada. Debe resaltarse que el circuito de muestreo y retención es con retorno a cero y para las frecuencias utilizadas (de las señales de entrada y frecuencia de muestreo), el circuito presentó un tiempo de carga y descarga adecuado.



**Figura 6.29** Salida del circuito de muestreo y retención de un solo capacitor con voltajes de polarización del OTA utilizados en las simulaciones.

### 6.3.3 Celda de Circuito Modulador Sigma-Delta

Esta celda de prueba analiza el comportamiento del modulador  $\Sigma\Delta$  pasa-bajas, de primer orden, de un solo bit, en configuración completamente diferencial y que opera en tiempo discreto. El modulador está compuesto por el bloque de integración, seguido del bloque de comparación; ambos dentro de un lazo retroalimentado (ver figura 5.4). Para la extracción de características, al igual que en la celda de prueba del circuito de muestreo y retención, de forma externa a la celda de prueba se genera una senoide  $V_s$  con amplitud y frecuencia específica que ingresa a las configuraciones eléctricas de la figura 6.22, las cuales generan señales sinusoidales complementarias con amplitud y frecuencia iguales a  $V_s$  (de forma ideal). Las señales sinusoidales complementarias ingresan al modulador y éste genera una salida digital con saturación positiva o negativa, en función de la amplitud de las señales de entrada.

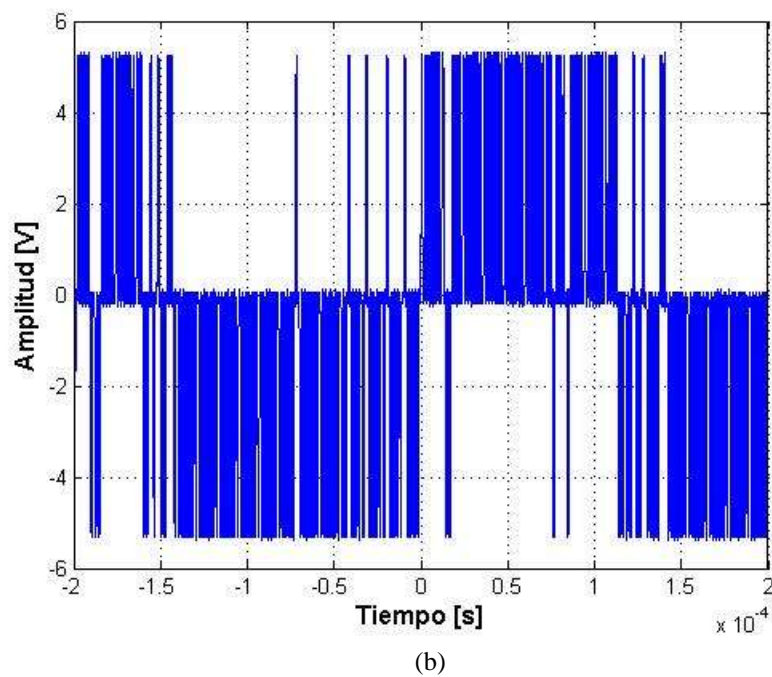
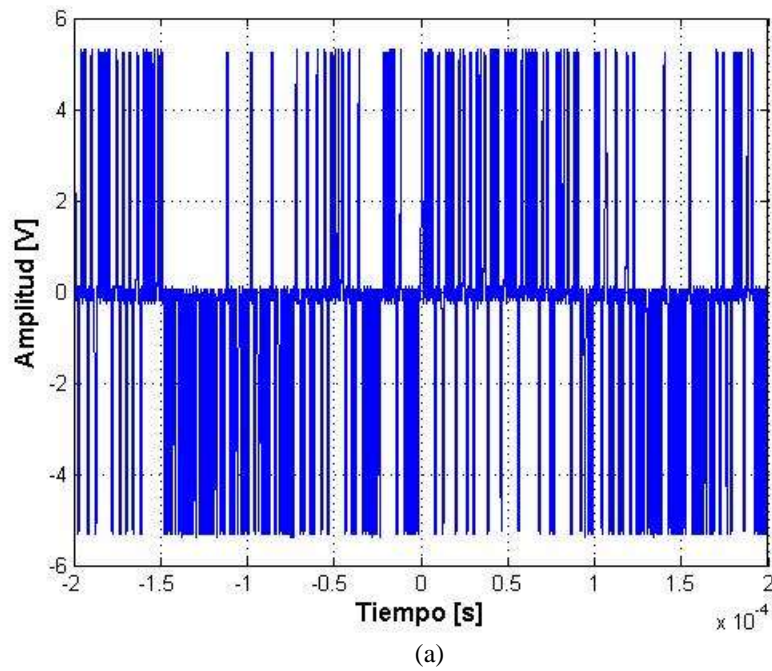
Para implementar los circuitos que generan las señales sinusoidales complementarias de la figura 6.22 y las configuraciones eléctricas de la figura 6.13, referentes a voltajes y corrientes de polarización del OTA con configuración cascode-

telescópico del bloque de integración, se ocuparon CIs con matrícula MC33079 (OPAMPs de bajo ruido). Las señales de reloj, mismas que se ocuparon en el circuito de prueba del muestreador (sección 6.3.2), se implementaron con un FPGA SPARTAN-3E de la marca Xilinx.

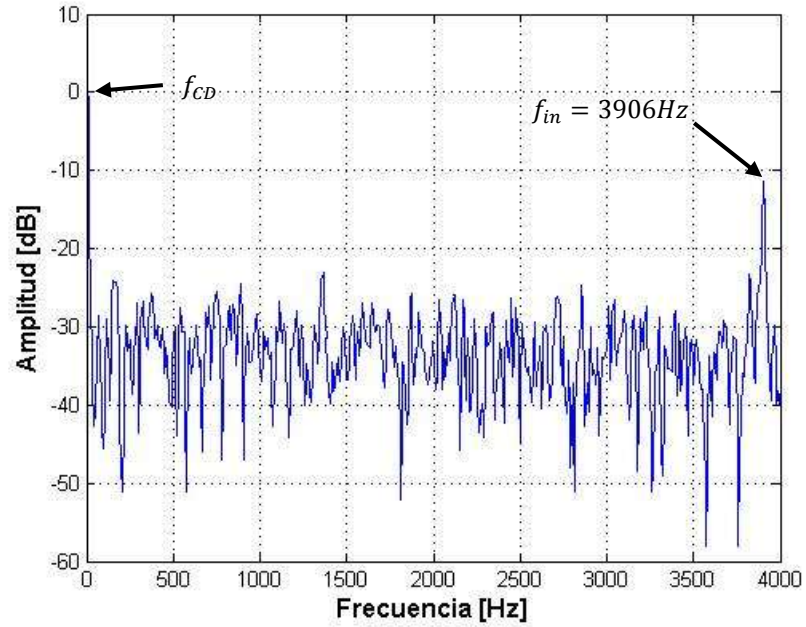
De las mediciones realizadas al circuito de muestreo y retención, se obtuvieron los voltajes de polarización que aseguran que los transistores del OTA empleado en el bloque de integración operen en la región de saturación, por lo tanto, para la celda de prueba del modulador, se utilizaron los valores de la Tabla 6.4. La figura 6.30a muestra la salida del modulador sigma-delta cuando ingresan señales sinusoidales complementarias con amplitud pico de  $500mV$  (que generan una señal sinusoidal completamente diferencial de  $1V$  pico) y la figura 6.30b presenta la salida del modulador para amplitudes pico de  $900mV$ ; en ambas gráficas la frecuencia de las señales complementarias es de  $3906Hz$  y las fases de reloj operan a  $500KHz$  (guardándose la proporción  $OSR \geq 64$ ).

Las figuras 6.31a y 6.31b muestran los espectros correspondientes a las figuras 6.30a y 6.30b. Cada espectro es obtenido a partir de una de las señales de salida del modulador, no de la salida diferencial. El motivo obedece a que el espectro se obtuvo de la herramienta de conversión FFT del osciloscopio utilizado y éste realiza la conversión de un solo canal de adquisición. Si se requiere, como es el caso presente, una resolución suficiente dentro del ancho de banda para obtener parámetros tales como SNDR, la generación del espectro de la señal diferencial a partir de la adquisición de datos en el dominio del tiempo para su posterior procesamiento vía software necesita de un número excesivo de datos (para generar el espectro de la señal diferencial de salida a partir de los datos obtenidos en el dominio del tiempo en cada canal del osciloscopio).

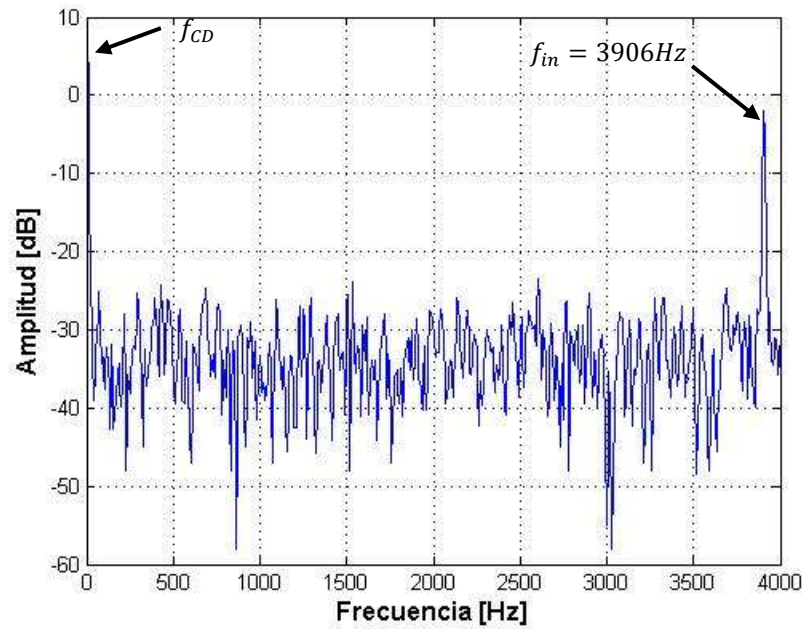




**Figura 6.30** Salida del circuito modulador sigma-delta de primer orden en configuración completamente diferencial, para señales complementarias de entrada con frecuencia de 3906Hz y señales de reloj operando a 500KHz. (a) Para señales complementarias de  $V_p = 500mV$  y (b) señales complementarias de  $V_p = 900mV$ .



(a)



(b)

**Figura 6.31** Espectro de una de las señales de salida del circuito modulador sigma-delta de primer orden en configuración completamente diferencial, para señales complementarias de entrada con frecuencia de 3906Hz y señales de reloj operando a 500KHz. (a) Para señales complementarias de  $V_p = 500\text{mV}$  y (b) señales complementarias de  $V_p = 900\text{mV}$ .

La salida en el dominio del tiempo de la celda de prueba del circuito modulador demuestra que el bloque de comparación responde a las demandas requeridas (carga o descarga de la señal de salida a  $\pm 5V$  o  $GND$  en el tiempo requerido).

Los espectros de las señales (señales en configuración simple de salida del modulador) arrojan una componente de frecuencia en 3906Hz, lo cual es un indicativo de que se está realizando la modulación sigma-delta. En el caso de las señales complementarias de entrada con  $V_p = 500mV$ , el valor de SNDR obtenido en el ancho de banda de la señal es de  $22.98dB$  y para  $V_p = 900mV$ , el valor de SNDR obtenido en el ancho de banda de la señal es de  $32.26dB$ . Retomando las ecuaciones de la sección 4.3.1 para la obtención del número de bits de resolución del sistema pero con relación al parámetro SNDR obtenido del espectro de las señales, para  $V_p = 500mV$  se obtiene una resolución de  $3.52 bits$  y para  $V_p = 900mV$ , una resolución total de  $5.06 bits$ .

## 6.4 Resumen

Este capítulo comenzó con la descripción de las técnicas de diseño geométrico para sistemas mixtos que se implementaron en el desarrollo de este trabajo de tesis. Se describieron las celdas de prueba diseñadas para la extracción de características de las componentes del multiplicador vectorial: celda básica de producto y convertidor A/D. Para cada celda de prueba, se reportaron los resultados obtenidos.

Con respecto a la celda básica de producto, se diseñó una celda de prueba con tres celdas básicas de producto, con el objetivo de comprobar el aumento o disminución de voltaje en el nodo de salida en función del número de celdas que arrojan un “1” lógico como resultado del producto realizado.

Referente a la etapa de conversión, se desarrolló una celda de prueba que implementa un circuito de muestreo y retención donde es utilizado el OTA diseñado para el modulador sigma-delta. Esta celda de prueba tuvo como objetivo extraer características del OTA (los voltajes y corriente de polarización adecuados, comportamiento en el tiempo), las cuales fueron utilizadas posteriormente en la celda de prueba del modulador. Posteriormente se presentó la celda de prueba del modulador, que recibe señales analógicas complementarias de entrada y genera la salida modulada de un solo bit.

Este capítulo también describió las configuraciones eléctricas utilizadas para generar las señales de entrada a cada una de las celdas de prueba.



---

## Capítulo 7

### Conclusiones y Trabajo Futuro

#### 7.1 Resumen de Resultados y Conclusiones

Este trabajo de tesis aborda el diseño de las componentes de un multiplicador vectorial con conversión A/D usando técnicas de sistemas mixtos CMOS. Partiendo del análisis de operación a nivel funcional de un multiplicador vectorial, se propuso una arquitectura basada en tecnología CMOS, se determinaron los bloques que la conforman y las variables de entrada y salida de cada bloque. Debido a que a nivel funcional la arquitectura del multiplicador vectorial puede interpretarse como una matriz bidimensional de celdas básicas de multiplicación con algunos nodos de entrada unidos de acuerdo al número de fila que le corresponden y otros de acuerdo al número de columna (ver capítulo 2.3), para el desarrollo del trabajo escrito, se determinaron dos bloques principales, uno de ellos enfocado al análisis y diseño de la celda básica de producto y el segundo bloque, referente al convertidor A/D.

Con respecto al bloque de la celda básica de producto, para su diseño se analizaron distintas estructuras CMOS reportadas en otros trabajos, que convergen en dispositivos de inyección de carga en unión con dispositivos de acoplamiento de carga. Dos aspectos influyeron en la elección de la arquitectura CMOS de la celda de producto a nivel de bit: la tecnología CMOS disponible y los ciclos de reloj que utilizan. El diseño geométrico se realizó con una tecnología CMOS de  $1.2\mu m$ , pozo  $n$ , con dos niveles de metal y dos niveles de polisilicio; por lo que el dispositivo CCD usado en la celda básica de producto utiliza los dos niveles de polisilicio para formar las compuertas. Con respecto a las fases de reloj, en el capítulo 3.2.1 se menciona que la estructura CCD que utiliza los dos niveles de polisilicio puede operar con dos o cuatro fases de reloj, sin embargo, se diseñó a la celda básica de producto para utilizar como señales de reloj a cada una de las variables de entrada (con un nodo conectado a una difusión y 3 nodos conectados uno a uno a una compuerta MOS).

La celda de producto recibe valores digitales de entrada y realiza una operación de producto a nivel de carga (nivel de bit), que es una operación en el dominio analógico basado en la operación lógica AND y genera un nivel de voltaje como salida. Se obtuvo el modelo de comportamiento de la celda de producto a nivel de bit, cuyo funcionamiento se basa en los modelos matemáticos usados en estructuras MOS de dos y tres terminales. El modelo obtenido relaciona los voltajes aplicados en los nodos  $SET$  y  $w_i^{(m,n)}$  con el potencial superficial  $\psi_s$  generado en la región debajo de la compuerta  $w_i^{(m,n)}$ , junto a la difusión. Conocido el valor de  $\psi_s$ , es posible determinar la cantidad de carga inyectada al dispositivo y, si se asume que no existe pérdida, esa cantidad de carga es la que se transmite o no al nodo de salida  $y_{i,j}^{(m)}$  dependiendo del valor digital recibido en el nodo  $x_j^{(n)}$ . Debido a que el modelo obtenido basa su operación en una ecuación no analítica, se propuso una red neuronal artificial multicapa como aproximador de función, con el objetivo de crear un macromodelo en SPICE del dispositivo. Debido a las curvas de comportamiento de bajo orden obtenidas del modelo a aproximar, la red presenta problemas de adaptación, sin embargo, arroja resultados satisfactorios para valores de voltaje en el nodo  $SET$  comprendidos de  $2.5V$  a  $5V$  (que asegure una polarización en inversa de la difusión del dispositivo MOS de tres terminales).

Con respecto a las caracterizaciones eléctricas realizadas al arreglo de tres celdas básica de producto, se utilizó una frecuencia de reloj de  $\sim 33.33KHz$ . Los resultados de las mediciones coinciden con el modelo propuesto; el modelo matemático, presenta un incremento de  $39mV$  por celda con resultado “1” lógico, mientras que las mediciones arrojaron valores promedio de  $40mV$  de incremento. Esta diferencia en valores obtenidos se le atribuye a la variación en los valores de voltajes y corrientes de polarización externas al CI y a efectos de ruido en las puntas de prueba.

En la curva de respuesta resultante del arreglo de celdas básicas de multiplicación también se aprecia ruido de alta frecuencia montado sobre la señal base, por lo que la aplicación de un convertidor A/D con técnica de sobremuestreo se justifica, ya que en el caso del convertidor de tipo sigma/delta propuesto, el valor a convertir es un promediado de datos que ocurren en un periodo de tiempo.

Enfocándonos ahora en el diseño del convertidor A/D, la técnica de sobremuestreo resulta propicia debido a la aplicación y debido a los requerimientos de diseño (sencillez en

el diseño eléctrico y topológico comparado con convertidores A/D que operan a la razón de Nyquist. Se inicia la parte referente al bloque de conversión A/D con el análisis de comportamiento de los convertidores A/D, centrándose en los que operan a una frecuencia mucho mayor que la frecuencia de Nyquist (de sobremuestreo). El convertidor elegido se conforma de un modulador de tipo sigma-delta pasa-bajas y un filtro digital, este trabajo se enfoca en el diseño del modulador sigma-delta, aunque se realiza un análisis funcional de los filtros digitales.

Después del diseño funcional, se realiza el diseño eléctrico utilizando tecnología CMOS en tiempo discreto, la cual recurre a la técnica de capacitores conmutados. El primer paso consistió en elegir la topología de amplificador operacional a emplear, que debido a que únicamente se pretende manipular carga capacitiva, se optó por utilizar un amplificador operacional de transconductancia (OTA), eligiéndose la topología cascode-telescópica, que puede alcanzar la ganancia requerida sin limitar significativamente el barrido de salida y comparado con un diseño de dos etapas, es más sencillo asegurar su estabilidad para operar en un sistema con retroalimentación, como es el caso del modulador  $\Sigma\Delta$ . Para una menor afectación de ruido, se eligió utilizar una configuración completamente diferencial.

Del análisis funcional, los requerimientos propuestos fueron ancho de banda de  $\sim 100\text{KHz}$  y una resolución mínima de 8 bits, para aplicaciones en sistemas embebidos que procesen distintos tipos de señales (patrones) para realizar el reconocimiento de éstos basado en la disciplina de las redes neuronales artificiales. Sobre los parámetros requeridos, la frecuencia máxima de operación (ancho de banda) está relacionada con la capacitancia de carga y con el *slew – rate* ( $SR$ ) del OTA. La resolución en bits se relaciona con la frecuencia de sobremuestreo y esta frecuencia depende de la ganancia de  $DC$  en lazo abierto  $A_{OLDC}$  del OTA.

Para determinar algunos de los parámetros del OTA en lazo cerrado se empleó un circuito de muestreo y retención en tiempo discreto con capacitores conmutados que funciona con dos fases de reloj y que puede considerarse como una simplificación del circuito modulador y ofrece la ventaja de observar el desempeño del OTA empleando las frecuencias y polarizaciones a usarse en el circuito modulador.

Para la obtención por simulación de los espectros de salida de la señal del modulador  $\Sigma\Delta$  obtenidos a partir de la transformada rápida de Fourier (FFT), el número de



datos a generar para obtener un número de puntos suficientes en el espectro de la banda de interés resulta elevado, debido a que la frecuencia de sobremuestreo es alta comparada con el ancho de banda a utilizar. Es necesario realizar un barrido fino en el dominio del tiempo y a la vez, contemplar rangos de tiempo grandes para obtener el número de periodos suficientes de la señal de entrada para generar el espectro.

El diseño mixto de circuitos integrados eleva la complejidad en el diseño eléctrico y geométrico debido a la afectación por ruido que sufren las señales analógicas. Es importante seguir las reglas de diseño geométrico para señales mixtas para minimizar dichos efectos, aunque el área de diseño de cada dispositivo se eleve.

Aunque el OTA implementado en la celda de prueba del circuito de muestreo y retención y en la celda de prueba del modulador sigma-delta de primer orden fue diseñado para operar con frecuencias de muestreo de  $12.8MHz$  y un ancho de banda de  $\sim 100KHz$ , en las mediciones realizadas a los circuitos de dichas celdas se utilizaron frecuencias mucho más bajas (frecuencia de muestreo de  $500KHz$  y ancho de banda de  $3906Hz$ ), debido a la resolución del equipo de medición con que se cuenta y a que en la celda de prueba del circuito de muestreo y retención no se diseñó una etapa de acoplamiento en las señales de salida para manejo de capacitancias altas. Aún con el manejo de bajas frecuencias para las mediciones, ambas celdas presentan niveles de ruido altos; inducido por los niveles de ruido de las señales de excitación (la relación señal a ruido de cada señal sinusoidal de entrada es de  $-44.12dB$  y cada señal de reloj implementada mediante el FPGA SPARTAN-3E presenta un nivel de ruido de piso de  $-47.2936dB$ ); sin embargo, operativamente realizan el trabajo deseado (muestreo y retención y modulación por ancho de pulso).

Para señales sinusoidales complementarias de entrada al modulador con  $V_p = 500mV$  y frecuencia de  $3906Hz$ , el valor de SNDR obtenido en el ancho de banda de la señal es de  $22.98dB$  y para señales sinusoidales complementarias de entrada con  $V_p = 900mV$  con frecuencia de  $3906Hz$ , el valor de SNDR obtenido en el ancho de banda de la señal es de  $32.26dB$  (espectros obtenidos a partir de una de las señales de salida del modulador). Una amplitud pico de  $500mV$  genera una resolución de salida del modulador de  $3.52bits$  y para  $V_p = 900mV$ , se genera una señal modulada de salida con resolución

total de  $5.06\text{bits}$ . De obtenerse espectros a partir de las señales diferenciales, estos deben arrojar un valor SNDR mayor, por lo que la resolución final también debe incrementarse.

## 7.2 Trabajo Futuro

Respecto a la arquitectura de red neuronal usada como aproximador en el bloque de la celda básica de producto, es recomendable implementar otras arquitecturas basadas en el cálculo inteligente para tener una comparativa en el índice de desempeño que se obtenga.

El macromodelo desarrollado de la celda de producto a nivel de bit tiene un comportamiento estático, pero puede adaptarse para que presente un comportamiento dinámico.

Debido a que el bloque de conversión A/D del multiplicador vectorial emplea una topología completamente diferencial y las celdas de producto a nivel de bit operan en configuración simple, es posible proponer una celda básica de producto que opere en topología completamente diferencial. Basándose en el modelo de funcionamiento de la celda básica de producto desarrollada y medida en este trabajo, pueden realizarse simulaciones de celdas de producto en configuración completamente diferencial para su posterior fabricación y prueba.

De acuerdo al diagrama general del multiplicador vectorial (figura 2.7), cada fila formada por celdas básicas de producto unidas en sus nodos de salida ingresan a la etapa de conversión A/D. Una forma de obtener la conversión del valor de voltaje arrojado por cada fila de la matriz es diseñar un convertidor A/D para cada una de ellas, sin embargo, por cuestiones de área de diseño, las dimensiones de cada convertidor deben ser mínimas y su desempeño máximo. Como se ha mencionado, la tecnología CMOS de diseño empleada es de  $1.2\mu\text{m}$ , pozo  $n$ , con dos niveles de metal y dos niveles de polisilicio, con un área de diseño de  $2\text{mm} \times 2\text{mm}$ . De la figuras 6.8 y 6.9, observe que el área usada para el diseño del modulador sigma-delta ocupa al menos  $1/12$  del área de diseño total, lo cual es una limitante si se requiere una matriz de celdas básicas de producto con capacidades de procesamiento estándar (por ejemplo 128 líneas de salida). Una alternativa es el diseño de un bloque que seleccione la fila a la cual se le aplicará la conversión A/D y utilizar únicamente un convertidor A/D para ese fin.

Con respecto al filtro digital de decimado, para fines de prueba este puede implementarse en software, ya que la salida del modulador arroja valores digitales. Para una implementación real del multiplicador vectorial, debido a que uno de los objetivos es que sea un diseño modular, el filtro digital puede diseñarse dentro del CI o bien, diseñarlo en un FPGA (por ejemplo); opciones que deberán evaluarse de acuerdo a la aplicación.

Debe realizarse una búsqueda del estado del arte sobre técnicas alternativas de convertidores A/D de sobremuestreo que aseguren dimensiones mínimas y alto desempeño para aplicaciones de procesamiento de señales en sistemas embebidos.

En general, es importante contemplar emigrar a una tecnología de diseño con al menos la mitad de largo de canal que la tecnología usada actualmente y que cuente con otro nivel de metal para reducir considerablemente las áreas de diseño ocupadas e implementar un arreglo de multiplicador vectorial robusto.

---

## Bibliografía

- [1] M. T. Hagan, H.D. Demuth y M. Beale. *Neural Network Design*. Ed. PWS Publishing Company. USA, 1995. ISBN: 978-0971732100.
- [2] S. Haykin. *Neural Networks: A Comprehensive Foundation* (2ª Edición). Ed. Prentice Hall. USA, 1999. ISBN: 978-0132733502.
- [3] S. Shapero, A. Charles, C. Rozell. “Low Power Sparse Approximation on Reconfigurable Analog Hardware”. *IEEE Journal on Emerging and Selected Topics in Circuit Systems*, pgs. 1-12. 2012 (Publicación reportada como aceptada con modificaciones futuras en el número de páginas).
- [4] C. Schlottmann, S. Shapero. “A Digitally Enhanced Dynamically Reconfigurable Analog Platform for Low-Power Signal Processing”. *IEEE Journal of Solid-State Circuits*, vol. 47, No. 9. Septiembre, 2012.
- [5] A. Agranat, C. Neugebauer, R. Nelson, A. Yariv. “The CCD Neural Processor: A Neural Network Integrated Circuit with 65536 Programmable Analog Synapses”. *IEEE Transactions on Circuits and Systems*, vol. 37, No. 8, pgs. 1073-1075. Agosto, 1990.
- [6] C. F. Neugebauer, A. Yariv. “A parallel analog CCD/CMOS neural network IC”. *Proc. IEEE Int. Joint Conf. Neural Networks (IJCNN’91)*, vol. 1, pgs. 447-451. Seattle, WA, 1991.
- [7] C. W. Cotman, J.L. McGaugh. *Behavioral Neuroscience, An Introduction*. Ed. Academic Press. USA, 1980. ISBN: 978-0121916503.
- [8] R. J. Baker. *CMOS Circuit Design, Layout and Simulation* (2ª Edición). Ed. Wiley-Interscience. USA, 2005. ISBN: 978-0470290262.
- [9] G. S. Hobson. *Charge-Transfer Devices*. Ed. Edward Arnold. Inglaterra: 1978. ISBN: 978-0713133967.
- [10] R. Melen, D. Buss. *Charge-Coupled Devices: Technology and Applications*. Ed. John Wiley and Sons. USA, 1976. ISBN: 978-0471025719.
- [11] M. J. Howes, D. V. Morgan. *Charge-coupled Devices and Systems*. Ed. John Wiley and Sons. Great Britain, 1980. ISBN: 978-0471996651.

- [12] W. S. Boyle and G. E. Smith. "Charge Coupled Semiconductor Devices". *Bell Sys. Tech. J.* 49 (4): 587–593. Abril, 1970.
- [13] A. S. Grove. *Physics and Technology of Semiconductor Devices*. Ed. John Wiley and Sons. Singapore, 1976. ISBN: 978-0471329985.
- [14] R. Muller, T. Kamins. *Device Electronics for Integrated Circuits*. Second Ed., Ed. John Wiley and Sons. USA, 1986.
- [15] Y. P. Tsividis. *Operation and Modeling of the MOS Transistor*. Ed. Mc Graw Hill, USA, 1988. ISBN: 978-0195170153.
- [16] R. Burden, J. Faires. *Análisis Numérico*. Séptima Edición. Ed. Thomson Learning, México, 2004. ISBN: 978-9706861344.
- [17] R. J. Baker. *CMOS Mixed-Signal Circuit Design*. Ed. Wiley-Interscience. USA, 2002. ISBN: 978-0471227540.
- [18] A. V. Oppenheim, R. W. Schaffer. *Discrete-Time Signal Processing* (2a Edición). Ed. Prentice Hall. USA, 1999. ISBN: 978-0137549207.
- [19] R. Tocci. *Sistemas Digitales: Principios y Aplicaciones* (4ª Edición). Ed. Mc Graw Hill. 1998. ISBN: 978-9688807378.
- [20] K. Ogata. *Ingeniería de Control Moderna* (4ª Edición). Ed. Pearson Education. España, 2003. ISBN: 84-205-3678-4.
- [21] J. Ocampo Hidalgo. *O.T.A Analysis and Characterization*, Seminar. Diapositivas de curso presencial.
- [22] B. Razavi. *Design of Analog CMOS Integrated Circuits*. Ed. Mc Graw Hill (Singapore 2001). ISBN: 978-0072380323.
- [23] J. Ocampo Hidalgo. *System and Circuit Approaches for the Design of Multi-mode Sigma-Delta Modulators with Application for Multi-standard Wireless Receivers*. Tesis Doctoral. Technischen Universität Darmstadt. Alemania, 2004.
- [24] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35- $\mu\text{m}$  CMOS", *IEEE Journal of Solid-State Circuits*, vol. 36, pgs. 1847–1858, 2001.
- [25] S. Bazarjani, M. Snelgrove. "A 160-MHz Fourth-Order Double-Sampled SC Bandpass Sigma-Delta Modulator. *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 45, No. 5, pgs. 547-555, 1998.

- [26] S. Bazarjani. Mixed Analog Digital-Design Considerations in Deep Submicron CMOS Technologies. Tesis Doctoral. Carleton University, 1996.
- [27] R. Gregorian. Analog MOS Integrated Circuits for Signal Processing. Ed. Wiley. India, 2008. ISBN: 978-0471097976.
- [28] F. Maloberti. Layout of Analog CMOS Integrated Circuits. Part 2. Transistors and Basic Cells Layouts. Diapositivas de curso presencial.
- [29] F. Maloberti. Layout of Analog CMOS Integrated Circuits. Part 3. Passive components: Resistors, Capacitors. Diapositivas de curso presencial.
- [30] M. Robinson, H. Yoneda, E. Sánchez-Sinencio. “A modular CMOS Design of Hamming Network”. *IEEE Transactions on Neural Networks*, Vol. 3, No. 3, pgs. 444-456. Mayo, 1992.
- [31] Spartan-3E FPGA Family: Complete Data Sheet. Xilinx®. Abril 18, 2008. [www.xilinx.com](http://www.xilinx.com)
- [32] Spartan-3 Generation FPGA User Guide. Xilinx®. Febrero 14, 2008. [www.xilinx.com](http://www.xilinx.com)



---

## Productividad

### Publicaciones

- [1] Y. González-Navarro, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava, O. Arellano-Cárdenas. “Model for a CMOS Bit-Level Product Cell”, *ICEEE 2007*, CINVESTAV-IPN, México, D. F. Sept. 2007.
  
- [2] Y. González-Navarro, F. Gómez-Castañeda, J. Moreno-Cadenas. “An Approximation Method for Modeling a CMOS Bit-Level Product Cell”. *MWSCAS 2009*, Cancún, México, Agosto 2009. ISBN: 978-1-4244-4480-9.
  
- [3] A. Barroso-Alvarado, B. Tovar-Corona, T. Contreras-Uribe, R. Santiago-Godoy, Y. González-Navarro, J. Solís-Villela, C. Hernández-Ledesma, A. Curiel-Obregón, L. Garay-Jiménez. “Wavelet Analysis of an Electrogastrogram Database”. 2011 8th International Conference on Electrical Engineering, Computing Science and Automatic Control. Mérida, Yucatán. México. Oct. 2011. ISBN: 978-1-4577-1012-4
  
- [4] B. Granados-Rojas, M. Jiménez-Saucedo, M. Vallejo-Alarcón, Y. González-Navarro, M. Villarreal-Cervantes, L. Corona-Ramírez. “Implementación de una Red Neuronal Multicapa en un Microcontrolador PIC para la Identificación de Color”. 10° Congreso Nacional de Mecatrónica, Nov. 2011. Puerto Vallarta, Jalisco, México.
  
- [5] B. Granados-Rojas, M. Jiménez-Saucedo, M. Vallejo-Alarcón, Y. González-Navarro, M. Villarreal-Cervantes, L. Corona-Ramírez. “Protocolo de Comunicación en Anillo para el Control de un Robot Móvil Modular”. 10° Congreso Nacional de Mecatrónica, Nov. 2011. Puerto Vallarta, Jalisco, México.



- [6] Y. E. González-Navarro, J. L. Ochoa-Padilla, L. M. Flores-Nava, F. Gómez-Castaneda, J. A. Moreno-Cadenas. "Continuous -Time FGMOS Circuit for Solving the Assignment Problem". *Int. Journal of Electronics Letters*. En revisión de revista *International Journal of Electronics*.

## Conferencias Magistrales

- [1] "Los Sistemas Neurodifusos en el Cálculo Inteligente". Universidad Simón Bolívar. México, D.F., Nov. 2009.
- [2] "Sistemas Neurodifusos". Primera Feria de la Electrónica y Computación. Universidad Simón Bolívar. México, D.F., Nov. 2009.
- [3] "En la Búsqueda de Arquitecturas de Hardware para Aplicaciones en Robótica del Cálculo Inteligente". Primer Congreso Internacional de Innovación, Tecnología y Negocios "RETOOS 2010". Acapulco, Gro., Dic. 2010.
- [4] "Manipulación de Señales en Prototipos Interdisciplinarios". Ciclo de Conferencias de Divulgación de Ciencia y Tecnología 2011. ESIA-Ticomán. México, D.F., 2011.
- [5] "Análisis de la Señal EGG como una Herramienta de Diagnóstico en México". VI Congreso Nacional Estudiantil de Investigación, VI Congreso de Investigación Politécnica, I Jornada de Prototipos. México D.F. Oct. 2011.
- [6] "Pasión por la robótica". XIV Semana de Ingeniería e Informática: Tecnología y Robótica: El Futuro "Hoy". Universidad Justo Sierra. Jul. 2012.

## Tesis de licenciatura dirigidas

- [1] "Prototipo a Escala 1:2 de Órtesis Electromecánica para Extremidad Torácica de Pacientes con Hemiparesia". UPIITA-IPN, 2009.

- [2] “Votación Electrónica por Medios Biométricos”. UPIITA-IPN, 2009.
- [3] “Sistema de Asociación Palabra-Sonido Mediante el Uso de Diversos Métodos de Reconocimiento de Voz en Analogía al Sistema Auditivo Humano”. UPIITA-IPN, 2010.
- [4] “Evaluación del Riesgo por Procesos de Remoción en Masa Desencadenados por Lluvias considerando un Enfoque Holístico. Caso de Estudio: La Sierra de Arperos y Guanajuato, Estado de Guanajuato, México”. ESIA-Ticomán, 2010.
- [5] “Técnicas de Procesamiento para el Reconocimiento de Muestras Sedimentológicas de la Bahía La Ventana, Baja California Sur”. UPIITA-IPN, 2010.
- [6] “Sistema de Visión basado en Ecolocalización”. UPIITA-IPN, 2011.
- [7] “Robot Movil Clasificador Autónomo basado en el Concurso Latinoamericano de Robótica LARC 2010”. UPIITA-IPN, 2011.

## **Participación en proyectos de Investigación**

- [1] “Análisis de la Metodología a Emplear para Desarrollar las Competencias Genéricas en los Estudiantes de Tronco Común de la UPIITA”. Proyecto Avalado por la Secretaría de Investigación y Posgrado-IPN. Profesor participante. Enero-Diciembre, 2008.
- [2] “Comparación de clasificadores basados en inteligencia computacional del electrogastrograma en personas adultas jóvenes clínicamente sin patologías gástricas, bajo diferentes condiciones de alimentación”. Proyecto Avalado por la Secretaría de Investigación y Posgrado-IPN. Profesor participante. Enero-Diciembre, 2011.

## **Participación en concursos nacionales e internacionales**

- [1] Profesor asesor y participante por parte del Club de Minirobótica de la UPIITA-IPN en el VII Concurso de Minirobótica, celebrado en la Semana de Ingeniería Electrónica, ESIME Culhuacán (SIEEC 2009).
  
- [2] Profesor asesor del Club de Minirobótica de la UPIITA-IPN en las categorías Persecución, Sumo y Minisumo en el “Concurso Expo-Robots 2010”. Acapulco, Gro., 2010.
  
- [2] Profesor asesor del Club de Minirobótica de la UPIITA-IPN en las categorías Seguidor, Sumo, Minisumo y Nanosumo en el concurso internacional de robótica ROBOGAMES 2011. San Francisco, California. USA. Obteniéndose 16 medallas: 5 de oro, 5 de plata y 4 de bronce, posicionando a México en el segundo lugar del medallero por tercer año consecutivo.
  
- [3] Profesor asesor del Club de Minirobótica de la UPIITA-IPN en las categorías Seguidor, Sumo, Minisumo y Nanosumo en el concurso internacional de robótica ROBOGAMES 2012. San Francisco, California. USA. Obteniéndose 15 medallas: 3 de oro, 5 de plata y 7 de bronce, posicionando a México en el segundo lugar del medallero por cuarto año consecutivo.