



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS
DEL INSTITUTO POLITÉCNICO NACIONAL**

Unidad Zacatenco

**DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO**

**“El Transistor MOS de Compuerta Flotante como Memoria
no Volátil en Circuitos Analógicos”**

Tesis que presenta

M. en C. JESÚS DE LA CRUZ ALEJO

Para obtener el grado de
DOCTOR EN CIENCIAS

En la Especialidad de
INGENIERÍA ELÉCTRICA

ASESORES

Dr. José Antonio Moreno Cadenas

Dr. Felipe Gómez Castañeda

México, D.F.

Diciembre del 2008

Dedicatorias

A mi madre por su amor y apoyo incondicional, por la formación que me dio y sus consejos que me impulsan a ser mejor y a seguir adelante.

A mis hermanos por su compañía y sugerencias a quienes quiero y aprecio.

Agradecimientos

A mis asesores de tesis:

Dr. José Antonio Moreno Cadenas y Dr. Felipe Gómez Castañeda, por su apoyo brindado para la realización de este trabajo de tesis.

A mis revisores y sinodales:

Agradezco el trabajo de: Dr. Arturo Escobosa Echevarria (CINVESTAV-SEES), Dr. Aldo G. Orozco Lugo (CINVESTAV-Comunicaciones), Dr. Víctor Hugo Ponce Ponce (Centro de Investigación en Computo- IPN), Dr. Juan Carlos Sánchez García (SEPI-ESIME-C), por el tiempo dedicado y por sus valiosos comentarios y sugerencias.

A mis compañeros del CINVESTAV

Al Dr. Alfredo Reyes Barranca, por su entusiasmo y apoyo brindado durante el desarrollo de este trabajo.

Al M. en C. Agustín Medina Vázquez, M. en C. Juan C. Iglesias Rojas, M. en C. Yesenia González Navarro.

Al Ing. Emilio Espinosa García, M. en C. Luís Martín Flores Nava, Dr. Oliverio Arellano Cárdenas, claro, sin dejar de mencionar a todos aquellos que contribuyeron de una manera u otra, para la realización de este trabajo. A todos ellos, mi más sincero agradecimiento

Agradezco al Consejo Nacional de Ciencia y Tecnología (CONACYT) por la beca otorgada para la realización de éste trabajo.

Agradezco al CINVESTAV, por la educación recibida.

Índice

Lista de Abreviaciones.....	1
Lista de Símbolos.....	2
Lista de Figuras.....	3
Lista de Tablas.....	6
Abstract.....	7
Resumen.....	8
Introducción General.....	9
Objetivos.....	11
Organización de la Tesis.....	12
Capítulo 1	13
El Transistor MOSFET de compuerta flotante	
1.1 Introducción.....	14
1.2 El transistor MOSFET de Compuerta Flotante.....	16
1.3 Compuerta de Control.....	17
1.4 Técnica de Acoplamiento Capacitivo.....	19
1.5 Comportamiento a señal grande.....	21
1.6 Comportamiento a pequeña señal.....	22
1.7 Modelo en PSpice del Transistor Acoplado Capacitivamente.....	22
1.8 Carga Parásita en la Compuerta Flotante.....	23
1.9 Simulaciones.....	24
1.10 Procesos de Inyección y Tuneleo de Electrones.....	26
1.11 Tuneleo de Electrones.....	28
1.12 Inyección de Electrones.....	30
1.13 Modelo en PSpice para la Inyección y Tuneleo.....	32
1.14 Simulación del tuneleo.....	34
1.15 Simulación de la Inyección.....	35
1.6 Conclusiones del Capítulo 1.....	40

Capítulo 2	41
El Transistor MOSFET de compuerta flotante como Elemento de Memoria	
2.1 Introducción del Capítulo 2.....	42
2.2 El Aprendizaje y/o Adaptación.....	43
2.3 Comportamiento en escala de tiempo rápido.....	44
2.4 Comportamiento en escala de tiempo Lento.....	47
2.5 Celda de Memoria analógica.....	47
2.6 Operación de la celda de memoria.....	49
2.7 Patrón geométrico de la Celda de Memoria.....	50
2.8 Resultados de Simulación en PSpice.....	51
2.9 Resultados Experimentales.....	57
2.10 Inyección de Electrones.....	59
2.11 Análisis de Resultados de la Inyección.....	63
2.12 Tuneleo de Electrones.....	63
2.13 Análisis de Resultados del tuneleo.....	71
2.14 Conclusiones del Capítulo 2.....	72
Capítulo 3	73
Aplicaciones de la Celda de Memoria	
3.1 Introducción.....	74
3.2 Circuito <i>e-pot</i>	75
3.3 Características del Circuito <i>e-pot</i>	75
3.4 Descripción del Circuito.....	76
3.4.1 Amplificador operacional de Transconductancia (OTA).....	78
3.4.2 Amplificador Diferencial.....	78
3.4.3 Amplificador Inversor.....	80
3.4.4 Compensación del OTA.....	80
3.4.5 Especificaciones del Diseño.....	81
3.5 Patrón geométrico del <i>e-pot</i>	82
3.6 Disminución del Voltaje de Salida.....	82
3.7 Incremento del Voltaje de salida.....	85

3.8	Análisis de Resultados.....	86
3.9	Circuito Fuente de Voltaje.....	87
3.10	Análisis del Circuito Fuente de voltaje.....	87
3.11	Funcionamiento.....	88
3.12	Análisis de Resultados finales.....	90
3.13	Conclusiones del Capitulo 3.....	92
Capitulo 4		93
Línea de retardo		
4.1	Introducción.....	94
4.2	Integrador diferencial Gm-C.....	94
4.3	Transconductor.....	96
4.4	Amplificador ajustable N2.....	97
4.5	Resistencia de salida.....	100
4.6	Circuito de retroalimentación en modo común (CMFB).....	101
4.7	Funcionamiento del circuito de la línea de retardo	104
4.8	Simulación de la línea de retardo.....	106
4.9	Resultados experimentales.....	108
4.10	Rango dinámico libre de espurias.....	111
4.11	Conclusiones del capítulo 4.....	112
Capitulo 5		113
Filtro Adaptativo		
5.1	Introducción.....	114
5.2	Filtro Adaptativo.....	115
5.3	Aplicaciones.....	115
5.4	Teoría del filtro.....	117
	5.4.1 Error Cuadrático Medio y Gradiente.....	118
	5.4.2 Análisis de Convergencia.....	119
5.5	Filtro LMS propuesto.....	119
5.6	Implementación de los Bloques.....	122

	5.6.1 Algoritmo de Aprendizaje.....	122
	5.6.2 Multiplicador y generador de Pulsos.....	124
5.7	Resultados de Simulación.....	126
5.8	Resultados Experimentales.....	129
3.9	Conclusiones del Capitulo 5.....	134
	Conclusiones Generales.....	135
	Productos Obtenidos.....	137
	Trabajo futuro.....	138
	Referencias y Bibliografía.....	139
	Apéndice A.....	145
	Apéndice B.....	148
	Apéndice C.....	150
	Apéndice D.....	158
	Apéndice E.....	165

Lista de Abreviaciones

MOS	Metal-oxido semiconductor.
CMOS	Metal-oxido semiconductor complementarios.
CF	Compuerta flotante.
CI	Circuito integrado.
EEPROM	Memoria de acceso aleatorio eléctricamente programable y borrable.
EPROM	Memoria de acceso aleatorio programable y borrable.
e-pot	Potenciómetro electrónico.
NMOS	Transistor MOS canal N.
PMOS	Transistor MOS canal P.
POLY1	Primer nivel de polisilicio.
POLY2	Segundo nivel de polisilicio.
OTA	Amplificador operacional de transconductancia.
PSpice	Programa de simulación para circuitos CMOS.
TMFC	Transistor MOS de compuerta flotante.
iny	Inyección de electrones.
tun	Tuneleo de electrones.
VLSI	Integración a muy alta escala.
LMS	Algoritmo de mínimos cuadrados promedio.

Lista de Símbolos

A_0	Ganancia en DC del amplificador N2.
A_{CMP}	Ganancia en modo común positivo para el bloque CMFB.
C_0	Coefficiente de acoplamiento capacitivo en la CF y el sustrato.
C_{CFBN}	Capacitancia parásita de traslape entre la CF y el sustrato del MOSFET canal N.
C_{CFBP}	Capacitancia parásita de traslape entre la CF y el sustrato del MOSFET canal P.
C_{CFDN}	Capacitancia parásita de traslape entre la CF y el drenador del MOSFET canal N.
C_{CFDP}	Capacitancia parásita de traslape entre la CF y el drenador del MOSFET canal P.
C_{CFNS}	Capacitancia parásita de traslape entre la CF y la fuente del MOSFET canal N.
C_{CFPS}	Capacitancia parásita de traslape entre la CF y la fuente del MOSFET canal P.
C_i	i -ésimo capacitor de control de entrada de un MOSFET de CF.
C_{ox}	Capacitancia por unidad de área debida al óxido de un MOSFET canal N ó P.
C_T	Capacitancia total acoplada a la CF.
E_{OX}	Campo eléctrico necesario para tener una corriente de tuneo a través del óxido.
g_m	Transconductancia de un transistor MOSFET convencional.
g_{ds}	Conductancia de un transistor de CF en saturación.
I_D	Corriente de drenador de un transistor de CF.
I_{num0}	Corriente de tuneo preexponencial, con los voltajes en el transistor en equilibrio.
I_{iny0}	Corriente de inyección preexponencial, con los voltajes en el transistor en equilibrio.
k	Cambio fraccional del potencial de superficie debido a un cambio en la CF.
I_{tun}	Corriente de tuneo para un transistor de CF.
K_N	Parámetro de transconductancia = $\mu_0 C_{ox}$ de un transistor MOSFET de canal N.
I_{iny}	Corriente de inyección para un transistor de CF.
I_b	Corriente de sustrato para un transistor de CF.
I_{outP}	Corriente de salida positiva diferencial.
I_{outN}	Corriente de salida negativa diferencial.
i_{out}	Corriente de salida a pequeña señal.
I_{out}	Corriente de salida para el transconductor M1.
MSE	Error cuadrático medio.
Q_{CF}	Carga en la compuerta flotante.
R_{outtot}	Resistencia de salida diferencial del circuito cascode.
T_d	Tiempo de retardo para un bloque $Gm-C$.
t_{ox}	Espesor del óxido de compuerta de un transistor MOSFET.
ξ_{ox}	Campo eléctrico en el óxido de compuerta de un transistor MOSFET.
V_D	Voltaje de drenador de un transistor MOSFET.
V_S	Voltaje de fuente de un transistor MOSFET.
V_B	Voltaje de sustrato de un transistor MOSFET.
U_T	Voltaje térmico $\approx 25mV$ a temperatura ambiente.
V_{ox}	Voltaje a través de la unión del capacitor de tuneo.
w	Peso almacenado en la CF de un transistor de CF.
V_{outP}	Voltaje de salida positivo diferencial.
V_{outN}	Voltaje de salida negativo diferencial.
V_T	Voltaje de umbral de un transistor de CF.
V_T'	Voltaje de umbral modificado de un transistor de CF.
V_{CF}	Voltaje en la compuerta flotante de un transistor de CF.
y_F	Salida del filtro LMS.
λ	Parámetro de modulación de longitud de canal de un transistor MOSFET.
ε_k	Señal de error del filtro LMS.
R	Matriz de autocorrelación de la señal de entrada.
P	Correlaciones cruzadas entre la respuesta deseada y las componentes de entrada.
$\Delta(\xi)$	Gradiente de la superficie de estabilidad del error cuadrático medio.
W	Vector de pesos de un filtro LMS.
W/L	Relación de aspecto de un transistor MOSFET.
μ	Razón de adaptación para la actualización de los pesos de un filtro LMS.

Lista de Figuras

Figura 1	Símbolo y patrón geométrico del MOSFET de compuerta flotante.....	17
Figura 2	Diagrama eléctrico de un transistor MOSFET de compuerta flotante.....	18
Figura 3	Efecto de modificar la carga en la compuerta flotante.....	20
Figura 4	Modelo para la simulación del potencial de la compuerta flotante de un transistor.....	23
Figura 5	Característica del voltaje de compuerta-corriente de drenador de un transistor de CF de umbral variable, para una tecnología de 1.2 μm .	25
Figura 6	Diagrama de bandas.....	26
Figura 7	Métodos para modificar la carga en la compuerta flotante.....	27
Figura 8	Tuneleo de electrones.....	29
Figura 9	Efecto en el oxido de compuerta al aplicar un voltaje de tuneleo.....	30
Figura 10	Proceso para la Inyección de electrones. (1) Impacto de Ionización de huecos calientes, el cual genera un par electrón-hueco. El nuevo electrón puede ser repelido hacia el sustrato (2), ó hacia la compuerta flotante (3).....	31
Figura 11	Modelo para la simulación de las corrientes de Inyección y Tuneleo.....	34
Figura 12	Simulación de la corriente de tuneleo.....	36
Figura 13	Simulación de la corriente de inyección.....	37
Figura 14	Simulación de la corriente no inyectada.....	37
Figura 15	Simulación de la corriente del transistor para el tuneleo.....	38
Figura 16	Simulación del voltaje V_{CF} para el tuneleo.....	38
Figura 17	Simulación de la corriente del transistor para la inyección.....	39
Figura 18	Simulación del voltaje V_{CF} para la inyección.....	39
Figura 19	Simulación de la corriente del transistor para la inyección y tuneleo.....	39
Figura 20	Divisor de voltaje capacitivo.....	45
Figura 21	Celda de memoria analógica.....	48
Figura 22	Patrón geométrico de la celda de memoria.....	51
Figura 23	Simulación de la corriente de salida de la celda con 2 pulsos de inyección.....	53
Figura 24	Simulación del voltaje de salida de la celda con 2 pulsos de inyección.....	53
Figura 25	Simulación del voltaje en la CF de la celda de memoria con 2 pulsos de inyección.....	53
Figura 26	Simulación de la corriente de salida de la celda con 2 pulsos de tuneleo.....	54
Figura 27	Simulación del voltaje de salida de la celda con 2 pulsos de tuneleo.....	55

Figura 28	Simulación del voltaje en la CF de la celda de memoria con 2 pulsos de inyección.....	55
Figura 29	Simulación de la actualización del peso mediante la inyección y $V_{bias}=1.2$	56
Figura 30	Simulación de la actualización del peso mediante la inyección y $V_{bias}=1.5v$	56
Figura 31	Simulación de la actualización del peso mediante la inyección y $V_{bias}=1.6v$	56
Figura 32	Configuración de la celda de memoria con transistores MOS de compuerta flotante. (a) sin inversor. (b) Con inversor para compensar el desplazamiento de inyección causado por el acoplamiento capacitivo en la compuerta flotante a través del capacitor de drenador a canal.....	57
Figura 33	Microfotografía del C.I. para las celdas de memoria.....	58
Figura 34	a) Circuito para generar los pulsos de voltaje para la inyección y tuneleo. b) Equipo de medición.....	59
Figura 35	Salida de las celdas de memoria, aplicando inyección de electrones.....	61
Figura 36	Salida de las celdas de memoria aplicando inyección de electrones con iteraciones de 5 pulsos de 0.2seg.....	62
Figura 37	Curvas de comportamiento de las salidas de las celdas de memoria, aplicando el tuneleo de electrones.....	65
Figura 38	Curvas de comportamiento de las salidas de las celdas de memoria, $V_b=1V$.	67
Figura 39	Curvas de comportamiento de las salidas de las celdas de memoria, $V_b=1.2V$.	60
Figura 40	Curvas de comportamiento de las salidas de las celdas de memoria, $V_b=1.5V$.	70
Figura 41	Circuito del potenciómetro electrónico (<i>e-pot</i>).....	77
Figura 42	Estructura del amplificador operacional de dos etapas.....	78
Figura 43	Patrón geométrico del potenciómetro electrónico (<i>e-pot</i>).....	82
Figura 44	Voltaje de salida de la <i>e-pot</i> con pulsos de tuneleo de 10 seg.....	84
Figura 45	Voltaje de salida de la <i>e-pot</i> con pulsos de tuneleo de 5seg.....	84
Figura 46	Electrones atrapados en el capacitor de tuneleo que son removidos térmicamente. a) Cuando no se aplica voltaje en el oxido. b) Cuando se aplica un voltaje. c). cuando V_{tun} es más grande que V_g . d). Cuando V_{tun} es mucho mas grande que V_g	85
Figura 47	Mediciones experimentales que ilustran el funcionamiento del mecanismo de inyección en la celda <i>e-pot</i>	86
Figura 48	Circuito fuente de voltaje con memoria de compuerta flotante.....	88
Figura 49	Tuneleo para la <i>e-pot</i> con $V_{bias} = 1V$	90
Figura 50	Tuneleo para la <i>e-pot</i> con $V_{bias} = 1.5V$	90
Figura 51	Inyección para la <i>e-pot</i> con $V_{bias} = 1V$	91
Figura 52	Programación con 2 pulsos de inyección.....	91
Figura 53	Integrador G_m -C diferencial.....	95

Figura 54	Circuito equivalente a pequeña señal para N1.....	97
Figura 55	Corriente de salida del transistor N1.....	98
Figura 56	a) Amplificador N2 y b) su circuito equivalente a pequeña señal.....	98
Figura 57	Circuito cascode. b) circuito equivalente a pequeña señal.....	101
Figura 58	a) Circuito CMFB. b) Circuito equivalente a pequeña señal.....	102
Figura 59	Circuito esquemático de la línea de retardo para seis bloques.....	106
Figura 60	Funciones de transferencia de los seis bloques.....	107
Figura 61	Tiempo de retardo para $V_b = 120\text{mV}$	107
Figura 62	Tiempo de retardo para $V_b = 80\text{mV}$	107
Figura 63	Efecto de la temperatura para 0°C y 70°C con $V_b = 80\text{mV}$	108
Figura 64	Patrón geométrico de la línea de retardo.....	109
Figura 65	a) Tiempo de retardo para $V_b = 80\text{mV}$. b) Tiempo de retardo para $V_b = 120\text{mV}$	109
Figura 66	a) Tiempo de retardo para $V_b = 90\text{mV}$. b) Tiempo de retardo para $V_b = 70\text{mV}$..	109
Figura 67	Tiempo de retardo para $V_b = 120\text{mV}$	110
Figura 68	Espectro de magnitud.....	111
Figura 69	Configuración general del filtro adaptativo.....	116
Figura 70	Filtro adaptativo en configuración de identificador de sistemas.....	116
Figura 71	Generación de eco en sistemas de comunicación.....	116
Figura 72	Diagrama a bloques del filtro LMS.....	121
Figura 73	Diagrama esquemático del filtro LMS.....	123
Figura 74	Respuesta del filtro LMS con dos pesos, $\mu = 0.02$	127
Figura 75	10 Respuesta del filtro LMS con dos pesos, $\mu = 0.002$	128
Figura 76	Microfotografía del circuito integrado del filtro LMS.....	131
Figura 77	Tablilla (PCB), que muestra los dispositivos para la implementación del filtro.....	132
Figura 78	Evolución del filtro LMS. a) durante la mitad del tiempo de adaptación. b) durante $\frac{3}{4}$ del tiempo de adaptación.....	133
Figura 79	Cuando la adaptación ha finalizado. a) señales de entrada y salida. b) señales de error y de salida del filtro.....	133

Lista de Tablas

Tabla 1.1	Resultados teóricos de (1.17).....	25
Tabla 2.1	Voltajes iniciales de las celdas con $V_b=1.25V$	59
Tabla 2.2	Lecturas medidas en la salida de las celdas de memoria para la inyección con iteraciones de 10 pulsos de 0.1s cada uno y $V_b=1.25V$	60
Tabla 2.3	Lecturas medidas en la salida de las celdas de memoria para la inyección con iteraciones de 5 pulsos de 0.2s cada uno y $V_b=1.25V$	61
Tabla 2.4	Lecturas medidas en la salida de las celdas de memoria para el tuneleo con iteraciones de 1 pulso de 10s y $V_b=1.25V$	64
Tabla 2.5	Voltajes iniciales de las celdas con $V_b=1V$ y $V_{tun}=26V$	65
Tabla 2.6	Lecturas medidas en la salida de las celdas de memoria para el tuneleo con iteraciones de 1 pulso de 5s, $V_{tun}=26V$ y $V_b=1V$	66
Tabla 2.7	Voltajes iniciales de las celdas con $V_b=1.2V$ y $V_{tun}=26V$	67
Tabla 2.8	Lecturas medidas en la salida de las celdas de memoria para el tuneleo con iteraciones de 1 pulso de 5s, $V_{tun}=26V$ y $V_b=1.2V$	68
Tabla 2.9	Voltajes iniciales de las celdas con $V_b=1.5V$ y $V_{tun}=26V$	69
Tabla 2.10	Lecturas medidas en la salida de las celdas de memoria para el tuneleo con iteraciones de 1 pulso de 5s, $V_{tun}=26V$ y $V_b=1.5V$	70
Tabla 3.1	Especificaciones de diseño del amplificador OTA.....	82
Tabla 3.2	Relación de aspecto de los transistores del amplificador OTA.....	82
Tabla 3.3	Voltajes usados para la inyección y tuneleo.....	91
Tabla 4.1	Relación de aspecto y capacitancias del circuito línea de retardo.....	106
Tabla 5.1	Valores para el peso del filtro LMS.....	124
Tabla 5.2	Parámetros para el filtro LMS.....	131

Abstract

The floating gate MOS transistor has revealed as an alternative to design analogical electronics circuits and it is used in different applications for low and high velocity. Compare it versus conventional MOS transistor, the floating gate voltage not only modulates the device's channel current but also, it can operate as a memory or as an integral part to processing the signals in its terminals. Likewise, considering the device's physic, it is particularly important its operation characteristics, which allow modifying the charge on its floating gate through two processes: hot injection electrons and tunneling electrons. These processes add the programmability characteristic to the device, which increases its functionality and efficiency that it can be used in adaptive learning systems implemented in VLSI circuits design.

This work analyzes and describes the operation characteristics of the floating gate MOS transistor and it shows how is used it as memory to design some circuits such as: a Memory Cell, Electronic potentiometer and a mixed LMS filter implemented in a 1.2 μm CMOS technology. Also, an analogical delay line circuit is designed using the floating gate MOS transistor working in a coupled capacitive way.

Resumen

El transistor MOS de compuerta flotante se ha revelado como una alternativa adecuada para el diseño de sistemas electrónicos analógicos utilizables en diversas aplicaciones, tanto para baja como alta velocidad. Comparado con el transistor MOS normal, el voltaje en la compuerta flotante, no solo modula la corriente de canal del dispositivo, sino que además puede operar, ya sea como memoria o como una parte integral de procesamiento de las señales ponderadas en sus terminales. Asimismo, con base en la física del dispositivo, es particularmente importantes sus características, las cuales, permiten poder modificar la carga en su compuerta flotante mediante dos procesos físicos: inyección de electrones calientes y tuneleo de electrones. Estos procesos, adicionan la característica de programabilidad al dispositivo, incrementando su eficacia y la eficiencia en su operación para su aplicación en sistemas de aprendizaje adaptativos o reconfigurables, en gran escala VLSI.

En este trabajo de tesis, se analiza y se describen las características y operación del transistor MOS de compuerta flotante y se muestra al dispositivo utilizado como memoria a través del diseño de algunos circuitos de aplicación, tales como una celda de memoria y un filtro LMS mixto fabricado en tecnología de $1.2\ \mu\text{m}$, aplicado como identificador de señal. Así también, se presenta el diseño y caracterización de una línea de retardo analógica CMOS, usando el transistor MOS de compuerta flotante en modo de acoplamiento capacitivo

Introducción General

La tecnología del transistor MOS de compuerta flotante (TCF), ha llegado a ser una tecnología madura, que tuvo sus inicios en los sesentas, cuando Kahng y Sze reportaron la primera estructura de compuerta flotante como un medio de almacenamiento no volátil de información [1]. Posteriormente, los transistores de compuerta flotante, han sido ampliamente usados para almacenar información digital por largos periodos, en estructuras tales como EPROMs, EEPROMs y memorias flash, así como para el almacenamiento de información en forma no volátil [2].

El desarrollo tecnológico en el área de arquitecturas de diseño analógicas con transistores MOS de compuerta flotante, ha originado el estudio de este dispositivo en diferentes áreas de aplicación, entre las que se tienen, memorias analógicas, las cuales presentan la capacidad de almacenar y modificar la carga en la compuerta flotante mediante dos procesos físicos llamados: inyección de electrones calientes y tuneo de electrones, así como de procesar el producto de la carga (peso) con su respectiva señal de entrada, no importando la relación y aplicación que exista entre ambas, así como tener un número N de entradas acopladas capacitivamente a la compuerta flotante, las cuales, permitirán tener control del voltaje de umbral del dispositivo, por mencionar algunas, [4]. Todo lo anterior, sin considerar que el dispositivo se fortalece aun mas, debido a que puede procesar simultáneamente el producto de la ponderación de sus señales de entrada, almacenar un peso y modificar su carga, sin dejar a un lado las grandes posibilidades de diseño con bajo voltaje y baja potencia, de ahí su incuestionable importancia.

En el actual estado del arte del transistor de compuerta flotante, se ha desarrollado una amplia variedad de circuitos tanto a nivel de memorias como a nivel de elemento adaptativo, en donde las señales de entrada pueden modificar el valor de equilibrio de la carga en la compuerta flotante a través de los procesos de inyección y tuneo de electrones calientes, para sus correspondientes aplicaciones, entre otras, aquellas arquitecturas que permiten adaptar o reconfigurar sistemas en gran escala VLSI. Se tienen también circuitos diseñados para señales en el dominio analógico y digital, en modo voltaje y en modo corriente tales como: espejos de corriente, seguidores de voltaje, multiplicadores, sumadores, amplificadores operacionales, etc.

Así entonces, el desarrollo tecnológico y el estado actual del TCF, conduce a considerar, dentro de las áreas de investigación, a aquellas que permiten el uso de memorias analógicas aplicadas a circuitos en tiempo continuo realizando operaciones en varias escalas de tiempo. Uno de ellos que ha empezado a tener atención y aprovechamiento significativo en comunicaciones y particularmente como proyecto de investigación en la sección de la SEES, es el filtro LMS por sus aplicaciones y su baja complejidad para su implementación.

Por tal motivo, este trabajo de tesis esta enfocado en el transistor de compuerta flotante, sus características y capacidades aplicado como memoria analógica en un filtro LMS. En función de las características de comportamiento del transistor de compuerta flotante, se analizan los conceptos teóricos para determinar su comportamiento, se desarrollan y realizan algunas arquitecturas con este

tipo de transistor, entre otras las relacionadas al uso de almacenamiento de carga, teniendo presente que con los mecanismos de inyección y tuneleo, se puede leer y/o escribir una determinada cantidad de carga en la compuerta flotante, ya sea, activando los mecanismos individualmente o ambos a la vez, permitiendo esta última opción contar con una memoria adaptativa, capaz de incrementar la eficiencia de las arquitecturas en sistemas adaptativos, disminuir la potencia, área de silicio, costos, etc. Así, se implementa y se caracterizan circuitos de memorias con transistores CFMOS en tecnología MOSIS de 1.2 μm .

Finalmente, para verificar la operación del transistor de compuerta flotante mediante la ponderación de señales acopladas capacitivamente a la compuerta flotante, se diseña y caracteriza un circuito de línea de retardo CMOS con tecnología de 1.2 μm , para su uso en un filtro LMS, realizando la propagación de la señal a través de los pesos del filtro. Las características mas importantes del circuito son: tener un voltaje de polarización bajo de 1.5 V, y en consecuencia una baja disipación de potencia.

Objetivos

El objetivo de este trabajo doctoral, es la investigación de la operación y funcionamiento del transistor MOS de compuerta flotante utilizado como memoria analógica con el propósito de diseñar circuitos más complejos con el mínimo de componentes en su arquitectura y reducir el área de silicio para su implementación en VLSI. Para ello, se analizarán y aplicarán los procesos de inyección y tuneo de electrones calientes, con los cuales, será posible modificar la carga en la compuerta flotante del transistor MOS.

Por otro lado, se analizará e implementará un circuito de línea de retardo para verificar la operación del transistor de compuerta flotante como elemento de procesamiento analógico, acoplado capacitivamente con señales externas aplicadas en sus compuertas de control, así como disminuir el voltaje de alimentación y en consecuencia reducir la potencia de consumo sin aplicar la inyección y tuneo de electrones.

Organización de la tesis

La tesis está dividida en 5 capítulos, cuyo contenido se menciona brevemente:

- **Capítulo 1.**

Se analiza el transistor MOSFET de compuerta flotante operando ya sea, a través de aplicar inyección y tuneo de electrones así como mediante la aplicación de señales de entrada en sus compuertas de control acopladas capacitivamente a la compuerta flotante. Se presentan sus modelos correspondientes para la simulación de circuitos utilizando este tipo de transistor.

- **Capítulo 2.**

Se presenta la aplicación del transistor de compuerta flotante aplicado como elemento de memoria para implementar una celda de memoria, así como su correspondiente comportamiento simulado y experimental.

- **Capítulo 3.**

Se presentan dos aplicaciones de la celda de memoria, la primera para implementar un potenciómetro electrónico y la segunda para una fuente de voltaje, con el propósito de proporcionar voltajes de referencia

- **Capítulo 4.**

Se presenta el circuito de una línea de retardo analógica diferencial de bajo voltaje y bajo consumo de potencia, su funcionamiento simulado y experimental.

- **Capítulo 5**

Se presenta el diseño e implementación en modo mixto de un filtro LMS de un solo peso, aplicado como identificador de señales, usando la celda de memoria.

Capítulo 1

El transistor MOS de compuerta flotante

En este capítulo, se describen las características y propiedades importantes del transistor MOS de compuerta flotante, así como un análisis teórico de su funcionamiento para determinar su comportamiento. Para ello, se presentan los procesos de inyección y tuneo de electrones para analizar la dependencia del transistor con estos procesos para modificar su carga en la compuerta flotante, y su uso posterior en el diseño de circuitos analógicos adaptativos y/o reconfigurables. Así también, se analizan sus características, entre ellas, la de controlar su voltaje de umbral a través de N voltajes de entrada acoplados capacitivamente a la compuerta flotante, con el propósito de ajustar y/o sintonizar su carga y poder disminuir problemas tales como desacoplamientos en los transistores, desplazamientos, generación de voltajes de polarización, etc., los cuales pueden ser realmente un reto en el diseño de circuitos aplicados al procesamiento de señales, después de que éstos han sido fabricados.

1.1- Introducción

En 1967, Kahng y Sze reportaron la primera estructura de compuerta flotante, como un elemento de almacenamiento de información no-volátil. Desde entonces, los transistores de compuerta flotante, se han estado usando ampliamente en el almacenamiento de información digital por largos periodos en estructuras tales como memorias EPROMs, EEPROMs y Flash [1-4].

Actualmente, el transistor de compuerta flotante tiene un gran auge a nivel mundial, debido a que sus características físicas de diseño le permiten operar en forma multifuncional. Aunque los dispositivos de compuerta flotante, han sido principalmente usados como memorias digitales, recientemente se han estado usando en el diseño de circuitos de aprendizaje en modo analógico. Así entonces, los circuitos de compuerta flotante no solo se consideran como elementos de memoria analógica, sino también como dispositivos para el diseño de diferentes estructuras de circuitos electrónicos de propósitos específicos. De esta manera, los dispositivos de compuerta flotante no son intrínsecamente memorias digitales, sino que su aplicación dependerá de la manera en que el diseñador de circuitos utilice la forma de operación del transistor de compuerta flotante [5].

Por tal motivo, el desarrollo tecnológico en el área de transistores MOS de compuerta flotante, ha originado la investigación de esta tecnología en diferentes aplicaciones, una de ellas se presenta en las memorias analógicas, las cuales brindan la capacidad de almacenar, actualizar y/o adaptar una carga en la compuerta flotante con base en los procesos de inyección y tuneo de electrones, ya sea para incrementar o disminuir dicha carga con el propósito de controlar la corriente que fluye por el transistor, así como para actualizar su peso ó para procesar el producto de esta carga (peso) con diferentes señales de entrada, en tiempo real. Así también, se está utilizando en diferentes aplicaciones tales como: reducir el voltaje de polarización en circuitos que demanden baja potencia y bajo voltaje, eliminar desacoplamiento entre transistores, etc., [6,7].

El aspecto de no-volatibilidad de la compuerta flotante del transistor, así como la de tener N compuertas de control acopladas capacitivamente a la compuerta flotante, le permiten tener una característica de programabilidad que puede ser explotada de diferentes maneras:

- ❖ Como elementos de memorias analógicas.
- ❖ Como dispositivos acoplados capacitivamente en circuitos más complejos.
- ❖ Como elementos de memoria en circuitos adaptativos.

Como elemento de memoria, se consideran los arreglos de celdas de memoria, las cuales, pueden almacenar diferentes valores de carga dentro del circuito, proporcionando voltajes correspondientes de lectura y/o escritura y realizar el procesamiento ó ponderación de

señales de entrada, ya sea en forma manual o a través de una regla o algoritmo. Los arreglos de celdas de memoria pueden ser digitalmente controlados, proporcionando una alta resolución, utilizando el mínimo de circuitos.

Como dispositivos acoplados capacitivamente, su uso está determinado por el voltaje de la compuerta flotante, ya que éste puede ser modificado a través de N compuertas de entrada y poder modular la corriente de canal entre el drenador y la fuente. De esta manera, pueden ser usados para modificar el voltaje de umbral del transistor, realizar operaciones de suma y resta con un solo dispositivo, asimismo, implementar un amplio rango de funciones translineales con relaciones de corriente-voltaje exponenciales, diseños con bajo voltaje de alimentación y baja potencia de disipación, etc., [8-10].

Como elementos en circuitos adaptativos, con base a las características físicas del dispositivo, se pueden utilizar en sistemas de aprendizaje, mediante la aplicación de los procesos físicos de inyección y tuneo de electrones, los cuales, pueden ser programados mediante el uso de alguna regla de adaptación o algoritmo de aprendizaje [11-15].

Las características arriba mencionadas, permiten aportar soluciones a problemas que se tienen en diseños con transistores MOSFET convencionales, tales como los que se presentan a continuación:

- ❖ En la sintonización de circuitos, que se puede realizar después del proceso de fabricación con el propósito de tener respuestas deseadas en el diseño de circuitos tales como filtros programables, multiplicadores, espejos de corriente, amplificadores, etc.
- ❖ Para remover los voltajes de desplazamiento encontrados en pares diferenciales.
- ❖ Para proporcionar corrientes de polarización a través de espejos de corriente mediante la programación y sintonización de alta exactitud de una corriente de entrada y poder obtener un funcionamiento adecuado.
- ❖ Para mejorar la linealidad debido a la atenuación capacitiva de entrada.
- ❖ Para controlar voltajes de umbral. Con voltajes de umbral bajos se pueden tener voltajes de alimentación bajos, los cuales a su vez, permiten diseños con bajos voltajes de alimentación y baja potencia, operando el transistor en la región de saturación.

De esta manera, los dispositivos de compuerta flotante, permiten tener un mayor grado de libertad con respecto a los transistores MOSFETS normales.

Asimismo, con base a sus propiedades, estos dispositivos presentan características importantes que pueden ser utilizadas cuando se determinan las ventajas y/o desventajas en el diseño de circuitos de aplicación, estas son:

- ❖ La compuerta flotante es una compuerta de polisilicio aislada por SiO_2 .
- ❖ La carga en la compuerta flotante puede ser almacenada permanentemente.
- ❖ El área de silicio que ocupa es mínima.
- ❖ La cantidad de potencia consumida es mínima.

1.2.- El transistor MOS de compuerta flotante

La concentración cada vez mayor de circuitos en pequeñas áreas de silicio, el menor consumo de potencia y especialmente la característica de programabilidad que permite la lectura y escritura en una memoria, han hecho posible que los transistores MOS de compuerta flotante se conviertan en una opción rentable en aplicaciones de diseño analógico para reducir importantes gastos asociados al área y consumo de potencia.

De esta manera, el concepto de tener la compuerta de un transistor MOS flotando, es la de tener la única posibilidad de tener una impedancia de entrada infinita en la compuerta del transistor MOS. Esta compuerta de polisilicio, está eléctricamente aislada del canal del transistor por una delgada capa de óxido de silicio de alta calidad, así como con cualquier otra trayectoria hacia las terminales del transistor [16-18]. De esta manera, la carga en la compuerta flotante puede ser almacenada permanentemente, debido a que el SiO_2 es un aislador de alta calidad.

Por lo tanto, los circuitos de compuerta flotante son totalmente dependientes de las propiedades del aislamiento que proporciona el óxido de silicio para poder manipular ó modificar la carga en la compuerta flotante. Esto significa que, para aplicar los procesos de inyección y tuneo de electrones, es necesario romper temporalmente las propiedades del óxido de silicio, ocasionando algunas veces un daño en éste, afectando las propiedades de vida útil del dispositivo. Por tal motivo, es importante conocer las características y propiedades del TCF, así como los fenómenos físicos que permiten modificar la carga en la compuerta flotante del dispositivo, con el propósito de tener un manejo adecuado del mismo.

La Figura 1.1 muestra el símbolo y patrón geométrico de un transistor MOSFET de compuerta flotante. Para tener un almacenamiento de carga no-volátil en la CF, las entradas externas son acopladas capacitivamente a través de capacitores de entrada C_{in} . La unión de tuneo es representada como un capacitor C_{tun} , que acopla la terminal del voltaje de tuneo V_{tun} a la compuerta flotante, usada para el proceso de tuneo de electrones

Fowler-Nordheim, el cual, modifica la carga en la compuerta flotante. La flecha en el capacitor denota el flujo de la carga. Las señales de entrada están acopladas capacitivamente a la compuerta flotante, por lo que también de esta forma la carga en la compuerta flotante puede ser modificada, mediante el voltaje inducido de los voltajes de entrada aplicados en las compuertas de control, y poder modular la corriente de canal del transistor.

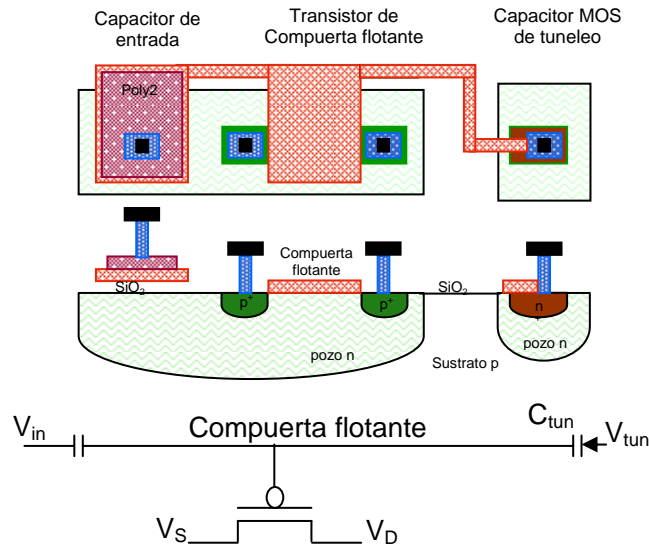


Figura 1.1. Símbolo y patrón geométrico del MOSFET de compuerta flotante.

1.3.- Compuerta de control

En la Figura 1.2, se muestra el diagrama eléctrico del transistor MOSFET de compuerta flotante. La característica más distintiva de este transistor, es el conjunto de capacitores de entrada C_i , entre las entradas efectivas y la compuerta flotante.

Una forma simple de examinar este circuito es la de considerarlo como un transistor MOS con un divisor de voltaje capacitivo en su entrada. De esta manera, el voltaje de entrada no se aplica directamente a la compuerta, sino a capacitores de entrada que acoplan los voltajes de entrada a la CF. El acoplamiento capacitivo, debilita el efecto del voltaje de entrada en la CF, debido a que además de la razón capacitiva k formada entre la compuerta y el canal, se suma la razón capacitiva k' formada entre la entrada y la compuerta, por la cual, el voltaje de entrada es atenuado, independientemente de la región en que esté operando el transistor. Las relaciones k y k' capacitivas están dadas por las siguientes ecuaciones:

$$k = \frac{C_{ox}}{C_{ox} + C_{dep}} \quad (1.1)$$

donde C_{ox} es la capacitancia del óxido de compuerta, C_{dep} es capacitancia en la región de depleción cargada negativamente formada en la interfase silicio-óxido de silicio.

También:

$$k' = \frac{C_{in}}{C_{in} + C_T} \quad (1.2)$$

donde C_T es la suma total de todas las capacitancias acopladas a la compuerta.

Las capacitancias parásitas de compuerta-drenador, compuerta-fuente y compuerta-substrato C_{GD} , C_{GS} y C_{GB} , son las mismas capacitancias parásitas presentes en un transistor MOS fabricado usando la misma tecnología con la misma área activa. La relación entre la corriente CD de drenador-fuente y el voltaje de compuerta flotante V_{CF} , de un transistor de CF, no es afectado por las capacitancias parásitas. Sin embargo, C_{GD} , C_{GS} y C_{GB} , sí afectan la relación entre V_{CF} y los voltajes de entrada efectivos, V_i .

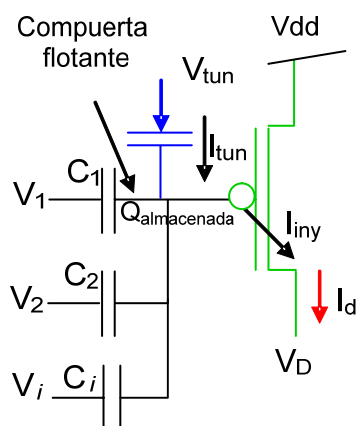


Figura 1.2. Diagrama eléctrico de un transistor MOSFET de compuerta flotante.

Por otro lado, se puede observar la característica que tiene el dispositivo de tener múltiples señales de entrada y/o múltiples compuertas de control.

Así entonces, se analizará en una primera etapa del transistor MOSFET de compuerta flotante a considerar, las variables que afectan el comportamiento del transistor, concretándonos en este caso, en el conjunto de capacitores de entrada C_i localizados entre las entradas efectivas y la compuerta flotante.

En una segunda etapa, se analizarán los parámetros que afectan la carga en la CF a través de los procesos de inyección y tuneleo.

En general, la respuesta de un diseño en particular, estará en función de la forma o técnica que se utilice para modificar la carga en la CF. Por lo tanto, es importante conocer la

operación de cada técnica con el propósito de seleccionar la más apropiada. Para ello, a continuación se presenta un análisis breve de estas dos técnicas.

1.4.- Técnica de acoplamiento capacitivo

La característica más distintiva de un transistor de CF, es el número de capacitores de entrada C_i , que se pueden agregar entre las entradas efectivas, llamadas compuertas de control y la compuerta flotante. Donde $i=1,2,\dots,N$.

En esta configuración, asumiendo que Q_{CF} , es la carga neta en la compuerta flotante, entonces, V_{CF} es el voltaje en la misma, y V_{Gi} , es el voltaje en las N compuertas de control. La ecuación que modela el comportamiento estático a señal grande del transistor, se obtiene combinando el modelo estándar del transistor MOS convencional, con las variables V_D , V_S , V_B , C_{Gi} , C_{CFS} , C_{CFD} y C_{CFB} , que se relacionan con V_{CF} . Esta ecuación se obtiene, aplicando la ley de Kirchhoff para corriente en el nodo de la compuerta flotante y despejando el voltaje en la CF, resulta:

$$V_{CF} = \left(Q_{CF} + C_{CFD} V_D + C_{CFS} V_S + C_{CFB} V_B + \sum_{i=1}^N C_{Gi} V_{Gi} \right) / C_T \quad (1.3)$$

donde C_T , es la capacitancia total vista por la compuerta flotante, y esta dada por:

$$C_T = C_{CFD} + C_{CFS} + C_{CFB} + \sum_{i=1}^N C_{Gi} \quad (1.4)$$

C_{CFS} , C_{CFD} y C_{CFB} , son las capacitancias parásitas entre la compuerta flotante y la fuente, drenador y substrato, respectivamente; N es el número de entradas efectivas. El término Q_{CF} , se refiere a una cierta cantidad de carga, que es atrapada en la compuerta flotante durante el proceso de fabricación. Este término, se considera constante y es diferente para cada fabricación y puede ser interpretado como un voltaje que desplaza al voltaje de umbral del transistor.

Así entonces, de (1.3) se deduce que el voltaje de la CF es directamente proporcional a la carga almacenada en ésta, y que el voltaje de compuerta está en función de los voltajes de entrada acoplados capacitivamente. De esta manera, el voltaje de compuerta estará en función de la carga almacenada en la ella.

Modificando esta carga, el voltaje en la compuerta flotante V_{CF} cambiará y por lo tanto, la corriente a través del transistor también cambiará en relación a la ponderación que se realice en sus entradas. Las señales de entrada acopladas a la entrada del transistor, pueden definirse mediante la siguiente expresión:

$$V_{CF} = V_1 * C_1 / C_T + V_2 * C_2 / C_T + \dots + V_i C_i / C_T + Q_{almacenada} \quad (1.5)$$

donde C_T es la suma total de todas las capacitancias en la compuerta flotante y V_{CF} es el voltaje en la compuerta flotante, y V_i son los voltajes en las compuertas de control, con $i = 1, 2, \dots, N$.

Por lo tanto, si se modifica la carga, las curvas $I-V$ del transistor pueden ser controladas hacia un punto particular deseado.

Los valores de las capacitancias que conectan las entradas del transistor con la compuerta flotante, pueden ser ajustados de acuerdo a las necesidades del circuito y del diseñador. Los valores de las capacitancias de entrada son obtenidos por la siguiente ecuación [4].

$$C_i = \left(\frac{\epsilon_{SiO_2}}{t_{SiO_2}} \right) A_i \quad (1.6)$$

donde ϵ_{SiO_2} es la permitividad del SiO_2 , t_{SiO_2} es el espesor del SiO_2 entre la compuerta flotante y las entradas efectivas, y A_i es el área de cada una de las placas de los capacitores de entrada.

La carga neta Q_{CF} en la compuerta flotante puede ser calculada a través de la siguiente expresión:

$$Q_{CF} = \phi_F \sum_{i=0}^N C_i - \sum_{i=0}^N C_i V_i \quad (1.7)$$

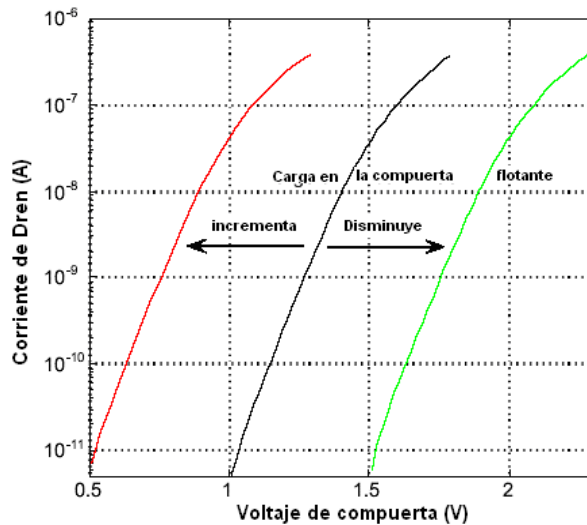


Figura 1.3. Efecto de modificar la carga en la compuerta flotante.

Para la obtención de (1.7), se asume que durante la operación del dispositivo no ocurre inyección ni tunelaje de electrones que influyan en el valor de la carga en la CF. En la

Figura 1.3, se muestra el resultado de modificar la carga en la compuerta flotante. Como se puede observar, se puede disminuir ó incrementar el voltaje de umbral del transistor.

1.5.- Comportamiento a señal grande

Las ecuaciones que modelan el comportamiento a señal grande del transistor de compuerta flotante, pueden ser obtenidas reemplazando el voltaje V_{GS} en las ecuaciones que describen el comportamiento a señal grande de un transistor MOS normal, con la expresión que describe el voltaje entre la CF y la fuente, la cual, puede ser obtenida refiriendo el voltaje V_{CF} a la fuente, en lugar del substrato.

De esta manera, las ecuaciones que definen el funcionamiento del transistor de CF en las diferentes regiones de operación, son las siguientes [19]:

Inversión débil.

$$I_D = I_S \exp\left[\left(\sum_{i=1}^N \frac{C_i}{C_T} \frac{V_{iS}}{nU_T}\right)\right] \exp\left(\frac{C_{GD}}{C_T} \frac{V_{DS}}{nU_T}\right) \exp\left(\frac{Q_{CF}}{nU_T C_T}\right) \quad (1.8)$$

$$\text{Para } \sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{Q_{CF}}{C_T} < V_T$$

Región óhmica.

$$I_D = \mu C_{OX} \frac{W}{L} \left\{ \left[\left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} \right) - \left(V_T - \frac{C_{GB}}{C_T} V_{BS} - \frac{Q_{CF}}{C_T} \right) \right] - \left(\frac{1}{2} - \frac{C_{GD}}{C_T} \right) V_{DS} \right\} \quad (1.9)$$

$$\text{Para } 0 < V_{DS} \leq \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{CF}}{C_T} - V_T \right)$$

Región de saturación.

$$I_D = \frac{\mu_0 C_{OX}}{2} \frac{W}{L} \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{CF}}{C_T} - V_T \right)^2 \quad (1.10)$$

$$\text{Para } 0 < \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{CF}}{C_T} - V_T \right) \leq V_{DS}$$

Ahora se analizará brevemente, la respuesta a pequeña señal del transistor de compuerta flotante con el propósito de entender y conocer el comportamiento del dispositivo cuando se tienen en sus entradas señales determinísticas y/o no-determinísticas.

1.6.- Comportamiento a pequeña señal

Una vez más, al igual que con el transistor MOS convencional, también se pueden derivar las ecuaciones que modelan el comportamiento a pequeña señal del dispositivo. De esta manera, un transistor de compuerta flotante contiene $N-1$ más terminales que un transistor convencional. Por lo tanto, se pueden definir $N+2$ parámetros a pequeña señal que se aplican desde este punto de vista, los cuales son: N transconductancias efectivas de entrada (g_{mi}), una conductancia de salida g_{dsCF} y una transconductancia de sustrato g_{mbCF} . Si g_m , g_{ds} y g_{mb} representan a la transconductancia de compuerta, la conductancia de salida y la transconductancia del sustrato de un transistor MOS teniendo idéntico tamaño de canal, de corriente y voltaje V_{DS} en el transistor MOS, entonces, los parámetros a señal pequeña para un transistor de CF, pueden ser definidos como:

$$g_{mi} = \frac{C_i}{C_T} g_m \quad \text{para } i=[1,N] \quad (1.11)$$

$$g_{ds(CF)} = g_{ds} + \frac{C_{GD}}{C_T} g_m \quad (1.12)$$

$$g_{mb(CF)} = g_{mb} + \frac{C_{GB}}{C_T} g_m \quad (1.13)$$

Con estas expresiones podemos identificar dos desventajas del transistor de CF, comparado con el MOS estándar, una es la reducción de la transconductancia de entrada y la otra, la reducción de la resistencia de salida.

1.7- Modelo en PSpice del transistor acoplado capacitivamente

El primer problema que se tiene que resolver cuando el transistor de CF se utiliza a través del acoplamiento capacitivo, es elegir un modelo adecuado de simulación, debido a que los simuladores no pueden interpretar el nodo de compuerta flotante y presentan un error que no permite obtener los resultados de simulación. Por tal motivo, a continuación, se presenta un modelo para llevar a cabo la simulación del transistor de compuerta flotante. El modelo utilizado, es el propuesto por T. Ochiai y H. Hatano [20,21]; este, calcula el potencial de la compuerta flotante usando resistencias, fuentes de voltaje y de corriente dependientes.

La Figura 1.4, muestra el modelo que permite realizar la simulación del potencial de compuerta flotante de un transistor de CF. Donde G_i es una fuente de corriente controlada por voltaje, $G_i = V_i$ ($i = 1, 2, \dots, n$), V_i es la voltaje de entrada, E es una fuente polinomial de voltaje controlado por voltaje. E está dado por $E = \sum_{i=1}^n R_i V_i$. R_i es el valor proporcional del coeficiente de acoplamiento capacitivo C_i entre la compuerta flotante y cada una de las compuertas de entrada. H es una fuente de voltaje controlada por corriente. R_{TOT} es

obtenido de $C_{TOT} = \sum_{i=0}^n C_i$. C_0 es el coeficiente de acoplamiento capacitivo entre la compuerta flotante y el sustrato. H está dado por $H = \sum_{i=1}^n R_i V_i / R_{TOT}$. El potencial de compuerta flotante $\phi_{CF} = \sum_{i=1}^n C_i V_i / C_{TOT}$ puede ser obtenido de H .

Este modelo no solamente permite simular las características CD de un transistor de CF, sino también, permite realizar análisis transitorios de señales, ver tiempos de retardo, obtener formas de onda de salida y consumo de potencia del dispositivo, mediante la herramienta de simulación PSpice®. En el apéndice A, se presenta el código del modelo.

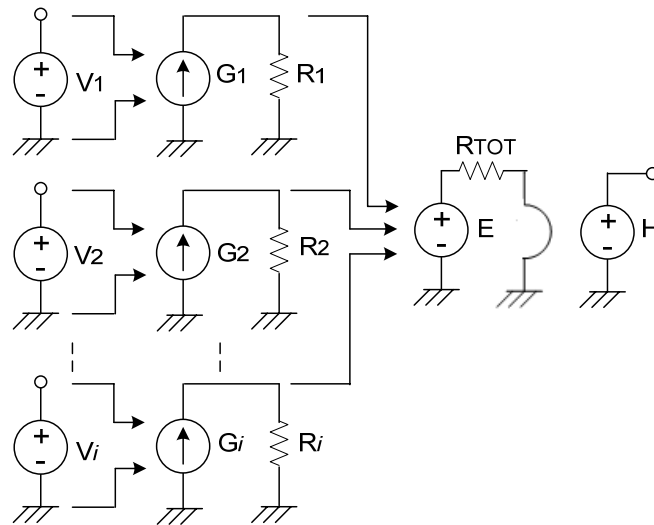


Figura 1.4 Modelo para la simulación del potencial de la compuerta flotante de un transistor [20].

1.8. Carga parásita en la compuerta flotante

El aislamiento de la compuerta, tiene como objetivo que la carga permanezca constante de aproximadamente cero. Sin embargo, esto no es así, debido a que durante el proceso de fabricación, se forma una determinada cantidad de carga en la compuerta flotante, que causa errores aleatorios e inaceptables en el voltaje de umbral del transistor, ya sea incrementándolo ó disminuyéndolo.

Esta carga puede ser tanto una ventaja como una desventaja y tiene que ser considerada en el diseño de circuitos, dependiendo de la aplicación para la cual vaya a ser usado el transistor. Las técnicas que los diseñadores han adoptado para darle solución a este problema son:

Técnicas orientadas al control de la carga con base en la ecuación (1.7), en donde se puede tener control del voltaje de umbral a través de un determinado número de voltajes de

entrada aplicados en las compuertas de control, lográndose obtener hasta valores negativos del voltaje de umbral.

Técnica simplificada, la cual brinda ventajas, en el sentido de prescindir de métodos sofisticados para eliminar la carga, como es la presentada en [22], en donde, durante el proceso de fabricación se genera un contacto aislado desde la compuerta flotante hacia el primer metal, hasta llegar al último metal disponible en el proceso de fabricación CMOS, lográndose un contacto temporal entre la compuerta flotante y el sustrato.

Técnica de aplicación de luz ultra violeta (UV) para eliminar la carga. [23].

Técnica de inyección y tuneo, que se describirá con más detalle posteriormente.

1.9. Simulaciones

La característica principal del transistor de compuerta flotante aplicado en forma de acoplamiento capacitivo, es el de poder controlar su voltaje de umbral mediante señales externas, a través de compuertas de control, permitiendo de esta manera, desplazar hacia arriba o hacia abajo su valor.

Entonces, la idea de realizar la simulación, será mostrar cómo con la aplicación de señales externas, será posible realizar el desplazamiento del voltaje de umbral, ya sea hacia arriba o hacia abajo.

Sabemos que la condición para que un transistor de compuerta flotante conduzca, debe cumplir la siguiente relación [8]:

$$\frac{C_1V_1 + C_2V_2 + \dots + C_iV_i}{C_T} > V_T \quad (1.14)$$

Si esta relación es manipulada para V_1 , entonces:

$$V_1 > \frac{C_T}{C_1} V_T^* - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_i}{C_1} V_i \quad (1.15)$$

De esta manera, si un transistor de CF de n-entradas es operado con una sola entrada, donde la compuerta 1 es la única señal de entrada y las otras operan como compuertas de control de umbral, entonces el voltaje de umbral del transistor visto por la compuerta 1 estará dado por:

$$V_T^{(1)} = \frac{C_T}{C_1} V_T^* - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_i}{C_1} V_i \quad (1.16)$$

De (1.16), se deduce que V_T está determinado en función de las señales de control V_2, V_3, \dots, V_i . Ahora, considerando el caso más simple del transistor que es cuando se tienen dos entradas con $C_1=C_2$, entonces, el voltaje de umbral del transistor es determinado por:

$$V_T^{(1)} = \frac{C_T}{C_1} V_T^* - V_2 \quad (1.17)$$

Por lo tanto, el voltaje de umbral del transistor es controlado por una señal V_2 . La Figura 1.5, muestra el resultado de la simulación de esta configuración. Como se puede observar, el voltaje de umbral del transistor es modificado con base en la relación (1.17).

De esta manera, el voltaje de umbral visto por la compuerta de entrada V_{in1} (V_{TH}), es arbitrariamente modificado por la señal de control V_{in2} (V_2). Para esta simulación se usó el modelo MOS nivel 7 de PSpice®. Aunque este ejemplo demuestra el principio de operación más simple del transistor con su voltaje de umbral variable, es posible tener una variedad de señales de control de umbral únicamente cambiando las capacitancias de acoplamiento y el número de señales de entrada. En la tabla 1.1, se presentan los resultados obtenidos teóricamente mediante la ecuación 3.4, los cuales, son acordes con los de la grafica de la Figura 1.5.

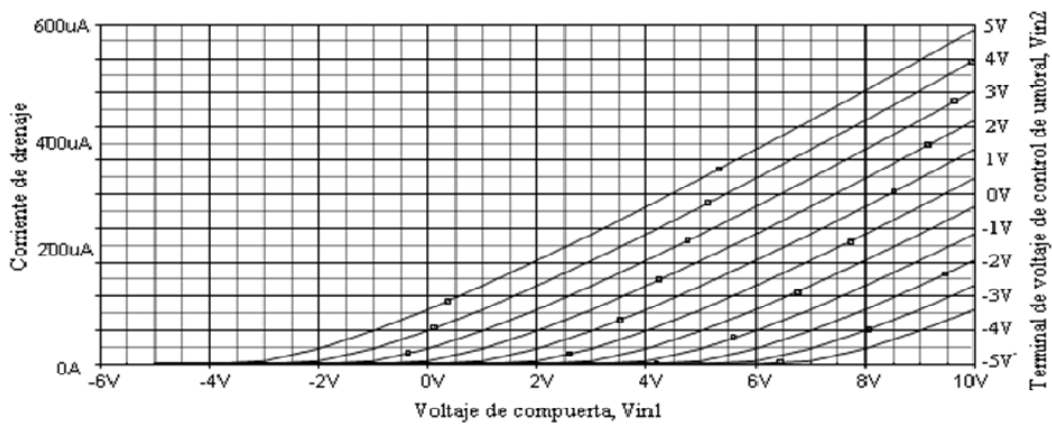


Figura 1.5 Característica del voltaje de compuerta-corriente de drenador de un transistor de CF de umbral variable, para una tecnología de 1.2 μm .

TABLA 1.1
RESULTADOS TEORICOS DE (1.17)

V_2 (v)	-5	-4	-3	-2	-1	0	1
V_{TH}^1 (v)	6.4455	5.455	4.455	3.455	2.455	1.455	0.455

1.10.- Procesos de Inyección y tuneleo de electrones

A continuación, se definen tres técnicas para modificar la carga en la compuerta flotante de un transistor pMOS. En esta etapa, aunque particularmente concentraremos nuestra atención en los procesos de inyección y tuneleo de electrones (identificados de aquí en adelante en forma genérica con el nombre de inyección y tuneleo), revisando las variables más importantes que afectan a dichos fenómenos, así como de los voltajes requeridos para su activación, se presentará brevemente la técnica de foto inyección ultravioleta.

Para el desarrollo de estos temas, recordaremos en forma breve la teoría de bandas con el propósito de conocer los requisitos y restricciones para poder modificar la carga en la CF, con la inyección y tuneleo de electrones a través del óxido de silicio de la estructura de un transistor MOS.

Esta teoría establece que el diagrama de bandas contiene los niveles de energía del electrón en la estructura del transistor MOS con base en la energía de Fermi en el semiconductor y en el metal, así como los límites de las bandas de valencia y de conducción en el óxido de silicio.

Por lo tanto, la energía del electrón se asume que es cero en el semiconductor, mientras que la del oxido tiene una energía de 8eV entre bandas y la del silicio de 1.12eV.

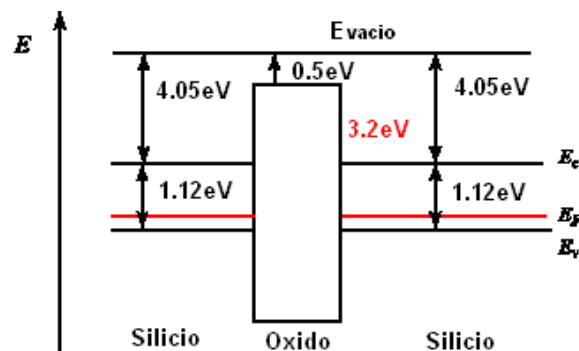


Figura 1.6. Diagrama de bandas.

De esta manera, bajo la condición de bandas planas, el diagrama de bandas de energía es plano en el semiconductor, lo cual implica que no existe diferencia de potencial en el semiconductor. Este diagrama se obtiene cuando se aplica un voltaje que iguala la diferencia de voltaje entre el metal y el semiconductor.

De esta forma, si existe una carga fija en el óxido ó en la interfase del óxido, la expresión para el voltaje de bandas planas, deberá ser modificada con base en los voltajes aplicados en la compuerta con respecto a los voltajes de banda plana. La Figura 1.6, muestra este principio.

Como se puede observar, para que los portadores de carga puedan tunelear a través del óxido, estos deberán de tener una energía igual ó mayor a 3.2eV . Por lo tanto, para que un electrón tenga la probabilidad de pasar a través del óxido de compuerta, éste deberá vencer la barrera de potencial del óxido de 3.2eV .

Es importante, entonces, que para modificar la carga en la compuerta flotante, el diseñador cuente con las técnicas que posibilitan al electrón, vencer la barrera del óxido, ya que para que un electrón pueda llegar a la compuerta flotante, éste debe tener una energía mayor que la altura de la barrera del óxido y deberá ser dirigido hacia el óxido de silicio cuando el electrón obtenga dicha energía.

Sin embargo, para este propósito, se deberá tener en cuenta la posible degradación del transistor, que ocurre cuando los electrones son atrapados en el óxido de compuerta debido al impacto de ionización de huecos calientes, que hace que las propiedades del transistor cambien. Por lo tanto, deberá existir un compromiso entre el impacto de ionización y la inyección de electrones en función de la corriente de canal, voltaje de drenador y el voltaje de la compuerta flotante para poder seleccionar el medio ó técnica mas apropiada para no dañar la interfase de Si-SiO₂. Así también, se deberá tomar en cuenta el voltaje de rompimiento de la unión P-N activo-substrato, ya que este podría dañar al transistor.

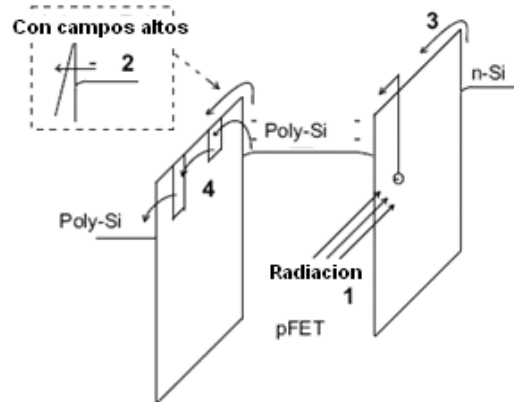


Figura 1.7. Métodos para modificar la carga en la compuerta flotante.

Estos fenómenos y/o técnicas, se muestran en la Figura 1.7, estos son:

- ❖ Foto inyección Ultravioleta (1).
- ❖ Tuneleo de electrones Fowler-Nordheim (2).
- ❖ Inyección de electrones (3), etc.

Foto inyección Ultravioleta: La carga en la compuerta flotante puede ser modificada usando luz ultra violeta de onda corta. Esta modificación se lleva a cabo exponiendo el dióxido de silicio a luz ultravioleta, la cual, impartirá suficiente energía para que algunos portadores puedan vencer la barrera del óxido. Este método ha sido empleado en el caso de elementos de memoria para la normalización de arreglos cuando existe una fuerte disparidad en la carga. Sin embargo, aún cuando esta técnica representa una alternativa importante para modificar la carga, su eficacia esta limitada, debido a que el tiempo de exposición es grande [23].

Fowler-Nordheim (tuneleo de electrones): el tuneleo es usado para remover electrones de la compuerta flotante de polisilicio, a través de la banda de conducción del óxido.

Fowler y Nordheim fueron las primeras personas que explicaron la emisión de electrones en metales, principalmente de oro. Este fenómeno es un proceso físico cuántico de ondas de electrones que son capaces de propagarse a través de un aislante [24].

En el proceso de tuneleo, los electrones, realizan el tuneleo desde la banda de conducción del silicio, hacia la banda de conducción del óxido, esto es, los electrones ganan energía a través de un campo eléctrico alto generado entre el drenador y el canal, que hace que los electrones adquieran una aceleración que los hace chocar y dispersar en el óxido, quedando electrones atrapados en el óxido. De esta manera, la carga atrapada en la capa del óxido, incrementará la probabilidad para la transmisión de corriente de electrones pasando a través del óxido.

Esta transmisión, produce un corrimiento en las curvas características de densidad de corriente de tuneleo contra el voltaje de compuerta, así como un cambio en el voltaje de umbral de la estructura del transistor MOS.

Cabe mencionar que el espesor de la estructura del óxido de compuerta del MOS, afectará el campo de emisión, de tal manera, que el espesor del óxido es inversamente proporcional a la corriente de tuneleo, esto es, reduciendo el espesor del óxido, se incrementará la corriente de tuneleo [24].

Además, el voltaje requerido para tener tuneleo dependerá totalmente del espesor del óxido. Debido a que el tuneleo es una función exponencial tanto del campo eléctrico como del espesor del dióxido de silicio, la mayoría de la corriente fluirá a través de las zonas en donde el óxido es delgado.

Asimismo, con base en la curva de la corriente de tuneleo, podemos conocer que la densidad de corriente se incrementa exponencialmente con voltajes de compuerta bajos. Además, ocurre una saturación de la corriente de tuneleo con voltajes de compuerta altos. Esta saturación, se debe a que se tiene una razón finita de los portadores minoritarios generados en la región de carga para suministrar el proceso de tuneleo.

Por otro lado, la densidad de corriente es afectada por la concentración de dopantes, esto es, un dispositivo con una mayor concentración de dopantes, proporcionará una corriente de tunelamiento mas baja. Por lo tanto, la densidad de corriente de tunelamiento es inversamente proporcional a la concentración de dopantes

En resumen, incrementando el voltaje a través del capacitor de tunelamiento MOS de pozo N, del transistor de compuerta flotante, se incrementa el campo eléctrico efectivo a través del óxido de compuerta, el cual, incrementa la probabilidad de que un electrón escape a través de la barrera del óxido.

Estas corrientes pueden ser realmente altas y pueden llegar al rompimiento de la estructura, dejando zonas abiertas para portadores libres, por lo que se deberá tener cuidado en la selección del valor del voltaje de tunelamiento.

La cantidad de corriente para dispositivos de compuerta flotante está en relación al voltaje a través del capacitor de tunelamiento. De esta manera, la corriente de tunelamiento a través de un sistema silicio-dióxido de silicio está dada por [25]:

$$I_{tun} = I_0 \exp\left(\frac{\xi_0}{\xi_{ox}}\right) = I_0 \exp\left(\frac{t_{ox} \xi_0}{V_{tun} - V_{CF}}\right) \quad (1.18)$$

donde ξ_{ox} es el campo eléctrico en el óxido, t_{ox} es el espesor del óxido y ξ_0 es un parámetro del dispositivo con un valor de $25.6V/nm$ [26].

De esta manera, para agregar carga positiva en la compuerta flotante, se tiene que disminuir electrones en la compuerta flotante. Para realizar esta disminución de electrones, se utiliza el proceso de tunelamiento de electrones Fowler-Nordheim.

Este fenómeno se observa cuando se incrementa el voltaje a través del capacitor de tunelamiento, ya sea, incrementando el voltaje de tunelamiento V_{tun} ó disminuyendo el voltaje de la compuerta flotante, dando como resultado que el campo eléctrico efectivo a través del óxido aumente, incrementando la probabilidad de tunelamiento de electrones a través de la barrera. La Figura 1.8 muestra este proceso.

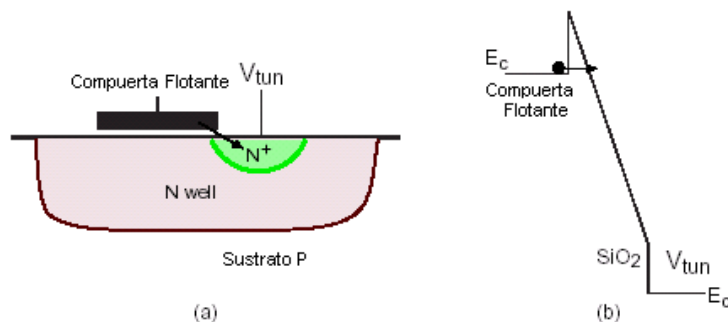


Figura 1.8. Tunelamiento de electrones.

Esta figura, representa el tuneleo de portadores de carga a través de una delgada barrera de energía creada por la presencia de un campo eléctrico suficientemente alto.

Asimismo, el efecto que se produce en el óxido de compuerta con un voltaje de tuneleo aplicado, es la disminución del ancho efectivo de la barrera del óxido, como se muestra en la Figura 1.9.

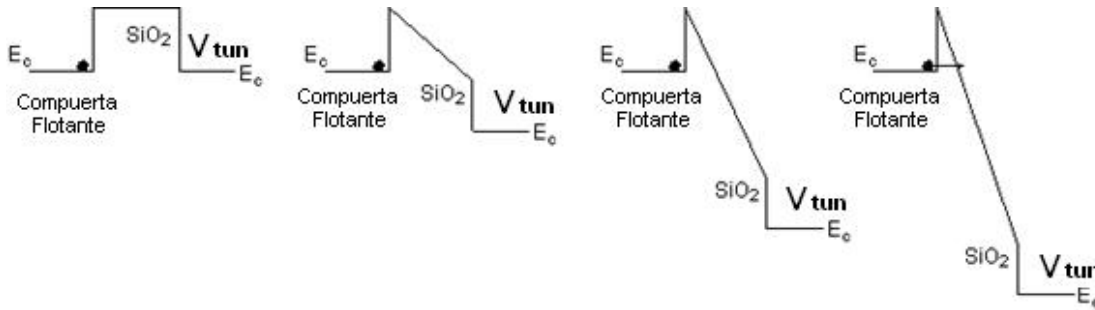


Figura 1.9. Efecto en el óxido de compuerta al aplicar un voltaje de tuneleo.

Por lo tanto el tuneleo de electrones depende del ancho de la barrera y del campo eléctrico.

Finalmente, la corriente de tuneleo aproximada para una polarización fija puede ser expresada por:

$$I_{tun} = I_{tun0} \exp((\Delta V_{tun} - \Delta V_{CF})/V_X) \quad (1.19)$$

donde V_X es un parámetro relacionado a los voltajes de la compuerta flotante y de tuneleo en equilibrio, ΔV_{tun} es el cambio en el voltaje de tuneleo y ΔV_{CF} es el cambio en el voltaje de la compuerta flotante en relación al voltaje de compuerta flotante en equilibrio.

Inyección de electrones calientes: la inyección de electrones calientes, es usada para adicionar electrones al nodo de la compuerta flotante, el cual, reduce el voltaje de compuerta. Esta técnica está basada en la teoría del impacto de ionización [27]. En general, se presenta cuando las condiciones de polarización son favorables para llevar a cabo la inyección de electrones calientes, la cual, se presenta cuando se tiene un voltaje suficientemente alto aplicado entre la fuente y el drenador a través del transistor de compuerta flotante PMOS. Con esta condición, se tiene como resultado la generación de huecos en la región de depleción, causando el impacto de ionización de huecos calientes cerca del borde de la región de depleción de la terminal del drenador.

La Figura 1.10, muestra este fenómeno, en donde, el impacto de ionización de huecos calientes, causado por un campo eléctrico alto en esa zona, crea electrones en el borde del drenador en la región de depleción entre el drenador y el canal. Estos electrones son repelidos hacia la región del canal, debido a que el canal en la región de la compuerta está

a un potencial electrostático mas alto (o una energía del electrón mas baja) que la terminal del drenador, ganando de esta manera suficiente energía de tal forma que cuando ésta excede a la de la barrera del óxido, los electrones pueden ser inyectados hacia el óxido y ser transportados a la compuerta flotante.

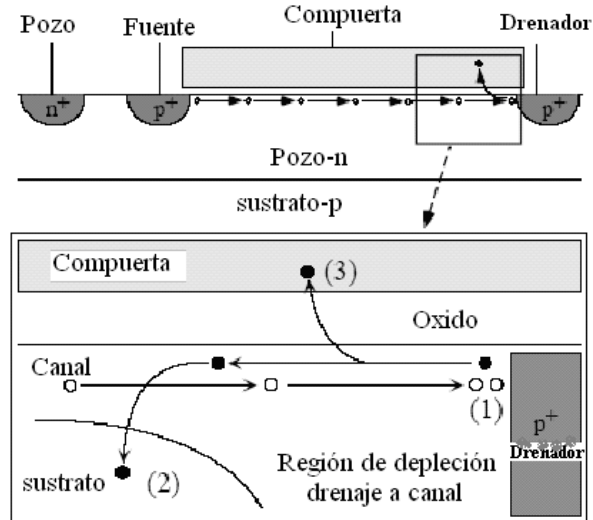


Figura 1.10. Proceso para la Inyección de electrones. (1) Impacto de Ionización de huecos calientes, el cual genera un par electrón-hueco. El nuevo electrón puede ser repelido hacia el sustrato (2), ó hacia la compuerta flotante (3)

La corriente de inyección es proporcional a la corriente de impacto de ionización de huecos y es una función exponencial de la caída de voltaje de canal a drenador. Esta relación puede ser expresada mediante la siguiente ecuación [28-30]:

$$I_{iny} = I_{impacto} \exp\left[f(\Phi_{dc})\right] \quad (1.20)$$

La eficiencia de la corriente de inyección es aproximadamente el exponencial de esta función lineal sobre un intervalo de $1 V$, y la pendiente de esta curva puede ser usada para modelar la relación entre la corriente inicial y la corriente final inyectada, la cual, está dada por:

$$I_{iny} = I_{iny0} \left(\frac{I_S}{I_{S0}}\right)^\alpha \exp\left[\frac{-\Delta V_{SD}}{V_{iny}}\right] \quad (1.21)$$

donde: I_{S0} es la corriente inicial, I_S es la corriente final, α es $1 - (U_T/V_{iny})$, V_{iny} , I_{iny} son parámetros físicos del dispositivo, V_{SD} es el cambio en el voltaje fuente-drenador.

Finalmente, para tener inyección, se deben de cumplir dos condiciones:

- ❖ Tener una corriente alta fluyendo a través del transistor.
- ❖ Tener un campo eléctrico alto de compuerta-drenador.

En resumen, el proceso de inyección de electrones está determinado por:

La corriente por impacto de ionización, es proporcional a la corriente del pFET y es una función exponencial del potencial de drenador a canal. La relación de inyección, es dependiente del voltaje de drenador a la fuente V_{DS} y del ancho del pulso aplicado para activar la inyección.

Usando una aproximación lineal, este proceso se puede modelar por un cambio en el voltaje de compuerta y de drenador a fuente como:

$$I_{iny} = I_{iny0} \left(\frac{I_S}{I_{S0}} \right)^\alpha \exp\left(-\frac{\Delta V_{DS}}{V_{iny}} \right) \quad (1.22)$$

donde V_{iny} es un parámetro del dispositivo dependiente de su polarización.

Los efectos físicos antes mencionados llegan a ser más ó menos pronunciados, de acuerdo a los procesos de la tecnología empleada.

Cabe mencionar, que se usa el tuneleo de electrones para realizar un borrado global en arreglos con dispositivos de compuerta flotante, y la inyección de electrones calientes para llevar a cabo una programación con exactitud en cada elemento del arreglo.

Es conveniente tener en cuenta que las dos técnicas arriba mencionadas constituyen la única alternativa para llevar a cabo, de una manera práctica, la modificación de la carga en la compuerta flotante. Las ecuaciones (1.18) y (1.21) incluidas pueden ser implementadas y/o adaptadas sobre la base de la experimentación de los diseños.

1.13- Modelo en PSPICE para la inyección y tuneleo de electrones

Para diseñar circuitos analógicos usando transistores de compuerta flotante modificando su carga a través de la inyección y tuneleo de electrones, se necesita un modelo de simulación para estos fenómenos ó procesos. Este modelo debe de incluir las corrientes de inyección y tuneleo y capacitancias parásitas.

Con estas consideraciones, el modelo utilizado en este trabajo es para un transistor de compuerta flotante de canal p , basado en [31]. De esta manera, para simular la corriente de tuneleo (que depende de la magnitud del voltaje del óxido), está definido por:

$$I_{tun} = -I_{tun0} WL \exp\left(-\frac{V_f}{V_{ox}} \right) \quad (1.23)$$

donde I_{tun} , es la corriente de tuneleo de compuerta, I_{tun0} es una corriente preexponencial, V_{ox} es el voltaje a través de la unión de tuneleo del óxido, y V_f es una constante que varía con el espesor del oxido [25]. W y L son el ancho y longitud del transistor configurado como capacitor MOS (transistor de tuneleo), respectivamente.

La ecuación (1.20) muestra que el tuneleo depende exponencialmente del voltaje del óxido y linealmente de la geometría del transistor de tuneleo. El signo negativo, significa que el tuneleo disminuye la carga en la compuerta flotante. Por otro lado, la ecuación para la corriente de inyección es definida por:

$$I_{iny} = \alpha I_S \exp\left(\frac{\beta}{(V_{GD} + \delta)^2} + \lambda V_{SD}\right) \quad (1.24)$$

donde I_{iny} es la corriente de compuerta debido a la inyección, I_S es la corriente de fuente, V_{GD} es el voltaje compuerta-drenador del transistor MOS de inyección y V_{SD} es el voltaje fuente-drenador. λ , β , δ y α son parámetros de ajuste.

La ecuación (1.21) muestra que la inyección depende exponencialmente del voltaje fuente-drenador y linealmente de la corriente del transistor de inyección. El signo positivo, significa que la inyección aumenta la carga en la compuerta flotante. Finalmente, el modelo para la corriente de substrato es definida por:

$$I_B = \eta I_S (\gamma V_{SD} - k V_{SG} + V_t) \exp\left(\frac{\lambda}{\gamma V_{SD} - k V_{SG} + V_t}\right) \quad (1.25)$$

donde I_B y I_S son las corrientes de substrato y de fuente, V_{SD} y V_{SG} son los voltajes de fuente-drenador y de fuente-compuerta, respectivamente,

El modelo para la simulación, consiste en definir cada señal eléctrica ó fuentes ya sea de corriente o de voltaje para poder relacionarlas con las corrientes de inyección y tuneleo en el modelo, como se muestra en la Figura 1.11. En general, las fuentes que se consideran en este modelo son controladas por los voltajes de inyección y tuneleo, aplicados para modificar la carga en la compuerta flotante y en consecuencia, para que sus respectivas corrientes puedan ser obtenidas y evaluadas adecuadamente.

En este modelo, el tuneleo se lleva a cabo mediante un capacitor MOS, y su modelo para la corriente de tuneleo a través de una fuente de corriente controlada por voltaje I_{tun} . El modelo para la corriente de inyección es mediante una fuente de corriente controlada por voltaje I_{iny} , y la corriente por impacto de ionización no inyectada, por una fuente de corriente controlada por voltaje I_{niny} .

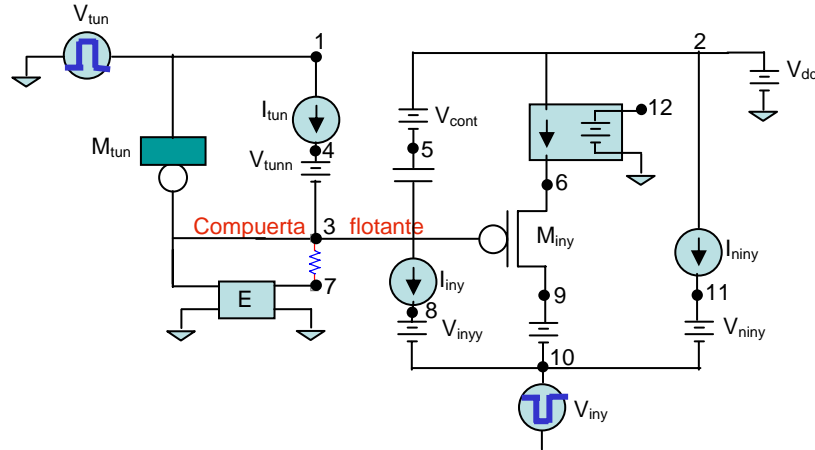


Figura 1.11. Modelo para la simulación de las corrientes de Inyección y Tuneleo.

El modelo se define con base en los parámetros de la tecnología CMOS de 1.2 μm . Es conveniente tener en cuenta que el modelo en cuestión, constituye una aproximación generalizada para llevar a cabo la simulación de una manera cuantitativa de las corrientes de inyección y tuneleo. Es probable que los resultados experimentales obtenidos sean un tanto imprecisos. Sin embargo, este modelo representa la base para obtener evaluaciones aproximadas de operación, además, de que proporciona una idea precisa acerca de la evaluación de las corrientes de inyección y tuneleo. Por lo tanto, el modelo incluido en este trabajo puede ser mejorado y/o adaptado sobre la base de la experimentación de pruebas en laboratorio del transistor. En el apéndice B, se presenta el código de este modelo.

1.14. Simulación para el tuneleo

Con el propósito de establecer las condiciones necesarias para llevar a cabo el tuneleo de electrones de la compuerta flotante hacia el pozo N, el voltaje aplicado en la terminal de tuneleo (capacitor MOS) debe ser alto, con base en los parámetros de la tecnología de 1.2 μm , y en particular, a el espesor del óxido que en este caso es de 31 nm. Así entonces, el voltaje necesario para el tuneleo con base al modelo presentado en [31], y reescribiendo (1.23) se tiene:

$$I_{tun} = I_0 \exp\left(\frac{t_{ox} \xi_0}{V_{tun} - V_{CF}}\right) \quad (1.26)$$

donde I_0 es la corriente pre-exponencial, t_{ox} es el espesor del óxido y ξ_0 es un parámetro con un valor de 25.6V/nm [26].

En (1.26), se tiene que el campo eléctrico en el óxido depende de la diferencia de los voltajes entre el voltaje de tuneleo y el voltaje en la compuerta flotante. Ahora, sustituyendo valores, para obtener el valor de $t_{ox} \xi_0$, correspondiente a la tecnología de 1.2 μm , la cual presenta un espesor de óxido de 31nm, es de 793.6V.

Ahora, para obtener el voltaje para el tuneleo de electrones, se utiliza la siguiente ecuación:

$$E_{ox} = \frac{V_{ox}}{t_{ox}} \quad (1.27)$$

donde E_{ox} es el campo eléctrico necesario para tener una corriente de tuneleo a través del óxido, V_{ox} es el voltaje de óxido y t_{ox} es el espesor del óxido.

Una vez más, de [26], se tiene que el campo eléctrico mínimo para iniciar una corriente de tuneleo es de $0.75E9$ V/m. Así entonces, V_{ox} tiene un valor de 23.25V.

En la Figura 1.12, se presenta el resultado de la simulación para el tuneleo con base en los valores arriba obtenidos. Como se puede observar, el valor promedio para iniciar una corriente de tuneleo de aproximadamente 100pA, es de 22V, y que se va incrementando conforme se aumenta el voltaje de tuneleo. Esto es, incrementando el voltaje a través del capacitor de tuneleo MOS de pozo N, del transistor de compuerta flotante, se incrementa el campo eléctrico efectivo a través del óxido de compuerta, el cual, incrementa la probabilidad de que un electrón escape a través de la barrera.

Sin embargo, se deberá de tener cuidado al aumentar el voltaje de tuneleo, ya que se puede dañar ó tener un posible rompimiento de la unión p-n del transistor pMOS para el tuneleo, polarizado inversamente.

1.15. Simulación para la Inyección

En la Figura 1.13, se presenta el resultado de simulación para la corriente de inyección, para tres valores diferentes de voltaje V_{SD} , utilizando la ecuación (1.24) con los valores de los parámetros de ajuste presentados en [29]. Como se puede observar, la corriente inicial de inyección depende exponencialmente del potencial V_{DS} , aplicado. La corriente de inyección para la tecnología de 1.2 μm está en el rango de 0 a 340pA. Así también, llega un punto en que la corriente de inyección se satura y empieza a disminuir; mientras que la corriente de fuente aumenta. Por lo tanto, se deberá establecer el punto de trabajo del transistor para obtener su correspondiente corriente de inyección en relación al voltaje V_{SD} aplicado.

En la Figura 1.14, se presenta el resultado de simulación para la corriente no inyectada, para tres valores diferentes del voltaje V_{SD} , utilizando la ecuación (1.25) con los valores de los parámetros de ajuste presentados en [29]. Esta corriente, se pierde en el pozo N y es mayor a la corriente de inyección. Como se puede observar, la corriente no inyectada depende también exponencialmente del potencial V_{SD} . Así también, la corriente no inyectada se satura y empieza a disminuir con corrientes de fuente más grandes.

En el diseño de circuitos analógicos, para el caso del transistor de compuerta flotante, para cuando se requiera modificar su carga, como se analizó anteriormente, se puede utilizar la inyección y tuneleo de electrones. Entonces, para el caso del tuneleo, dicha modificación se puede obtener mediante la aplicación de pulsos de voltaje en la terminal de tuneleo.

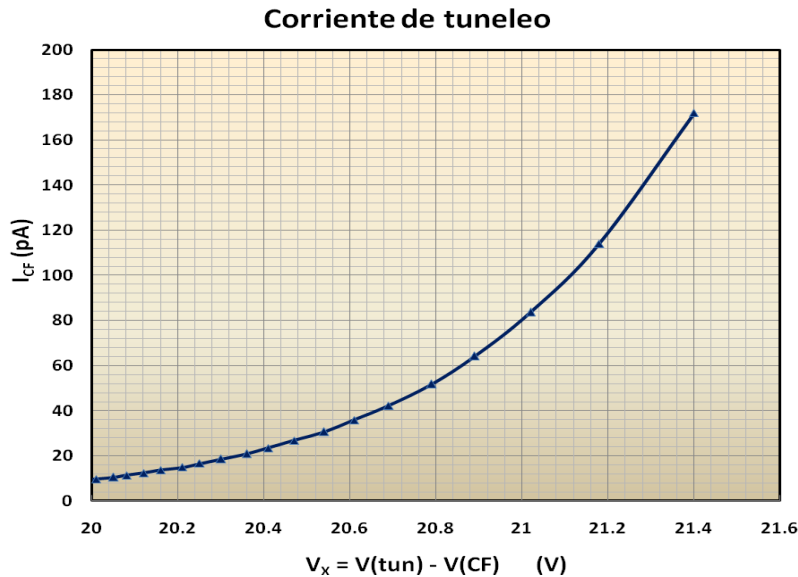


Figura 1.12. Simulación de la corriente de tuneleo.

Es posible tener diferentes pasos ó escalas de modificación de la carga en la compuerta flotante, a partir de la amplitud y ancho de los pulsos aplicados, que se podrán seleccionar de una manera programada para incrementar el voltaje en la compuerta flotante y consecuentemente disminuir la corriente de fuente del transistor [5].

El resultado gráfico de la simulación del tuneleo se muestra en la Figura 1.15, mediante la aplicación de 2 pulsos con una amplitud de 25V y un ancho de pulso de 1us. Como se puede observar, la corriente del transistor disminuye aproximadamente 240nA, esto implica que el voltaje en la compuerta flotante aumenta y por ende el transistor se corta mas con respecto a un valor preestablecido en la compuerta flotante, como se muestra en la Figura 1.16, en donde se puede observar que el voltaje V_{CF} aumenta 20mV.

El voltaje inicial dependerá de la corriente inicial que se desee con base en un diseño específico, esto es, que el diseñador podrá modificar la carga para obtener la corriente que requiera a través del tuneleo mismo.

El comportamiento de simulación del tuneleo que se observó con diferentes pulsos modulados de ancho y amplitud variable fue simétrico, esto es, que a mayor amplitud y/o mayor ancho, la disminución de la corriente fue mayor, lo cual significa que se puede determinar la corriente de salida del transistor de una manera cuantitativa y además, poder controlar la rapidez de cambio de la carga en la compuerta flotante.

Para el caso de la inyección, dicha modificación también se obtiene mediante la aplicación de pulsos de voltaje en el drenador del transistor. Asimismo, también se puede “administrar” una variedad del cambio de la carga en la compuerta flotante, a partir de un circuito generador de pulsos controlados por corriente, de amplitud y ancho fijos aplicados [5], que se podrán seleccionar de una manera programada para disminuir el voltaje en la compuerta flotante y consecuentemente aumentar la corriente de fuente del transistor.

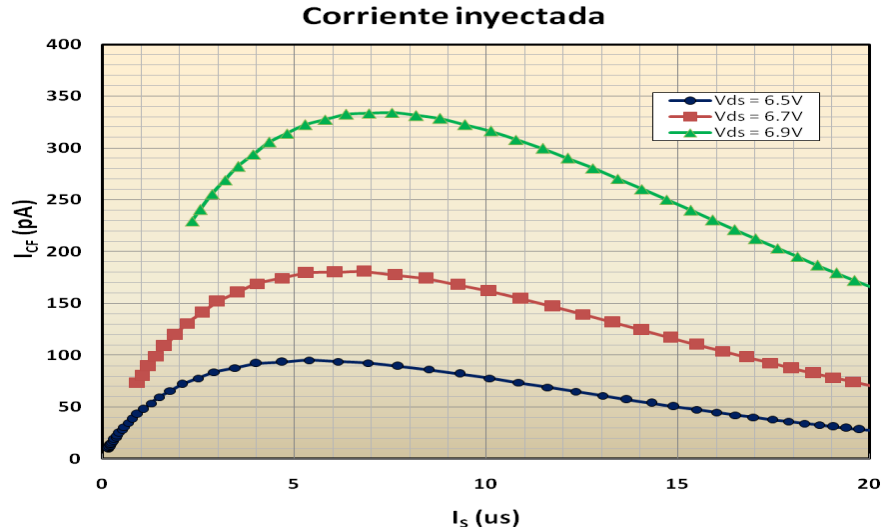


Figura 1.13. Simulación de la corriente de inyección.

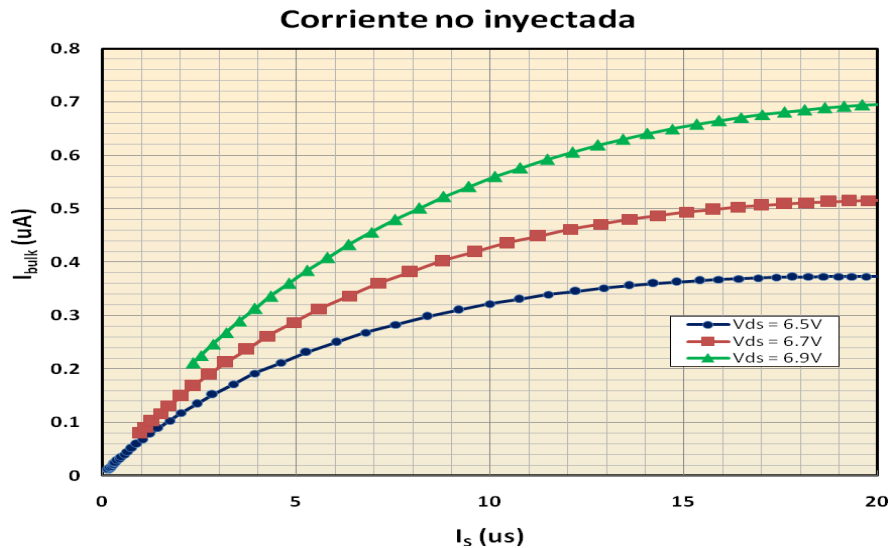


Figura 1.14. Simulación de la corriente no-inyección.

El resultado gráfico de la simulación para la inyección se muestra en la Figura 1.17, mediante la aplicación de 2 pulsos con una amplitud de 0.8V a -1.5V y un ancho de pulso de 1 μs . Como se puede observar, la corriente del transistor aumenta aproximadamente 120nA, esto implica que el voltaje en la compuerta flotante disminuye y por ende el transistor conduce mas con respecto a un valor preestablecido en la compuerta flotante, como se muestra en la Figura 1.18, en donde se puede observar que el voltaje V_{CF} disminuye 25mV.

El resultado gráfico de la simulación para la inyección se muestra en la Figura 1.17, mediante la aplicación de 2 pulsos con una amplitud de 0.8V a -1.5V y un ancho de pulso de 1 μs . Como se puede observar, la corriente del transistor aumenta aproximadamente 120nA, esto implica que el voltaje en la compuerta flotante disminuye y por ende el transistor conduce mas con respecto a un valor preestablecido en la compuerta flotante,

como se muestra en la Figura 1.18, en donde se puede observar que el voltaje V_{CF} disminuye 25mV.

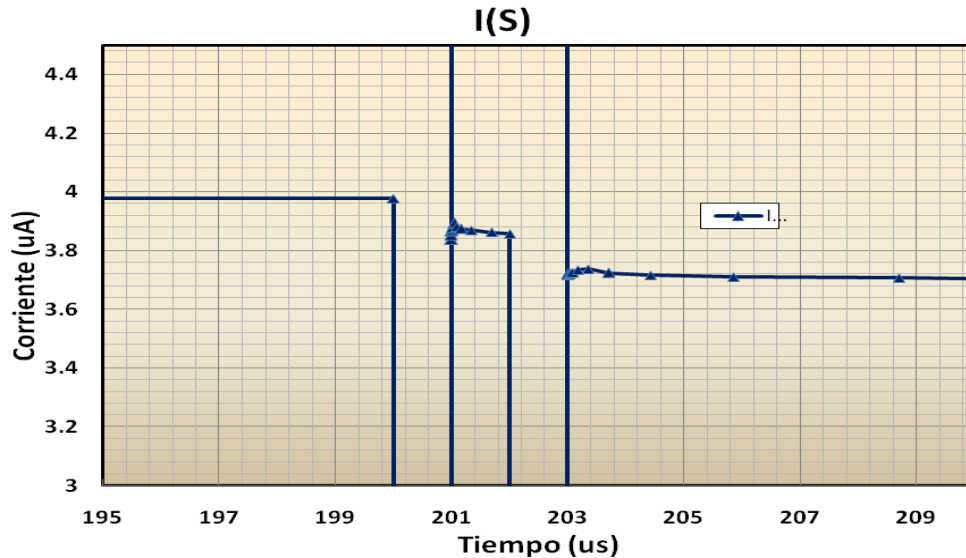


Figura 1.15. Simulación de la corriente del transistor para el tuneleo.

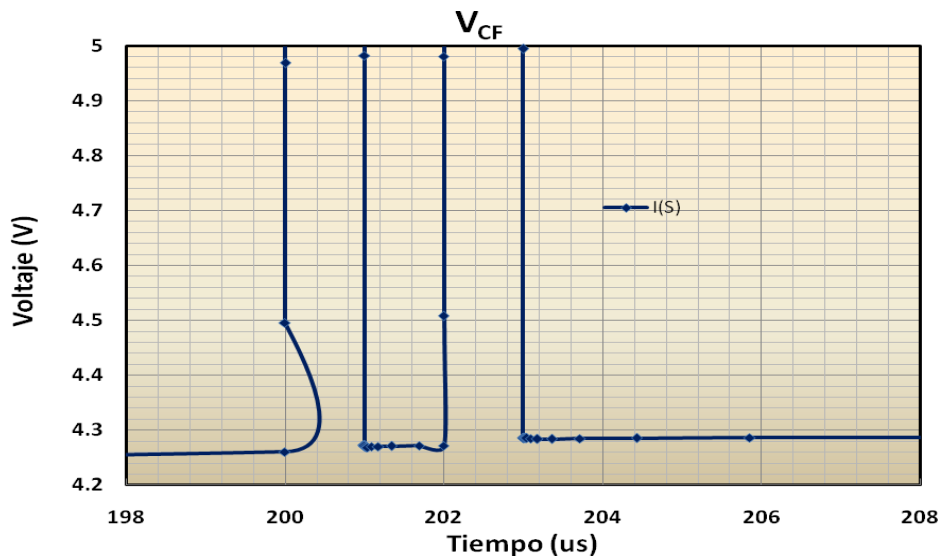


Figura 1.16. Simulación del voltaje V_{CF} para el tuneleo.

El comportamiento de simulación de la inyección que se observó con diferentes pulsos modulados de ancho y amplitud variable fue también simétrico, esto es, que a mayor amplitud y/o mayor ancho, el aumento de la corriente fue mayor, lo cual significa que se puede determinar la corriente de salida del transistor de una manera cuantitativa y además, también poder controlar la rapidez de cambio de la carga en la compuerta flotante.

Finalmente, en la Figura 1.19, se muestra la gráfica para cuando se presenta la inyección y tuneleo en el transistor. Como se puede observar, con la inyección y tuneleo, se puede programar la corriente en el transistor, como se describirá en el capítulo 2.

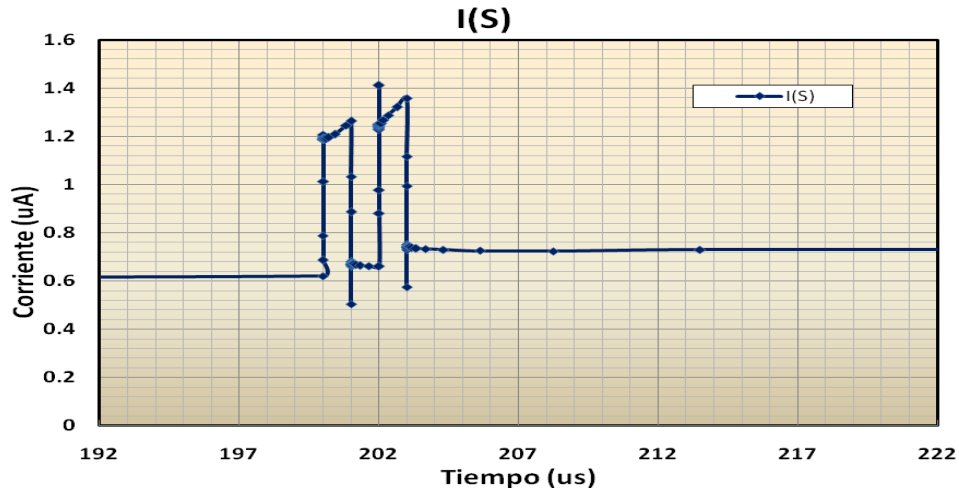


Figura 1.17. Simulación de la corriente del transistor para la inyección.

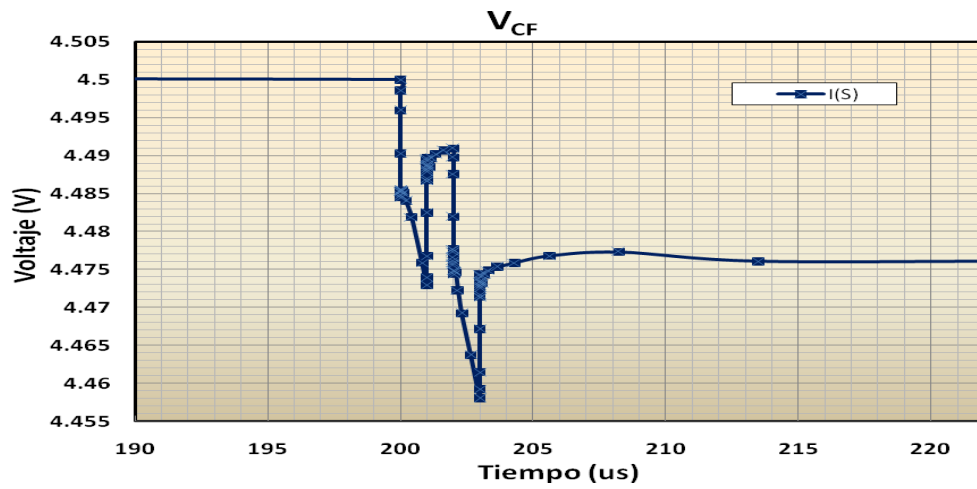


Figura 1.18. Simulación del voltaje V_{CF} para la inyección.

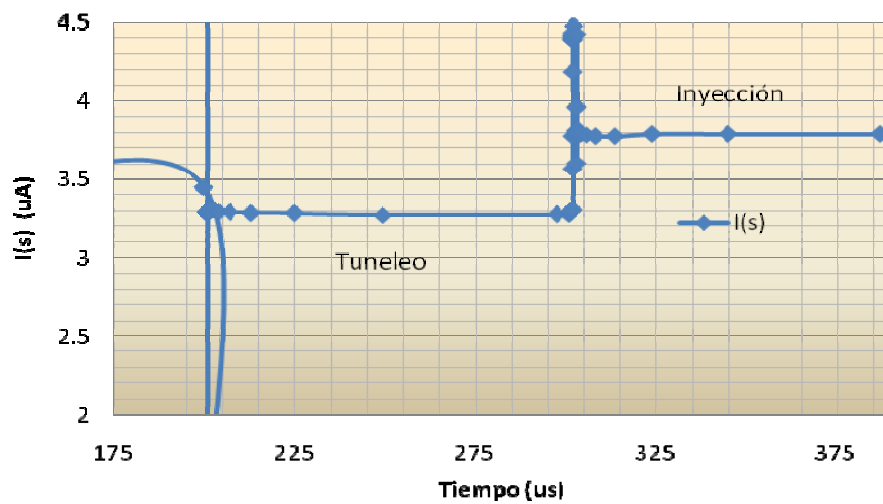


Figura 1.19. Simulación de la corriente del transistor para la inyección y tuneleo.

1.16 Conclusiones del Capítulo 1

En este capítulo, se ha presentado un breve análisis del comportamiento del transistor de compuerta flotante, sus principales características y propiedades en términos de la carga en la compuerta flotante. Así también, las definiciones y ecuaciones para su uso en propósitos específicos los cuales, requieren diferentes formas de manipular la carga en su compuerta.

Se analizaron dos formas de modificar la carga en la compuerta flotante, ya sea mediante acoplamiento capacitivo para controlar su voltaje de umbral así como mediante la inyección y tuneleo de electrones.

Finalmente, se presentaron los modelos de simulación en PSpice® por el tipo de operación del transistor, esto es, ya sea en forma capacitiva y/o mediante la inyección y tuneleo. Así también se realizaron algunos ejemplos para verificar los modelos con base a los parámetros de la tecnología CMOS de 1.2 μm .

Capítulo 2

El transistor MOS de compuerta flotante como elemento de memoria

En este capítulo, se analizará uno de los resultados más prometedores de la aplicación de un transistor MOS de compuerta flotante, que es como elemento de memoria, cuyo control se realiza a través de los procesos de inyección y tuneleo de electrones. Aún, cuando este dispositivo tiene otras aplicaciones, como elemento de memoria representa una opción importante para el logro de los objetivos que implican distintos tipos de adaptación y/o aprendizaje.

Este concepto, refleja un enfoque y el medio para aplicar los procesos de inyección y tuneleo de electrones, por ejemplo en sistemas de aprendizaje y/o adaptativos, así como para resolver problemas de complejidad en gran escala con circuitos mínimos, usando el transistor de compuerta flotante.

2.1- Introducción

Los transistores de compuerta flotante, han sido utilizados por mucho tiempo para almacenamiento de carga. Actualmente, se consideran a los transistores MOS de compuerta flotante no solo como elementos de memoria, sino como elementos en circuitos de tiempo continuo, realizando operaciones en varias escalas de tiempo.

Así mismo, el desarrollo tecnológico en el área de transistores MOS de compuerta flotante, ha originado la investigación de esta tecnología en diferentes aplicaciones, una de ellas se presenta en las memorias analógicas, las cuales brindan la capacidad de almacenar y/o adaptar una carga en la compuerta flotante a través de la inyección y tuneo de electrones, ya sea para incrementar o disminuir dicha carga y/o procesar el producto de esta carga (peso) con diferentes señales de entrada [32-35].

Por tal motivo, el propósito de este capítulo, es el de presentar un análisis de desarrollo, que oriente en el diseño y operación de una celda de memoria para su posterior aplicación en sistemas de aprendizaje y/o adaptativos.

Así entonces, para el diseño e implementación de la celda de memoria analógica, se tomarán en cuenta los siguientes puntos:

Identificar los factores que intervienen en el diseño de la celda. Esto, con el propósito de clasificar diferentes alternativas de análisis y/o elementos de la celda para determinar su evaluación y eficacia.

Los factores que se tomarán en cuenta en el diseño de la celda de memoria serán los que permitan soportar con mayor exactitud, una programación ya sea individual de la inyección y tuneo de electrones ó ambas simultáneamente, con el propósito de que la actualización del peso sea en forma quasi-lineal e independiente de la polarización de la celda.

Definir una estructura para el desarrollo del diseño. Esto permite, delimitar la estructura para proceder a su desarrollo y en consecuencia aplicar las pruebas correspondientes para verificar su operación y su evaluación respectivamente.

Como se mostrará posteriormente, la estructura de la celda de memoria será sencilla con un mínimo de dispositivos.

Evaluar el comportamiento de la inyección y tuneo. Con el propósito de modificar y/o actualizar y almacenar la carga en la compuerta flotante, es necesario evaluar el proceso de la inyección y tuneo, para poder realizar el aprendizaje y/o adaptación de la celda de memoria analógica.

De esta manera, tomando en consideración los puntos arriba mencionados, se iniciará con el diseño de la celda de memoria analógica, obteniendo resultados teóricos y experimentales. Para ello, antes de iniciar será necesario conocer el significado del término aprendizaje y/o adaptación, con el propósito de aplicarlo correctamente en la celda de memoria.

2.2 Aprendizaje y/o adaptación

Al referirnos al término de aprendizaje y/o adaptación, la idea principal es la de encontrar casos en donde las señales de entrada puedan modificar el valor de equilibrio de la carga en la compuerta flotante a través de la inyección y tuneo de electrones.

Son estos procesos, los que deben ser cuantificados y aplicados de tal manera que activen y mantengan el proceso interno de memoria en la compuerta flotante. Cuando estos procesos aplicados externamente se planifican y programan, conducen a la modificación de la carga, llevándose a cabo el aprendizaje y/o adaptación.

Así entonces, considerando (y de hecho lo son) que las corrientes de inyección y tuneo en el dispositivo son pequeñas comparadas con la corriente de polarización del transistor, los cambios en la carga de la compuerta flotante ocurrirán en una escala de tiempo mucho más lenta que la operación matemática (computación) que realiza el dispositivo [36].

Por lo tanto, el comportamiento del dispositivo de compuerta flotante se puede modelar mediante dos escalas de tiempo, definidas como:

- ❖ Escala de tiempo rápido.
- ❖ Escala de tiempo lento.

Así también, para entender mejor estos términos, se deben de tener en cuenta las siguientes condiciones:

- ❖ Limitar las constantes de tiempo en un intervalo dado.
- ❖ La razón de adaptación debe ser mucho más pequeña que el cambio de la señal de entrada.
- ❖ Un circuito que maneje varios niveles de adaptación, necesitará que la constante de tiempo más lenta sea de varios órdenes de magnitud más lenta que la relación señal-entrada más lenta.

Bajo estas consideraciones, el análisis se iniciará tomando como base la ecuación (1.3) del capítulo 1, para el nodo de la compuerta flotante del transistor MOS tipo P y de un modelo

de comportamiento del dispositivo en los tiempos de escala arriba mencionados, cuya definición es la siguiente:

Variables de escala de tiempo rápido.- Representan los cambios rápidos debido a las señales de entrada del transistor.

Variables de escala de tiempo lento.- Representan los cambios lentos debidos a la adaptación de la carga en la compuerta flotante del transistor.

De esta manera, realizando un análisis para cada voltaje terminal, se obtienen tres componentes de voltaje terminal:

- Uno debida a las condiciones de polarización en equilibrio (V_0).
- Uno debida a las señales de escala de tiempo rápido (ΔV).
- Uno debida a las señales de escala de tiempo lento (adaptación de la carga en la compuerta flotante definido como \bar{V}).

El voltaje de las dos escalas de tiempo, es:

$$\vec{V} = \bar{V} + \Delta V, \text{ que representa a ambas señales} \quad (2.1)$$

Ahora, asumiendo que los voltajes de señal aplicados a la terminal de drenador y compuerta tienen un valor medio cero, se tiene:

$\bar{V}_g = \bar{V}_d = 0$, esto significa que solo se tendrán componentes de escala de tiempo rápido y por lo tanto, $\vec{V}_g = \Delta V_g$ y $\vec{V}_d = \Delta V_d$. Sustituyendo, se tiene:

$$V_{CF} = V_{CF0} + \vec{V}_{CF} = V_{CF0} + \bar{V}_{CF} + \Delta V_{CF} \quad (2.2)$$

donde V_{CF0} es el voltaje de polarización en equilibrio del transistor.

Esta separación permite dividir la ecuación del nodo de la compuerta flotante en dos partes: una que será un modelo de las características dinámicas rápidas y otro para las lentas.

2.3 Comportamiento en escala de tiempo rápido

Las variables de escala de tiempo rápido, representan los cambios rápidos debido a las señales de entrada. Por lo tanto, aplicando la descomposición de V_{CF} a la corriente de canal

para el caso de operar al transistor en la región de subumbral, se obtiene la ecuación que modela a la variable de escala de tiempo rápido del dispositivo como:

$$I_S = I_{S0}(1 + w)e^{-\left(\frac{k\Delta V_{CF}}{U_T}\right)} \quad (2.3)$$

donde k es el factor de acoplamiento entre el voltaje de compuerta y el potencial del canal, U_T es el voltaje térmico, la corriente de polarización I_{S0} esta determinada por V_{CF0} , w es el peso del dispositivo definido como:

$$w = e^{-\left(\frac{k_p \bar{V}_{CF}}{U_T}\right)} - 1 \quad (2.4)$$

Así también, para propósitos de procesamiento de señales aplicadas al dispositivo, este factor se considera constante debido a que el cambio en el voltaje de compuerta flotante causado por las corrientes de inyección y tuneo será constante (debido a que en este caso, no se están aplicando).

En esta etapa, con el propósito de verificar la ecuación (2.4), se analizará el divisor de voltaje capacitivo del dispositivo de compuerta flotante para determinar cómo se obtiene el valor del peso w .

Así entonces, de acuerdo a la Figura 2.1, el voltaje en la compuerta flotante está determinado mediante la suma de los términos dados por la carga entre la capacitancia total mas el divisor de voltaje capacitivo multiplicado por el voltaje de entrada.

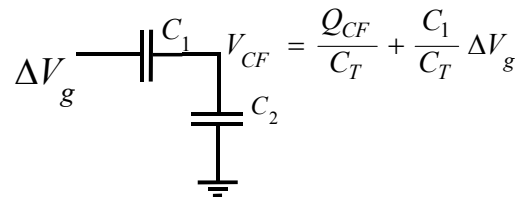


Figura 2.1. Divisor de voltaje capacitivo.

Tomando en cuenta la variable de escala de tiempo lento, y sustituyendo en la expresión de la Figura 2.1, tenemos:

$$V_{CF} = V_{CF0} + \bar{V}_{CF} + \left(\frac{C_1}{C_T}\right)\Delta V_g \quad (2.5)$$

La cual puede escribirse como:

$$V_{CF} = V_{CF0} + \bar{V}_{CF} + \Delta V_{CF} \quad (2.6)$$

Ahora bien, de acuerdo a la corriente de un amplificador de transconductancia (MOS), en el cual, el voltaje de la compuerta modula una corriente de canal, en este caso el voltaje en el nodo de la compuerta flotante arriba obtenido, se tiene la ecuación para la corriente dada por:

$$I = I_0 e^{-k/U_T (V_{CF0} + \bar{V}_{CF} + \Delta V_{CF})} \quad (2.7)$$

ó

$$I = I_0 e^{-k/U_T (V_{CF0})} * e^{-k/U_T (\bar{V}_{CF})} * e^{-k/U_T (\Delta V_{CF})} \quad (2.8)$$

Simplificando se tiene:

$$I = I_b e^{-k/U_T (\bar{V}_{CF})} * e^{-k/U_T (\Delta V_{CF})} \quad (2.9)$$

$$I = (I_b)(w) e^{-k/U_T (\Delta V_{CF})} \quad (2.10)$$

Por lo tanto, $w = e^{-k/U_T (\bar{V}_{CF})}$

Donde k es el cambio fraccional del potencial de superficie debido a un cambio en la compuerta flotante, definido por:

$$k = \Psi / V_{CF} = C_{ox} / (C_{ox} + C_{dep}) \quad (2.11)$$

Simplificando las características dinámicas de la ecuación (2.2), y asumiendo que las corrientes de inyección y tuneo no intervienen en la velocidad de procesamiento del dispositivo, se tiene:

$$C_T d\Delta V_{CF} / dt = C_1 d\Delta V_g / dt + C_2 d\Delta V_d / dt \quad (2.12)$$

$$\Delta V_{CF} = (C_1 / C_T) \Delta V_g + (C_2 / C_T) \Delta V_d \quad (2.13)$$

Si $C_2/C_T \approx 0$ y resolviendo para el valor de convergencia de ΔV_g se tiene:

$$I_S = I_{S0} (1 + w) e^{-\left(\Delta V_g / V_{gA}\right)} \quad (2.14)$$

Por lo tanto, el comportamiento de un transistor de compuerta flotante operando con escala de tiempo rápido, con base en (2.14), establece que la corriente que fluye a través del transistor depende de la operación matemática que realiza el dispositivo, esto es, una multiplicación del voltaje aplicado a la terminal de compuerta externa, elevado exponencialmente con un peso escalado por una corriente de polarización (w).

2.4 Comportamiento de escala de tiempo lento

La ecuación del voltaje en el nodo de la compuerta flotante en escala de tiempo lento, proporciona el punto de inicio para explorar el comportamiento adaptativo de los dispositivos de compuerta flotante. De este modo, para el análisis de las propiedades adaptativas del dispositivo, no se tomará en cuenta el comportamiento de señal a escala de tiempo rápido.

Se asume que los voltajes de drenador y compuerta tienen un valor medio cero, de este modo, las características dinámicas de la ec. (2.12) son:

$$C_T d\Delta V_{CF} / dt = I_{tun} - I_{iny} \quad (2.15)$$

Diferenciando el peso en (2.14) con respecto al tiempo, se tiene:

$$dw / dt = -(1 + w)(k / U_T) d\bar{V}_{CF} / dt \quad (2.16)$$

Sustituyendo (2.16) en (2.15), se obtiene la ecuación para las características dinámicas de escala de tiempo lento, dada por:

$$(U_T C_T / k) dw / dt = (1 + w)(I_{iny} - I_{tun}) \quad (2.17)$$

Donde se puede observar que el comportamiento de un transistor de compuerta flotante operando con una escala de tiempo lento con base en (2.17), está dado por el cambio del valor del peso que es igual al peso almacenado. El valor del peso es escalado por la diferencia de las corrientes de inyección y tuneleo. De esta manera, se lleva a cabo la adaptación en el dispositivo de compuerta flotante.

Cabe mencionar que en un proceso adaptativo, la inyección y tuneleo de electrones deberán presentarse simultáneamente en el dispositivo, para que la carga en la compuerta flotante tenga un incremento ó disminución con base en la diferencia de estas dos corrientes, dando como resultado una lectura en la corriente de fuente, proporcional a dicho incremento y/o disminución.

Finalmente, la corriente en la fuente del dispositivo de compuerta flotante, estará determinada por el valor del peso almacenado y/o adaptado del dispositivo.

2.5 Celda de memoria analógica

La celda se muestra en la Figura 2.2, donde se puede observar la configuración utilizada para su implementación con base en [37]. Para el análisis y diseño, la configuración de la celda de memoria analógica consiste de tres elementos básicos que son: un transistor MOS

tipo P de compuerta flotante (M3), para realizar la inyección de electrones calientes, un transistor MOS tipo P en configuración de capacitor (el capacitor de tuneleo), para realizar el tuneleo de electrones y un amplificador, operando como inversor (transistores M1, M2 y el capacitor C), que proporciona una retroalimentación negativa.

Debido a que la inyección y tuneleo de electrones dependen de la diferencia de potencial que exista entre la compuerta flotante y las terminales del voltaje de inyección y de tuneleo, es importante controlar la retroalimentación negativa para mantener constante este valor.

El voltaje V_{bias} en la compuerta de M1, determinará la corriente que circule a través del amplificador, colocando de esta manera un voltaje en la compuerta flotante.

Así, entonces, el peso se almacenará como carga en la compuerta flotante común de los transistores MOS tipo P. La actualización y/o adaptación del peso se llevará a cabo mediante la activación de los procesos de inyección y de tuneleo de electrones, a través de pulsos de voltaje de amplitud y ancho fijos, aplicados en el drenador de M3 y en la terminal del voltaje de tuneleo. Cabe mencionar que se utiliza el método de modulación de pulsos para la activación de la inyección y tuneleo, debido a que modifican al peso de una manera cuasi-lineal [5].

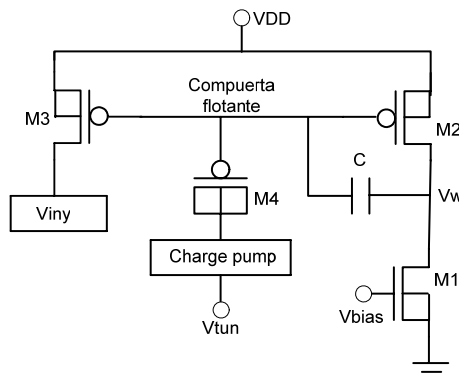


Figura 2.2. Celda de memoria analógica.

El dispositivo M3, como se mencionó anteriormente, se utilizará para realizar la inyección de electrones, la cual se lleva a cabo mediante la aplicación de pulsos de voltaje de 0 a -2V en su drenador. Estos pulsos de voltaje hacen que la diferencia de potencial V_{DS} del transistor sea alto, de aproximadamente 8V, permitiendo con base en la tecnología de fabricación, (que en este caso es de 1.2 μm), activar la inyección y en consecuencia agregar electrones a la compuerta flotante.

Para remover electrones de la compuerta flotante, se aplican pulsos de voltaje en la unión de tuneleo (capacitor de tuneleo), con una amplitud de 8 Volts en nivel bajo y 25 V en su

nivel alto, con un ancho fijo. Una vez más, el valor de este voltaje, está en relación a la tecnología de fabricación de $1.2\ \mu\text{m}$.

El bloque “*charge pump*” de la Figura 2.2, se utiliza para elevar un voltaje de entrada hasta un valor requerido para el voltaje de tuneleo, para cuando se desee implementarlo dentro del C.I. El diseño e implementación de este circuito se realiza con diodos Schottky, mostrado en el apéndice C.

Las corrientes de inyección y tuneleo se representarán en función de la desviación del voltaje de la compuerta flotante (el cual, está en función de la carga), a partir de un nivel de voltaje fijo, establecido en un inicio por el voltaje V_{bias} , aplicado en M1. Como consecuencia, estas corrientes causarán una adaptación, ya sea, mediante el incremento ó reducción de la carga en la compuerta flotante de la celda de memoria. Además, para tener una adaptación efectiva será necesario activar ambos al mismo tiempo, que a su vez, se complementan uno con respecto al otro.

El voltaje V_{bias} , ajusta la fuerza relativa de la inyección y tuneleo de electrones, debido a que establece un voltaje en la CF. Adicionalmente, también se utiliza para realizar una “*sintonización*” y obtener la misma corriente de inyección y tuneleo, con el propósito de tener la actualización de los pesos en forma simétrica. Variando este voltaje, se tiene el control del rango de corriente de salida de la celda de memoria. Esta característica permite controlar la potencia de operación y la resolución de la celda de memoria a través del dato almacenado como carga en la compuerta flotante.

2.6 Operación de la celda de memoria

Para tener una intuición sobre el comportamiento de la celda de memoria, se realizará un análisis teórico sobre la operación de los dispositivos en su conjunto, que consistirá de dos etapas. La primera etapa será una aproximación de los parámetros de operación de los dispositivos. Para ello, se considerará que los transistores operaran en la región de saturación. El objetivo, es encontrar el punto de operación de los transistores M1 y M2 y sus respectivos valores de voltaje y corriente en sus terminales, ya que estos valores serán los parámetros de funcionamiento de la celda de memoria.

La segunda etapa consistirá en obtener una aproximación, a través de la simulación en PSpice®, del voltaje de salida de la celda a través de la aplicación de la inyección y tuneleo de electrones.

Así, considerando la ecuación del transistor MOSFET en saturación, se puede determinar la corriente que fluye a través de los transistores de la siguiente forma:

Dados los siguientes valores de $V_{dd} = 6V$, $V_{bias} = 1V$, entonces la corriente de drenador para el transistor M1 será [38]:

$$I_D = K_N \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.18)$$

Tomando los valores proporcionados por la tecnología de 1.2 μm y sustituyendo en (2.18), se tiene que la corriente de drenador del transistor M1 es igual a 18.15 μA .

Esta corriente será la misma que fluya por el transistor M2, debido a que el voltaje V_{bias} fuerza a que esta corriente fluya por la rama compuesta por los dos transistores

Ahora, considerando que esta corriente fluye por M2, el voltaje establecido en la compuerta flotante se obtiene aplicando una vez más la ecuación (2.18), pero para un MOSFET de canal P y despejando el valor de V_G . De esta forma, el voltaje en la compuerta flotante será de 4.5V.

Una vez que se ha obtenido el voltaje de salida bajo las condiciones arriba mencionadas, este voltaje se puede modificar a través de la aplicación de la inyección y tuneo de electrones, que a su vez, modifican la carga en la compuerta flotante, modulando la corriente que fluye a través del transistor M2 de la siguiente manera:

Con la activación de la inyección y tuneo en la celda de memoria, el capacitor de retroalimentación C , integra la actualización de la carga en la compuerta flotante, modificando el voltaje de salida V_w por una cantidad de $\Delta V_w = \Delta Q / C$. De esta manera, debido a que el voltaje en la compuerta flotante es constante, los pulsos de voltaje de amplitud y ancho fijo de inyección y tuneo aplicados para modificar la carga en la compuerta flotante, cambian la salida por una cantidad fija. Por lo tanto, la carga almacenada en el capacitor de retroalimentación $C = 1.4\text{pF}$, representará la memoria analógica.

Cabe mencionar que la magnitud de la modificación de la carga, dependerá linealmente de la frecuencia de los pulsos V_{inj} y V_{tun} , esto es, la razón de aprendizaje de la celda de memoria depende del número y de la amplitud de los pulsos en cada ciclo ó iteración.

2.7 Patrón geométrico de la celda de memoria.

El patrón geométrico de la celda de memoria se realizó con base en las reglas de fabricación de la tecnología de 1.2 μm disponible por MOSIS. El capacitor de retroalimentación así como el capacitor de acoplamiento entre la compuerta de control y la compuerta flotante se fabricaron con poly1-poly2 con un valor de 1.4pF y 44fF, respectivamente.

El patrón geométrico de la celda de memoria se muestra en la Figura 2.3, donde se puede observar que se utiliza un anillo de guarda para extender el voltaje de rompimiento de la unión p-n, formada por el pozo N y el substrato P, para cuando se tenga una polarización inversa suficientemente alta de drenador-pozo y de fuente-pozo en el capacitor de tuneo. La fuente y el drenador del transistor de tuneo, están cortocircuitados. Adicionalmente se

utilizó la técnica de descarga de la compuerta flotante [22], la cual, se realiza durante el proceso de fabricación.

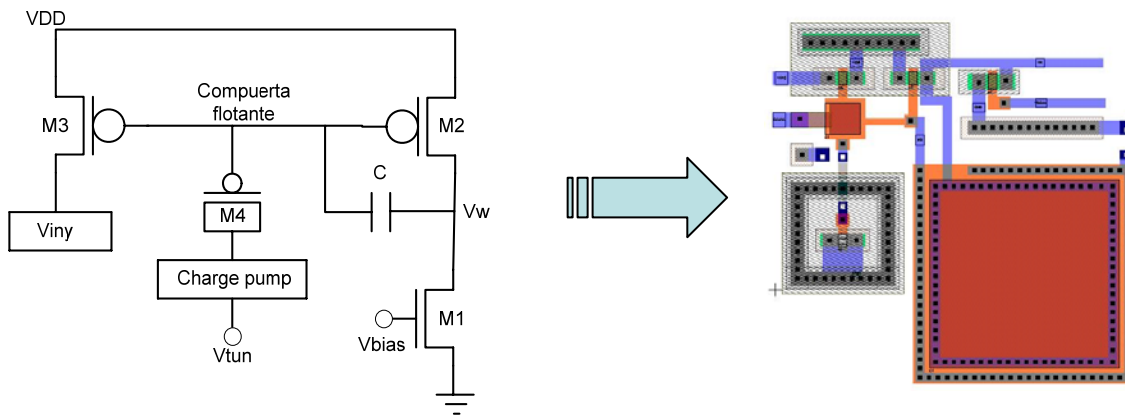


Figura 2.3. Patrón geométrico de la celda de memoria.

2.8 Resultados de simulación en PSpice

El propósito de obtener resultados de simulación, es mostrar la programación de la inyección y tuneleo de electrones aplicados a la celda de memoria. Por lo tanto, el criterio para evaluar la modificación de la carga en la CF compartida por los transistores M2 y M3, será a través de la aplicación individual de pulsos de inyección y tuneleo V_{inj} y V_{tun} , generando un voltaje de salida en la celda.

Para determinar la amplitud de los pulsos aplicados, se tomarán como referencia los valores obtenidos en el capítulo 1. La frecuencia de los pulsos será de 1MHz.

En cada una de las simulaciones, se especificarán las condiciones de la simulación, lo cual, permitirá que los resultados obtenidos queden sujetos a la programación que se establezca. Así mismo, se realizarán los ajustes a los valores de la amplitud de los pulsos, dependiendo de la cantidad de la corriente de inyección y tuneleo obtenida.

De esta manera, el resultado de la simulación para la inyección de electrones en la celda de memoria se muestra en las Figuras 2.4, 2.5 y 2.6, en donde se grafican los valores obtenidos de la corriente y voltaje de salida de la celda (V_w), así como el voltaje en la CF, respectivamente. Estos valores se muestran por separado solamente como ilustración y explicación sencilla. Sin embargo, en pruebas reales estos valores se procesan simultáneamente y no es posible medir el voltaje en la CF. Por tanto, la variable de salida que puede ser medida será únicamente el voltaje de salida.

Los valores utilizados para esta simulación son los siguientes:

$$\begin{aligned}V_{dd} &= 6V \\V_{inj} &= 0 \text{ a } -2V \\Frec_{pulsos} &= 1MHz \\No. pulsos &= 2\end{aligned}$$

Las terminales de tuneleo y de la compuerta de control fueron conectados a tierra.

Como se puede observar en estas figuras, la celda de memoria modifica su voltaje de salida (V_w) en función a la actualización de la carga en la CF, en este caso, incrementándose. Esto es debido a que después de aplicar los dos pulsos de inyección, la carga negativa en la CF se incrementa y por lo tanto su potencial con respecto a tierra disminuye, teniéndose como resultado que en el transistor M2 fluya una corriente de canal mayor.

Para este ejemplo, con dos pulsos aplicados, la corriente de salida se incrementa 5.7nA, valor que se obtiene del punto inicial de 32.178.3uA al punto final en 32.184uA, como muestra la gráfica de la Figura 2.4. Mientras que el voltaje de salida (V_w), tiene un incremento de 9mV, valor que se obtiene del punto inicial en 5.153V al punto final en 5.162V, como muestra la Figura 2.5. El voltaje en la CF, disminuye 7mV, valor que se obtiene del punto inicial en 3.1V al punto final en 3.093V, como muestra la Figura 2.6.

En el otro caso, el resultado de la simulación para el tuneleo de electrones en la celda de memoria, se muestra en las Figuras 2.7, 2.8 y 2.9, en donde se grafican los valores obtenidos de la corriente y voltaje de salida de la celda (V_w), así como el voltaje en la CF, respectivamente. Estos valores se muestran por separado solamente como ilustración y explicación sencilla. Sin embargo, en pruebas reales estos valores se procesan simultáneamente y no es posible medir el voltaje en la CF. Por tanto, la variable de salida que podrá ser medida es únicamente el voltaje de salida. Los valores utilizados para esta simulación son los siguientes:

$$\begin{aligned}V_{dd} &= 6V \\V_{tun} &= 0 \text{ a } 24V \\Frec_{puls} &= 1MHz \\No pulsos &= 2\end{aligned}$$

Las terminales de inyección y de la compuerta de control fueron conectados a tierra.

Como se puede observar en estas figuras, la celda de memoria modifica su voltaje de salida (V_w) en función de la actualización de la carga en la CF, en este caso, disminuyendo. Esto es debido a que después de aplicar los dos pulsos de tuneleo, la carga negativa en la CF disminuye y por lo tanto, su potencial con respecto a tierra se

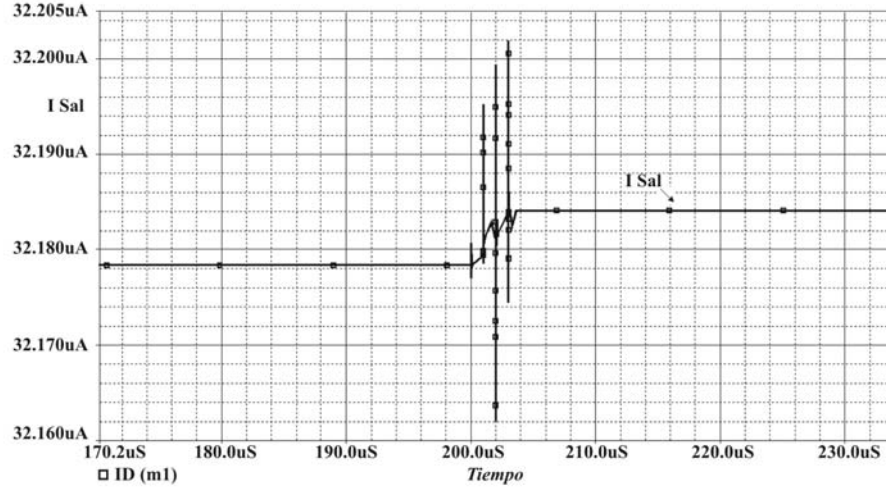


Figura 2.4. Simulación de la corriente de salida de la celda con 2 pulsos de inyección.

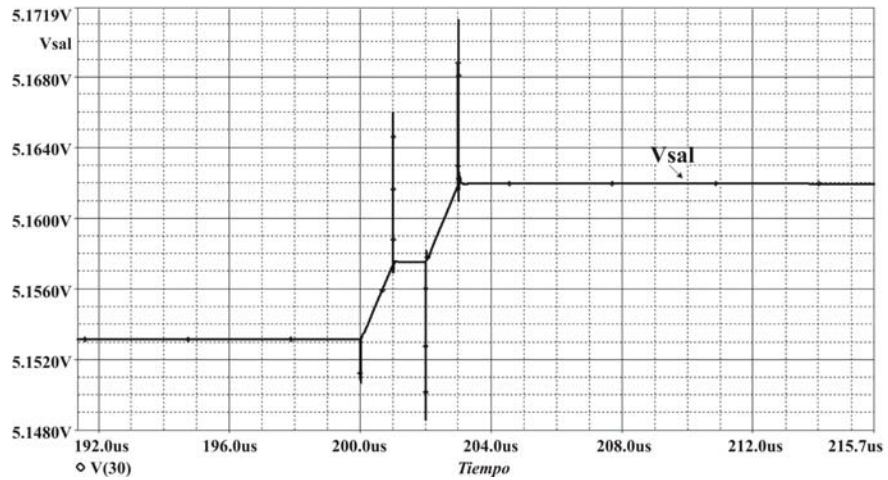


Figura 2.5. Simulación del voltaje de salida de la celda con 2 pulsos de inyección.

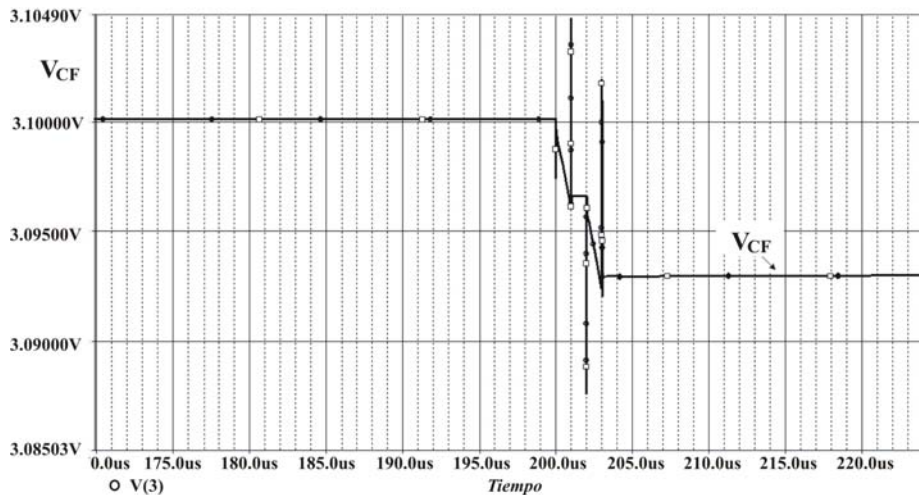


Figura 2.6. Simulación del voltaje en la CF de la celda de memoria con 2 pulsos de inyección.

incrementa, teniéndose como resultado que en el transistor M2 fluya una corriente de canal menor.

Para este ejemplo, con dos pulsos aplicados, la corriente de salida disminuye 4nA, valor que se obtiene del punto inicial en 4.347uA al punto final en 4.343uA, como muestra la gráfica de la Figura 2.7, mientras que el voltaje de salida (V_w) tiene un incremento de 1mV, valor que se obtiene del punto inicial en 57.05mV al punto final en 56.97mV, como muestra la Figura 2.8. El voltaje en la CF disminuye 1mV, valor que se obtiene del punto inicial en 4.260V al punto final en 4.261V, como muestra la Figura 2.9.

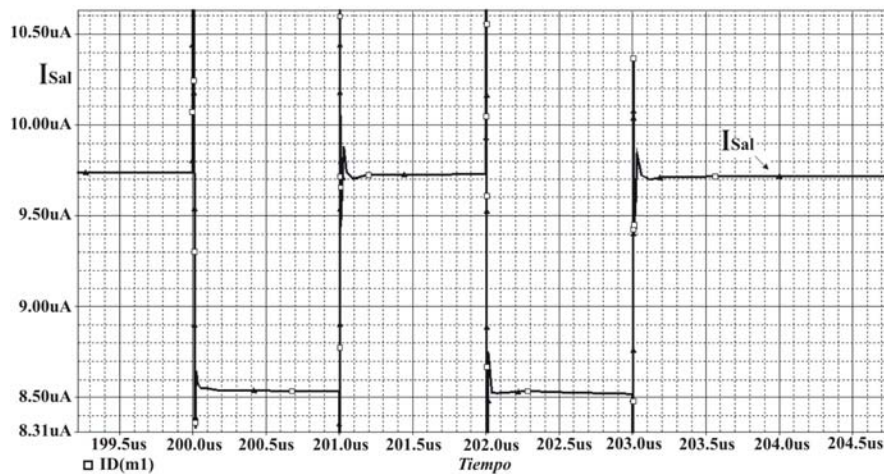


Figura 2.7. Simulación de la corriente de salida de la celda con 2 pulsos de tunelamiento.

A continuación, se presenta una serie de 3 simulaciones con el propósito de verificar cómo afecta el voltaje V_{bias} a la inyección de electrones. En este caso, se aplicarán los valores de 1.2, 1.5 y 1.6V respectivamente

El resultado de estas simulaciones para la inyección de electrones en la celda de memoria se muestra en las Figuras 2.10, 2.11 y 2.12, en donde se grafican los valores obtenidos de la corriente de salida de la celda (V_w).

El resultado de estas simulaciones para la inyección de electrones en la celda de memoria se muestra en las Figuras 2.10, 2.11 y 2.12, en donde se grafican los valores obtenidos de la corriente de salida de la celda (V_w).

Los valores utilizados para esta simulación son los siguientes:

V_{dd}	= 6V
V_{iny}	= 0 a -2V
$Frec_{pulsos}$	= 1MHz
No pulsos	= 2

Las terminales de tunelamiento y de la compuerta de control fueron conectados a tierra.

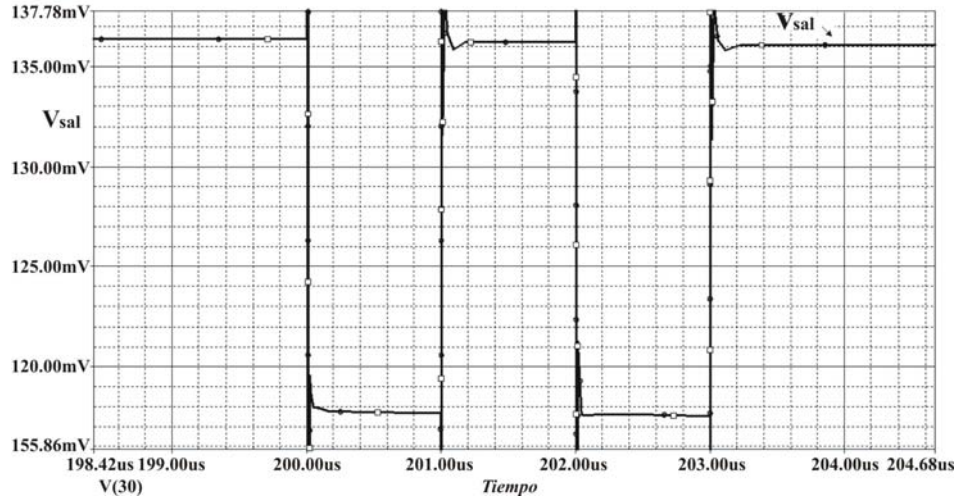


Figura 2.8. Simulación del voltaje de salida de la celda con 2 pulsos de tuneo.

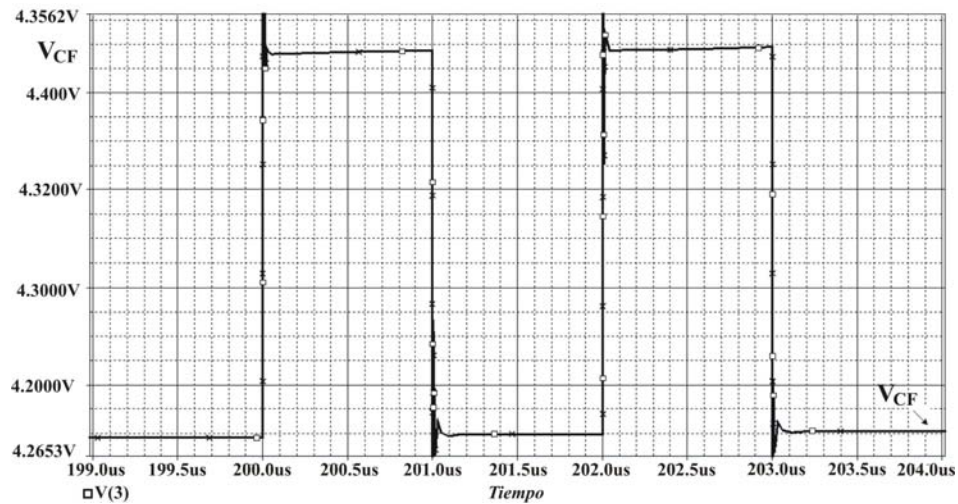


Figura 2.9. Simulación del voltaje en la CF de la celda de memoria con 2 pulsos de inyección.

Como se puede observar en estas figuras, la corriente de salida es diferente para cada valor del voltaje V_{bias} . Esto se debe a que el voltaje en la CF disminuye con valores de V_{bias} más altos, por lo que la diferencia de potencial entre la CF y el drenador será mayor, obteniéndose corrientes de inyección mas grandes. Así también, la ganancia del amplificador inversor compuesto por los transistores M1 y M2 es mayor con voltajes de V_{bias} más altos.

Para este ejemplo, con dos pulsos aplicados y un $V_{bias} = 1.2V$, la corriente de salida se incrementa 1nA, valor que se obtiene del punto inicial en 17.216uA al punto final en 17.217uA, como muestra la gráfica de la Figura 2.10. Mientras que para un $V_{bias} = 1.5V$, la corriente de salida, tiene un incremento de 6nA, valor que se obtiene del punto inicial en 32.178uA al punto final en 32.184uA, como muestra la Figura 2.11. Para un $V_{bias} = 1.6V$, la corriente de salida, tiene un incremento de 12nA, valor que se obtiene del punto inicial en 37.892uA al punto final en 37.904uA, como muestra la Figura 2.12.

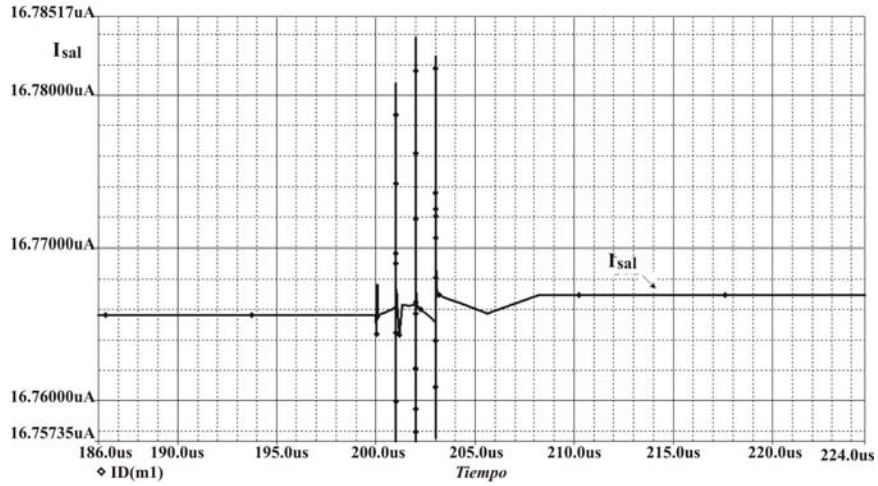


Figura 2.10. Simulación de la actualización del peso mediante la inyección y $V_{bias}=1.2V$.

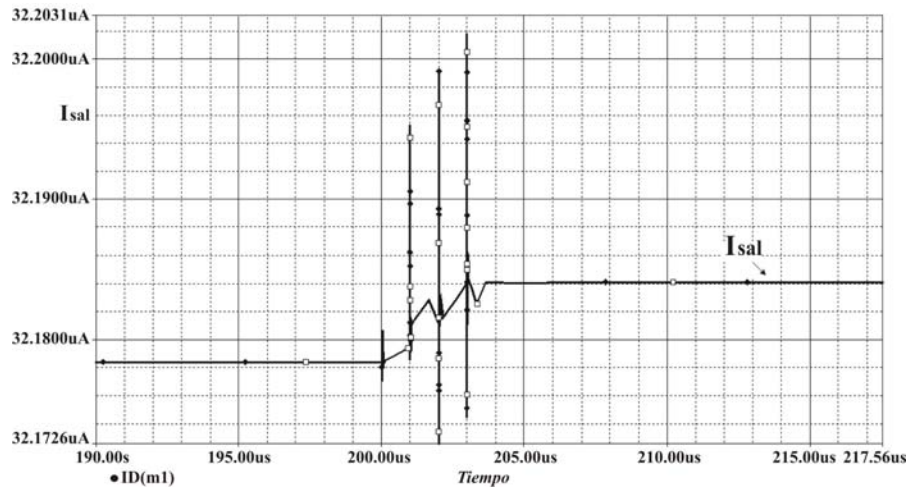


Figura 2.11. Simulación de la actualización del peso mediante la inyección y $V_{bias}=1.5V$.

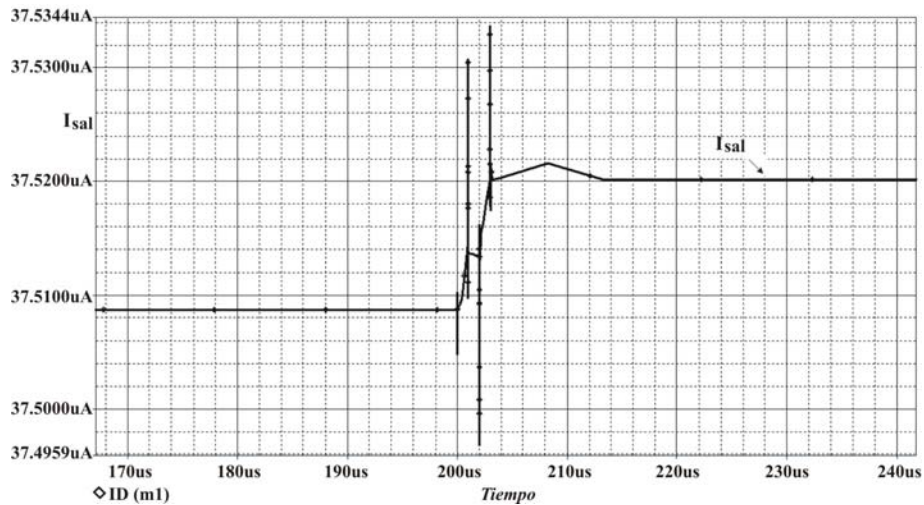


Figura 2.12. Simulación de la actualización del peso mediante la inyección y $V_{bias}=1.6V$.

Como se puede observar, con el voltaje de V_{bias} se puede controlar tanto la fuerza de los fenómenos de inyección y tuneo de electrones, así como lograr la sintonización de ambos fenómenos para hacer que ambos sean simétricos.

2.9 Resultados experimentales.

Para comprobar los resultados de simulación, a continuación se presentan las pruebas experimentales de la celda de memoria con el propósito de caracterizar y cuantificar su funcionamiento con base en la modificación de su carga, la cual a su vez, modificará el voltaje de salida de la celda. Para la realización de estas pruebas, se fabricaron dos celdas de memoria, cuyos diagramas esquemáticos se muestran en la Figura 2.13. Como se puede observar, la celda 2 contiene un inversor y capacitor adicional con respecto a la celda 1.

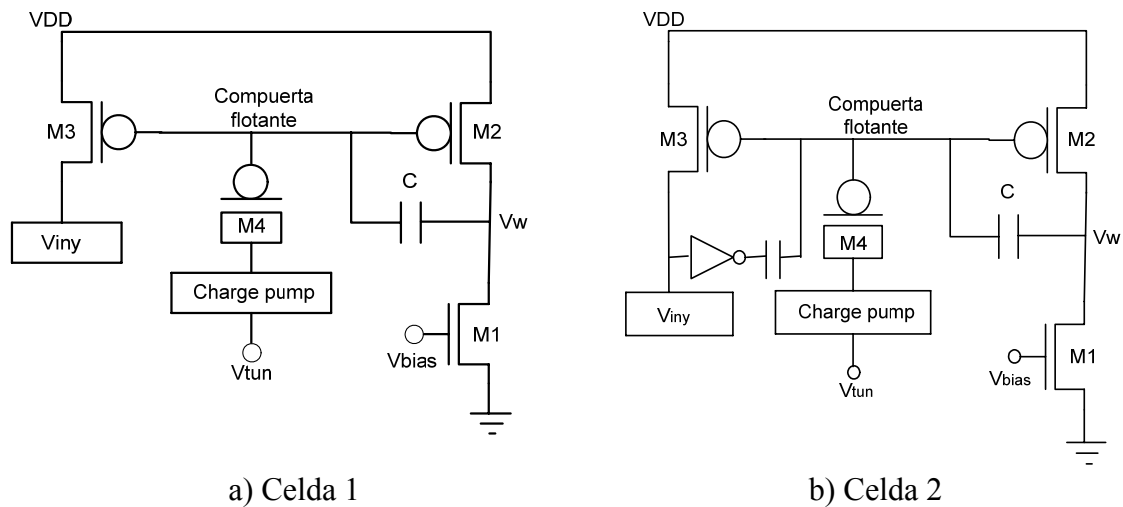


Figura 2.13. Configuración de la celda de memoria con transistores MOS de compuerta flotante. (a) sin inversor. (b) Con inversor para compensar el desplazamiento de inyección causado por el acoplamiento capacitivo en la compuerta flotante a través del capacitor de drenador a canal.

El propósito de los dispositivos agregados en la celda 2, es la de contrarrestar el incremento del voltaje en la compuerta flotante causado por la capacitancia de traslape entre el drenador y la CF. Lo anterior es para cuando se activa el proceso de inyección, debido a que éste causa un cambio en el voltaje de canal, el cual a su vez se acopla capacitivamente causando un desplazamiento indeseado en el voltaje de la compuerta flotante.

Asimismo, la capacitancia de traslape del drenador a compuerta contribuye adicionalmente a este desplazamiento, ya que está acoplada al nodo de la compuerta flotante. Esta capacitancia parásita causará que exista un voltaje adicional agregado a la C.F., teniéndose como resultado que la modificación de la carga estará en función tanto del voltaje de inyección aplicado en el drenador, así como del voltaje inducido por la capacitancia parásita.

Es por ello que se coloca un inversor en la terminal de entrada del voltaje de inyección cuya salida es acoplada mediante un capacitor a la compuerta flotante (celda de memoria 2). De esta forma, se conmuta un voltaje más pequeño en la dirección opuesta al voltaje de canal, cuando se activa el mecanismo de inyección.

Entonces, para eliminar este desplazamiento de inyección indeseado, se debe de ajustar el tamaño de este capacitor de acoplamiento, para sintonizar la celda de memoria con base en una combinación específica de voltajes de inyección y de polarización.

La figura 2.14 muestra la microfotografía de la fabricación del circuito integrado para las celdas de memoria.

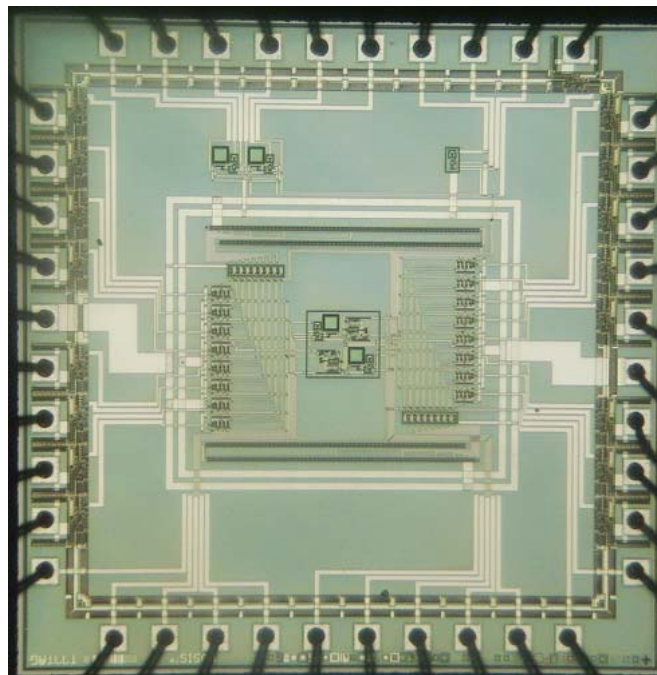


Figura 2.14 Microfotográfica del C.I. para las celdas de memoria

Las pruebas experimentales realizadas a la celda de memoria, se dividieron para su evaluación en tres: Inyección, Tuneleo y Adaptación. La primera y la segunda exigen para su medición, de pulsos de voltajes bien definidos en amplitud y duración, así como en el número de ellos en cada iteración, para realizar la modificación de la carga en la compuerta flotante.

El último caso y a manera de ejemplo para la inyección y tuneleo, es la adaptación, la cual se obtiene con la activación de ambos simultáneamente, lo que propicia la necesidad de cuantificar y caracterizar con exactitud ambos procesos, ya que dependiendo de su programación con base en una regla de aprendizaje, se podrá tener el funcionamiento y operación de la celda de memoria en forma adaptativa.

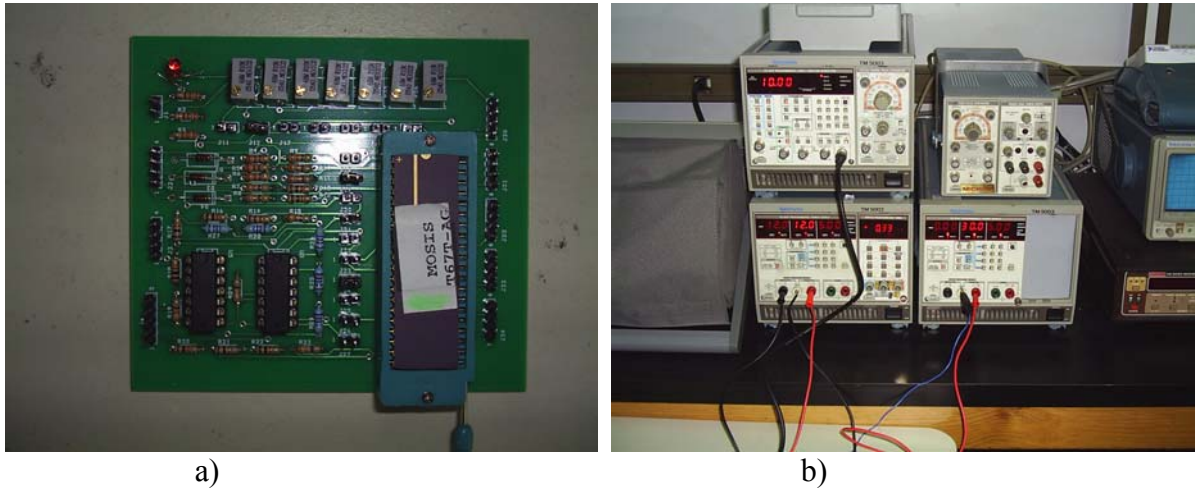


Figura 2.15. a) Circuito para generar los pulsos de voltaje para la inyección y tuneo. b) Equipo de medición.

Para el desarrollo y evaluación de la celda, se diseñó un circuito electrónico con el que se generaron los pulsos de inyección y tuneo para las celdas, que se muestra en la Figura 2.15a), mientras que en la Figura 2.15b), se muestra el equipo de medición utilizado.

2.10 Inyección de electrones.

Para realizar la evaluación de la inyección de electrones, se utilizó una serie de pulsos cuadrados de baja frecuencia (de amplitud y ancho fijos), aplicados en el drenador del transistor de inyección M3.

Al iniciar las pruebas a las celdas de memoria, se tomaron las lecturas de los voltajes de salida de ambas celdas de memoria. Estas lecturas fueron tomadas con las terminales de los voltajes de inyección y tuneo colocados a tierra, $V_{bias} = 1.25V$ y un voltaje de polarización V_{DS} igual a 6V. La tabla 2.1, presenta estas lecturas.

TABLA 2.1
VOLTAJES INICIALES DE LAS CELDAS CON $v_B = 1.25v$

Vbias	Vw2	vw3
1.250	4.475	4.675

La manera más simple de aplicar la inyección a las celdas de memoria fue colocar directamente un voltaje pulsado de 0 a -2 V en la terminal de inyección como se muestra en la Figura 2.2. La terminal de tuneo fue colocada a tierra.

Con estos valores, se comenzó a inyectar a las dos celdas de memoria, utilizando iteraciones de 10 pulsos de 0.1seg cada uno. La terminal de la compuerta de control fue colocada a tierra. Las lecturas obtenidas, se muestran en la tabla 2.2.

Con las lecturas obtenidas en la tabla 2.2, se graficaron las curvas correspondientes de cada una de las celdas, obteniéndose la magnitud del incremento del voltaje y de corriente de salida en función del número de pulsos en cada iteración, que se muestran en la Figura 2.16. El valor del voltaje de inicio para cada una de las celdas, fue determinado por el voltaje V_{bias} , aplicado a la compuerta del transistor M1. El desplazamiento mediante pequeños incrementos en la salida de las celdas, representan el incremento de la carga en la compuerta flotante a partir de este voltaje.

TABLA 2.2
LECTURAS MEDIDAS EN LA SALIDA DE LAS CELDAS DE
MEMORIA PARA LA INYECCION CON CON ITERACIONES DE 10 PULSOS
DE 0.1s CADA UNO Y $V_{BIAS}=1.25V$

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1.250	216.2	4.475	4.675
1.250	216.5	4.5	4.695
1.250	216.9	4.520	4.710
1.250	217.3	4.545	4.730
1.250	217.7	4.565	4.745
1.250	218.1	4.580	4.760
1.250	218.5	4.600	4.780
1.250	219	4.625	4.800
1.250	219.5	4.650	4.825
1.250	220.1	4.675	4.848
1.250	220.7	4.700	4.871
1.250	221.2	4.725	4.890
1.250	221.8	4.745	4.910
1.250	222.2	4.765	4.931
1.250	222.8	4.786	4.950
1.250	223.2	4.805	4.968
1.250	223.7	4.825	4.990
1.250	224.2	4.845	5.0010
1.250	224.7	4.865	5.030

Como se puede observar, las dos curvas presentan un comportamiento lineal, semejante a una pendiente cuyo valor e incremento dependen de la posición inicial (el punto de inicio se encuentra desplazado respecto al eje horizontal) y de la amplitud y frecuencia de los pulsos. Por ejemplo, en este caso, los incrementos en la amplitud del voltaje de salida para ambas celdas son de un promedio de 20mV, que es una buena resolución. No obstante, si se disponen de pulsos de inyección con diferente amplitud y periodo, la relación de cambio será diferente.

Además, de las gráficas se puede deducir, que cuando se inyectan electrones mediante un voltaje pulsado durante un periodo de tiempo, la carga en la compuerta flotante disminuye

y, como consecuencia, el voltaje de salida se incrementa en sentido positivo ascendente a partir de este punto inicial.

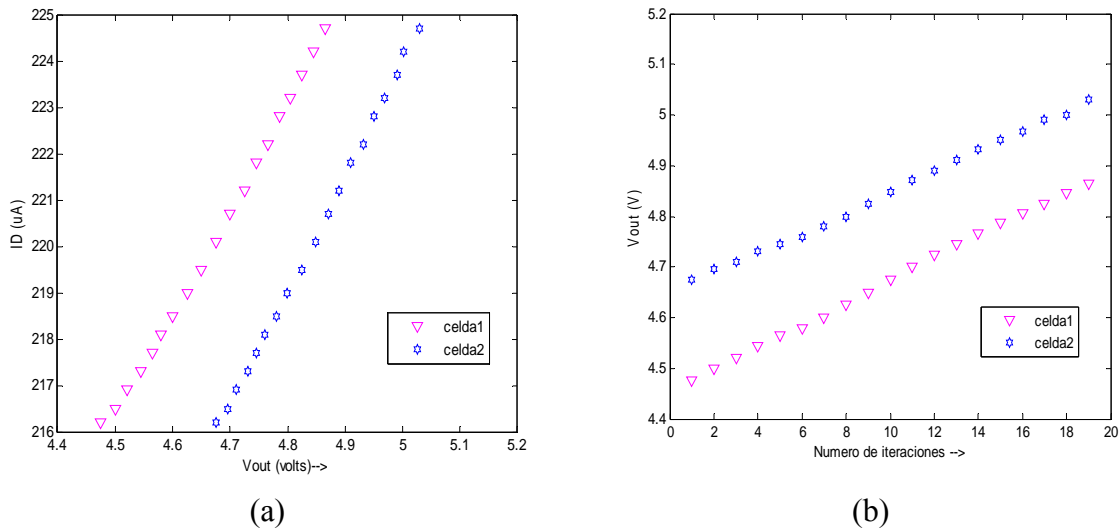


Figura 2.16. Salida de las celdas de memoria, aplicando inyección de electrones.

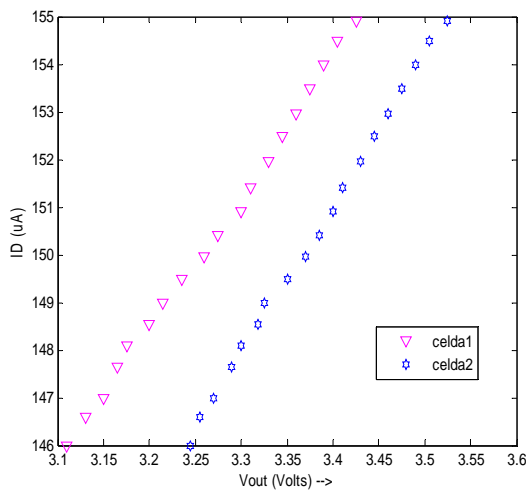
Posteriormente, y a manera de ejemplo para verificar que la modificación de la carga depende de la cantidad de pulsos con amplitud y ancho fijos, se realizó el mismo experimento, pero ahora con iteraciones de 5 pulsos de 0.2 segundos, cada uno. La terminal de la compuerta de control fue colocada a tierra. Las lecturas tomadas, se muestran en la tabla 2.3.

Las curvas correspondientes para cada una de las celdas con estos valores, se muestran en la Figura 2.17, que presentan la magnitud del incremento del voltaje y de corriente de salida en función del número de pulsos en cada iteración.

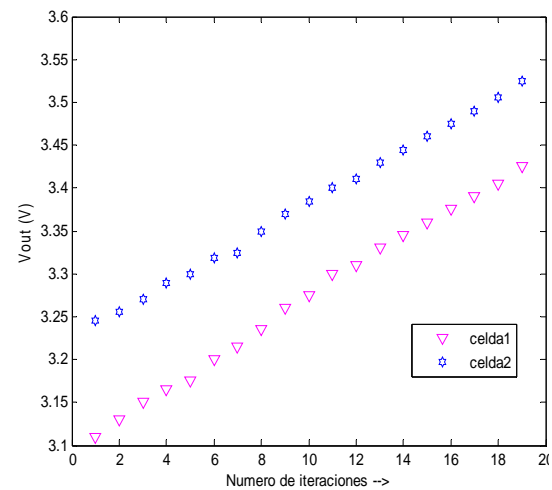
TABLA 2.3
LECTURAS MEDIDAS EN LA SALIDA DE LAS CELDAS DE MEMORIA PARA LA INYECCION CON ITERACIONES DE 5 PULSOS DE 0.2s CADA UNO Y $V_{BIAS}=1.25V$

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1.250	146	3.245	3.110
1.250	146.6	3.255	3.130
1.250	147	3.270	3.150
1.250	147.65	3.290	3.165
1.250	148.1	3.300	3.175
1.250	148.55	3.318	2.200
1.250	149	3.325	2.215
1.250	149.5	3.350	3.235

1.250	149.95	3.370	3.260
1.250	150.4	3.385	3.275
1.250	150.9	3.400	3.300
1.250	151.4	3.410	3.310
1.250	151.95	3.430	3.330
1.250	152.5	3.445	3.345
1.250	152.95	3.460	3.360
1.250	153.5	3.475	3.375
1.250	154	3.490	3.390
1.250	154.5	3.505	3.405
1.250	154.9	3.525	3.425



(a)



(b)

Figura 2.17. Salida de las celdas de memoria aplicando inyección de electrones con iteraciones de 5 pulsos de 0.2seg.

Como se puede observar, la Figura 2.17 muestra gran similitud con las lecturas obtenidas en la tabla I y graficadas en la Figura 2.16. En estas gráficas, las curvas también presentan un comportamiento lineal, solo que como se puede observar, el incremento tanto del voltaje como de la corriente de salida no presentan una razón de cambio proporcional a la obtenida con pulsos de la mitad de anchos, ya que estas últimas presentan un cambio promedio de 15mV por iteración. En otras palabras, esto significa que con pulsos del doble de ancho pero con la misma amplitud, la resolución aumenta. Por lo tanto, la resolución de las celdas de memoria dependerá de la amplitud y periodo de los pulsos de inyección, o sea, de la frecuencia de los pulsos de voltaje aplicados en el drenador del transistor, que será el voltaje V_{DS} .

Por lo tanto, para la programación de los pulsos de inyección, siempre será necesario determinar la resolución deseada en el voltaje de salida, con el propósito de contribuir al

mejor desempeño de la celda en cada aplicación en particular. Por ejemplo, se pueden dar casos con circuitos en donde se requiera de voltajes de polarización con gran exactitud para su funcionamiento y operación.

2.11 Análisis de resultados de la inyección

Los resultados de las pruebas experimentales de inyección obtenidos de las celdas de memoria, indican que la inyección de electrones calientes puede perfectamente aplicarse en transistores MOS de compuerta flotante fabricados en tecnología de 1.2 μm de MOSIS. Además, permiten establecer cuantitativamente el comportamiento de la celda de memoria con base en la inyección de electrones y poder determinar el voltaje de salida de la celda de memoria, así como su resolución.

Por otro lado, la inyección mediante la aplicación de pulsos de ancho y amplitud fijos, permite tener siempre un voltaje constante en la compuerta flotante que no afecta a las variables que controlan a la programación de la inyección, esto es, el voltaje compuerta-drenador. Además, al contar con las ventajas que proporciona la arquitectura de la celda de memoria, la inyección se revela como una técnica alternativa para determinar y cuantificar la modificación de la carga en la compuerta flotante y poder tener un método seguro que permita realizar una lectura (en corriente ó voltaje), almacenada permanentemente.

Es importante destacar la importancia de la inyección de electrones, ya que ésta permitirá que la celda de memoria opere en forma adaptativa con relación a la carga en la compuerta flotante, mediante el complemento del tuneleo, aplicado simultáneamente a la celda de memoria.

El tuneleo de electrones, puede ser utilizado para borrar la celda de memoria cuando se utiliza en forma individual, como se demostrará experimentalmente a continuación.

2.12 Tuneleo de electrones

El tuneleo de electrones se realizó con un voltaje de 25V, aplicado a la terminal de tuneleo, verificando siempre, mediante un arreglo externo en el capacitor de tuneleo, que la corriente inversa entre el pozo n y el sustrato no excediera 1 μA , con el propósito de no romper dicha unión. Con la aplicación de un pulso de 10 segundos de duración, $V_{bias} = 1.25\text{V}$, y un voltaje de 25 V, se detectó una variación en el voltaje de salida de las celdas de memoria.

Con este pulso, se comenzó a llevar a cabo el tuneleo en las celdas de memoria para obtener las curvas de comportamiento. La terminal de la compuerta de control se colocó a tierra. Las lecturas tomadas, se muestran en la tabla 2.4.

TABLA 2.4
 LECTURAS MEDIDAS EN LA SALIDA DE LAS CELDAS DE
 MEMORIA PARA EL TUNELEO CON ITERACIONES DE 1 PULSO
 DE 10s CADA UNO Y $V_{BIAS}=1.25V$

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1.250	129.8	3.495	3.577
1.250	128.9	3.486	3.570
1.250	128.05	3.478	3.563
1.250	127.6	3.472	3.557
1.250	126.6	3.464	3.549
1.250	125.7	3.457	3.542
1.250	124.8	3.450	3.536
1.250	123.9	3.442	3.530
1.250	123	3.435	3.523
1.250	122.3	3.427	3.517
1.250	121.6	3.420	3.510
1.250	120.7	3.412	3.502
1.250	120	3.405	3.497
1.250	119.4	3.398	3.491
1.250	118.7	3.391	3.485
1.250	118	3.384	3.478
1.250	117.4	3.377	3.471
1.250	116.7	3.369	3.465
1.250	116	3.362	3.458

Con las lecturas obtenidas, se graficaron las curvas correspondientes de cada una de las celdas, obteniéndose la magnitud del incremento del voltaje y de corriente de salida en función del número de pulsos en cada iteración, mostradas en la Figura 2.18.

Como puede observarse, la respuesta que presentan las curvas tiene un comportamiento lineal descendente, lo que permite tener una caracterización de predicción cuantitativa acerca de los valores del voltaje de salida en función a un número de iteraciones de pulsos de ancho y amplitud fijos, aplicados en la terminal de tuneleo.

Además, a partir de las gráficas se puede deducir que, cuando se aplican los pulsos de tuneleo durante un cierto periodo de tiempo, la carga en la compuerta flotante disminuye, teniéndose como resultado que tanto el voltaje como la corriente de salida disminuyen.

Cabe mencionar que la eficiencia del tuneleo dependerá, ya sea, de un voltaje alto aplicado en la terminal de tuneleo ó disminuyendo el voltaje de la compuerta flotante. El voltaje de la compuerta flotante, se puede controlar a través del voltaje V_{bias} , aplicado a la compuerta del transistor M1, mientras que el voltaje aplicado a la terminal de tuneleo dependerá del voltaje de ruptura que presente la unión pozo n- substrato.

De esta forma, el voltaje V_{bias} , efectivamente establecerá la fuerza del tuneo de electrones, así como lograr tener una simetría de ambos mecanismos en la celda de memoria.

Lo anterior implica tener control de la inyección y tuneo a través del voltaje V_{bias} en la celda de memoria para cada aplicación que se necesite. Para mostrar experimentalmente de forma real cómo afecta el voltaje V_{bias} , en el establecimiento del voltaje de la compuerta flotante, se realizó una variación de dicho voltaje aplicado en la compuerta del transistor M1.

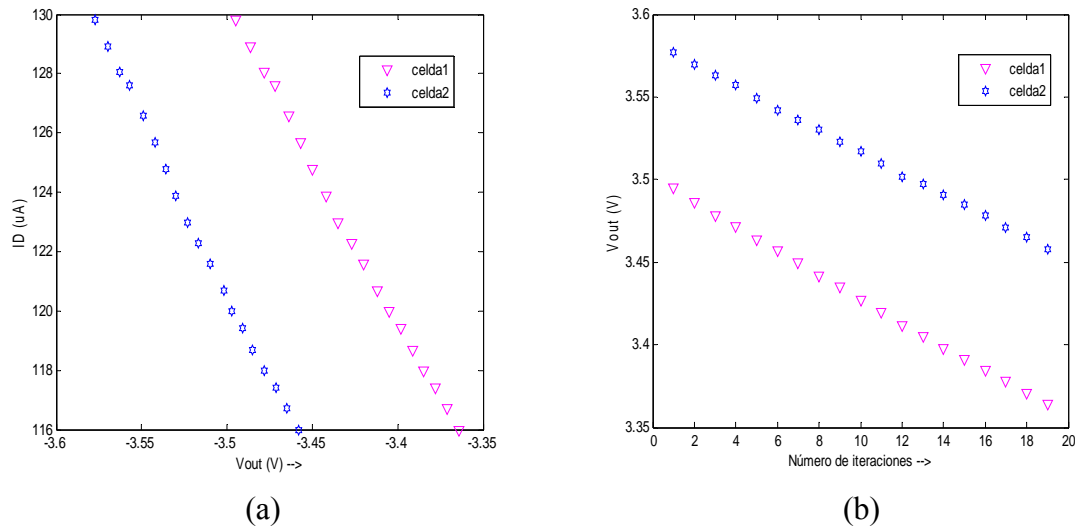


Figura 2.18. Curvas de comportamiento de las salidas de las celdas de memoria, aplicando el tuneo de electrones.

Con este propósito, a continuación se presentan las pruebas experimentales de las celdas de memoria con diferentes voltajes V_{bias} . Asimismo, para incrementar la corriente de tuneo, se incrementó el voltaje de los pulsos de tuneo a 26V.

Una vez más, se tomaron las lecturas de los voltajes de salida de las dos celdas de memoria. Las lecturas fueron tomadas con las terminales de los voltajes de inyección y tuneo colocados a tierra y con un voltaje de polarización V_{DS} igual a 6 Volts y V_{bias} , igual a 1 V. La tabla 2.5 presenta estas lecturas.

TABLA 2.5
VOLTAJES INICIALES DE LAS CELDAS CON $V_{BIAS} = 1V$ Y $V_{TUN} = 26V$.

V_{bias}	V_{w1}	V_{w2}
1.0	3.385	3.587

Con estos valores, se aplicó el tuneleo a las celdas de memoria utilizando iteraciones de pulsos de 5seg cada una con una amplitud de 26V. La terminal de la compuerta de control fue colocada a tierra. Las lecturas tomadas, se muestran en la tabla 2.6.

TABLA 2.6
LECTURAS MEDIDAS EN LA SALIDA DE LAS CELDAS DE MEMORIA PARA EL TUNELEO CON ITERACIONES DE 1 PULSO DE 5S CADA UNO, $V_{TUN} = 26V$ Y $V_{BIAS} = 1V$

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1	61.4	3.378	3.583
1	61.2	3.370	3.577
1	61	3.365	3.571
1	60.8	3.357	3.567
1	60.6	3.354	3.560
1	60.4	3.345	2.556
1	60.2	3.341	2.550
1	60	3.335	3.545
1	59.9	3.329	3.540
1	59.7	3.323	3.534
1	59.5	3.316	3.529
1	59.3	3.310	3.524
1	59.1	3.304	3.518
1	58.9	3.298	3.512
1	58.6	3.291	3.507
1	58.4	3.285	3.501
1	58.2	3.278	3.495
1	58	3.271	3.490
1	57.7	3.265	3.484

Con las lecturas obtenidas, se graficaron las curvas correspondientes de cada una de las celdas, obteniéndose la magnitud del decremento del voltaje y de corriente de salida en función del número de pulsos en cada iteración, mostradas en la Figura 2.19.

Como puede observarse, disminuyendo el voltaje de V_{bias} , el voltaje y corriente de salida de las celdas, para este caso, disminuye.

Lo anterior, puede explicarse con base en el funcionamiento del transistor MOS de canal N, esto es, disminuyendo el voltaje de V_{bias} , el transistor se introduce un poco mas en la región de corte, por lo que la corriente que fluye a través de las terminales fuente-drenador disminuye, dando como resultado que el potencial de salida disminuya.

De esta manera, debido a que el voltaje V_{bias} , establece el voltaje en el nodo de la compuerta flotante, al disminuir V_{bias} , se establecerá un incremento en el voltaje de la

compuerta flotante. Con base a esto, la corriente de tuneleo disminuye, debido a que ésta depende de la diferencia de voltaje que exista entre el voltaje de tuneleo y el voltaje de la compuerta flotante.

Por lo tanto, se tendrá una mayor corriente de tuneleo ya sea, disminuyendo el voltaje de la compuerta flotante ó incrementando el voltaje de tuneleo.

Así entonces, para un V_{bias} , igual a 1V, se tiene una menor corriente de tuneleo debido a que el voltaje en la compuerta flotante aumenta con un voltaje de V_{bias} menor, dando como resultado que los voltajes de salida de las celdas disminuyan con un intervalo menor, como se puede observar en la prueba de medición de las gráficas de ambas celdas.

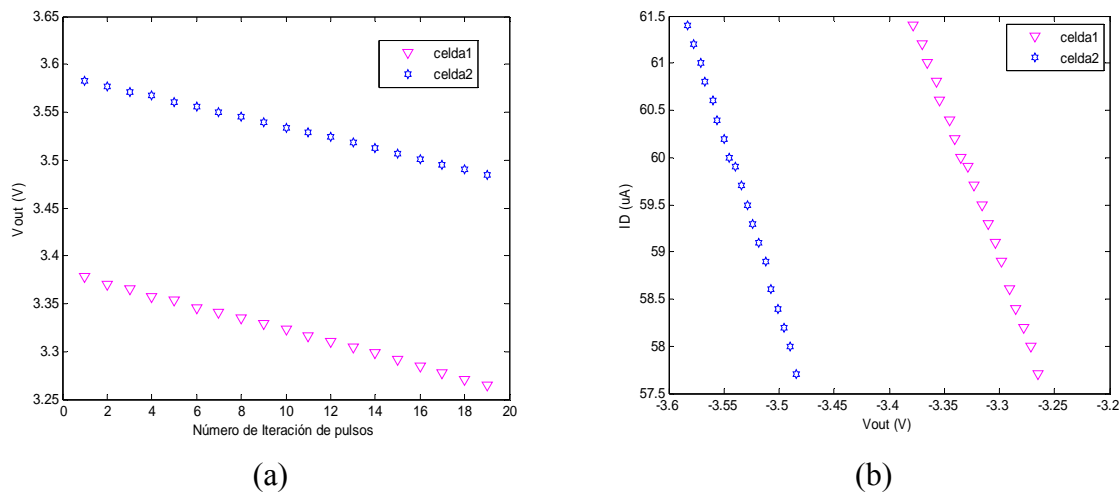


Figura 2.19. Curvas de comportamiento de las salidas de las celdas de memoria.

Posteriormente, para verificar el control del voltaje de la compuerta flotante a través del voltaje V_{bias} , se realizó una segunda prueba, la cual, consistió en incrementar el voltaje de V_{bias} a 1.2 V. Las lecturas de los voltajes de salida de las dos celdas de memoria fueron tomadas con las terminales de los voltajes de inyección y tuneleo colocados a tierra y con un voltaje de polarización drenador-fuente (V_{DS}), igual a 6V. La tabla 2.7 presenta estas lecturas.

TABLA 2.7
VOLTAJES INICIALES DE LAS CELDAS CON $V_{BIAS} = 1.2V$ Y $V_{TUN} = 26V$.

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1.2	81.8	3.043	3.220

Con estos valores, se aplicó el tuneleo a las celdas de memoria, utilizando iteraciones de pulsos de 5seg cada una con una amplitud de 26V. La terminal de la compuerta de control fue colocada a tierra. Las lecturas tomadas, se muestran en la tabla 2.8.

Con las lecturas obtenidas, se graficaron las curvas correspondientes de cada una de las celdas, las cuales, se muestran en la Figura 2.20, que presentan la magnitud de la disminución del voltaje y de corriente de salida como una función del número de pulsos en cada iteración.

TABLA 2.8
LECTURAS MEDIDAS EN LA SALIDA DE LAS CELDAS DE MEMORIA PARA EL TUNELEO CON ITERACIONES DE 1 PULSO DE 5s CADA UNO DE 26V, Y $V_{BIAS} = 1.2V$

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1.2	81.8	3.043	3.220
1.2	81.4	3.030	3.210
1.2	81	3.016	3.198
1.2	80.6	3.002	3.186
1.2	80.2	2.988	3.175
1.2	79.8	2.974	2.165
1.2	79.4	2.960	2.153
1.2	79	2.946	3.142
1.2	78.6	2.932	3.131
1.2	78.2	2.920	3.120
1.2	77.8	2.906	3.108
1.2	77.4	2.894	3.097
1.2	77	2.880	3.086
1.2	76.6	2.866	3.075
1.2	76.2	2.852	3.064
1.2	75.8	2.838	3.053
1.2	75.4	2.824	3.042
1.2	75	2.810	3.029
1.2	74.6	2.796	3.018

Como puede observarse, incrementando el voltaje de V_{bias} , el voltaje y corriente de salida de las celdas disminuyen por cada iteración con mayor amplitud.

Para esta prueba, la corriente disminuye el doble con respecto a la polarización anterior ($V_{bias} = 1 V$), esto es, con la misma amplitud y duración de los pulsos de tuneleo, el voltaje de salida disminuye al doble en cada iteración (en relación a la prueba anterior), que en este caso presenta un promedio de 14mV. Lo anterior significa que el voltaje en el nodo de la compuerta flotante disminuye.

Finalmente, se realizó una prueba más, la cual consistió en incrementar el voltaje de V_{bias} , a 1.5 V. Las lecturas tomadas con las terminales de los voltajes de inyección y tuneleo colocados a tierra y con un voltaje de polarización V_{DS} para la celda igual a 6V, se presentan en la tabla 2.9. Con estos valores, se realizó el tuneleo de electrones a las celdas

de memoria utilizando iteraciones de pulsos de 5seg cada una con una amplitud de 26 V y un voltaje en la compuerta de control igual a cero. Las lecturas tomadas, se muestran en la tabla 2.10.

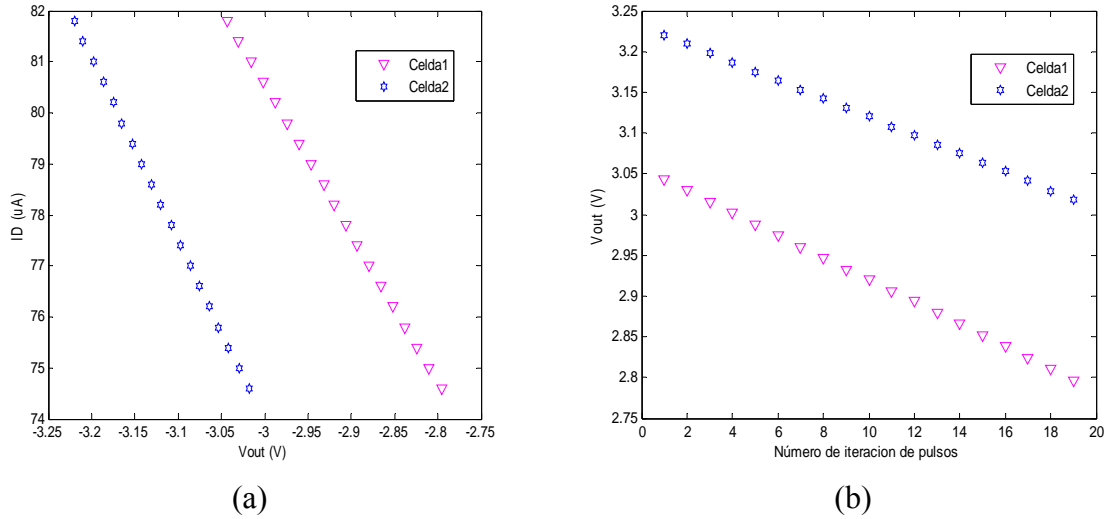


Figura 2.20. Curvas de comportamiento de las salidas de las celdas de memoria, $V_{bias}= 1.2V$.

TABLA 2.9

VOLTAJES INICIALES DE LAS CELDAS CON $V_{BIAS}= 1.5V$ Y $V_{TUN}=26V$.

V_{bias}	$I_{out}(uA)$	V_{w1}	V_{w2}
1.5	110	2.158	2.350

Con las lecturas obtenidas se graficaron las curvas correspondientes de cada una de las celdas mostradas en la Figura 2.21, que muestran la magnitud de la disminución del voltaje y de corriente de salida como una función del numero de pulsos en cada iteración.

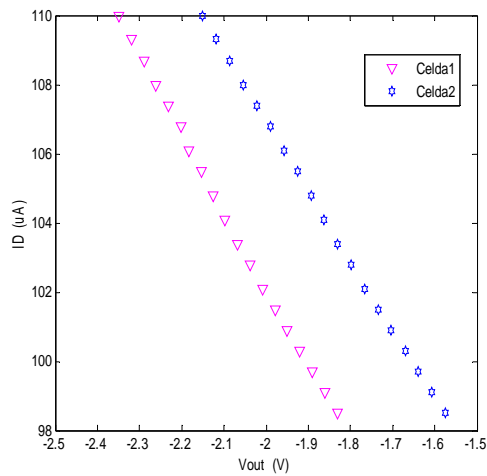
Como puede observarse, incrementando el voltaje V_{bias} , el voltaje y corriente de salida de las celdas disminuye con una mayor amplitud en cada iteración.

Para esta prueba, la corriente se incrementa con respecto a la polarización anterior ($V_{bias}=1.2V$), esto es, con la misma amplitud y duración de los pulsos de tuneleo, el voltaje de salida disminuye en proporción en cada iteración, que en este caso es de un promedio de 30mV.

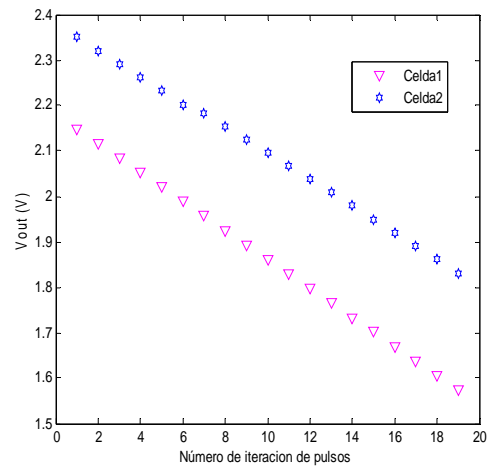
Lo anterior significa que el voltaje en el nodo de la compuerta flotante disminuye aún más. A partir de este voltaje, con la aplicación de los pulsos de la misma amplitud y duración de tuneleo, el decremento en la salida es mayor.

TABLA 2.10
LECTURAS MEDIDAS EN LA SALIDA DE LAS CELDAS DE MEMORIA PARA EL TUNELEO CON ITERACIONES DE 1 PULSO DE 5s CADA UNO DE 26V, Y $V_{BIAS}=1.5V$

V_{bias}	$I_{out}(uA)$	Vw_1	Vw_2
1.5	110	2.150	2.350
1.5	109.3	2.118	2.320
1.5	108.7	2.086	2.290
1.5	108	2.054	2.262
1.5	107.4	2.022	2.232
1.5	106.8	1.990	2.202
1.5	106.1	1.958	1.183
1.5	105.5	1.926	2.154
1.5	104.8	1.894	2.126
1.5	104.1	1.862	2.097
1.5	103.4	1.830	2.067
1.5	102.8	1.798	2.039
1.5	102.1	1.767	2.009
1.5	101.5	1.734	1.979
1.5	100.9	1.703	1.950
1.5	100.3	1.670	1.920
1.5	99.7	1.639	1.890
1.5	99.1	1.606	1.861
1.5	88.5	1.574	1.831



(a)



(b)

Figura 2.21. Curvas de comportamiento de las salidas de las celdas de memoria, $V_{bias}=1.5V$.

2.13 Análisis de resultados del tuneleo

Las pruebas experimentales de tuneleo llevadas a cabo a las celdas de memoria, demuestran que el tuneleo de electrones calientes puede perfectamente aplicarse en transistores MOS de compuerta flotante fabricados en tecnología de 1.2 μm , de MOSIS.

Además, permite la posibilidad de borrar la celda de memoria antes de escribir, leer y/o almacenar en el transistor de compuerta flotante.

La obtención de las curvas de comportamiento para el tuneleo, demuestra que se remueven electrones de la compuerta flotante, causando que el voltaje de salida de la celda de memoria se aproxime a un potencial de tierra.

Esta técnica de tuneleo, aplicada a la celda de memoria, se revela como una técnica alternativa para determinar y cuantificar la modificación de la carga en la compuerta flotante y poder continuar con un método seguro que permita borrar los datos en la celda de memoria.

Así también, permite tener siempre un voltaje constante en la compuerta flotante que no afecta a las variables que controlan la fuerza del mecanismo de tuneleo, esto es, el voltaje compuerta-terminal de tuneleo.

Asimismo, es importante destacar la importancia del mecanismo de tuneleo, ya que éste permitirá que la celda de memoria pueda ser operada en forma adaptiva, en relación a la carga en la compuerta flotante, mediante el complemento del mecanismo de inyección, llevado a cabo en la misma celda de memoria.

2.14 Conclusiones del Capítulo 2

En este capítulo se presentó la aplicación del transistor de compuerta flotante como elemento de memoria para el diseño de una celda de memoria analógica. El desarrollo se enfocó en los procesos para almacenar y/o borrar información mediante la aplicación de la inyección y tuneo de electrones calientes para modificar la carga en la compuerta flotante. Primero, para lograr tener un mejor entendimiento de la inyección y tuneo de electrones que permiten modificar la carga en la compuerta flotante, se desarrolló teóricamente el concepto de actualización ó adaptación. Después, se obtuvo una aproximación del comportamiento de la celda a través de la simulación en PSpice®, utilizando el modelo del transistor de compuerta flotante, asumiendo que los voltajes de inyección y tuneo, pueden ser aproximados por los obtenidos en el Capítulo 1, permitiendo analizar su comportamiento mediante la aplicación de los voltajes de inyección y tuneo. Se mostró que la carga puede ser modificada aplicando pulsos de amplitud y ancho fijos para los voltajes de inyección y tuneo, de manera que eventualmente se llegó a tener un incremento y/o disminución ya sea, en el voltaje de salida ó en la compuerta flotante. Después, se caracterizó el comportamiento de la celda en modo experimental, comprobando que sí es factible físicamente la inyección y tuneo de electrones en la tecnología de 1.2 μm , para controlar su respuesta, esto es, almacenar y/o borrar información para aplicaciones específicas

Capítulo 3

Aplicaciones de la celda de memoria

En este capítulo, se presentan dos circuitos electrónicos CMOS, usando la celda de memoria analógica para verificar su funcionamiento, el primero es un potenciómetro electrónico y el segundo es una fuente de voltaje, limitándonos a ellos por considerarlos de uso común en el diseño analógico y los que ofrecen desde esta perspectiva mayores posibilidades de integración a través de un proceso de fabricación CMOS, en este caso de 1.2 μm . Estos circuitos, se pueden implementar en un circuito integrado ocupando un área pequeña. Además, debido a que la memoria analógica, permite simultáneamente la lectura y escritura, ésta representa un medio eficaz para proporcionar voltajes con mayor resolución y exactitud para polarizar y/o alimentar a un circuito, para que realice su funcionamiento. La implementación de estos circuitos podrá reducir los costos de fabricación y transformar en opciones prácticas el diseño de circuitos más complejos, en donde se requieran de fuentes de voltaje dentro del circuito integrado, con el propósito de reducir el número de terminales utilizados cuando se suministran por fuentes externas. Estos circuitos, proporcionan una alternativa de diseño e implementación que se adapta mejor a las exigencias del diseño de fuentes de voltaje, proporcionando voltajes de salida en un amplio intervalo.

3.1 Introducción

Actualmente, los modernos diseños analógicos o de modo mixto en circuitos integrados VLSI, típicamente tienen un gran número de entradas y/o parámetros analógicos. Estos parámetros y/o voltajes de polarización son alimentados externamente mediante un arreglo de potenciómetros o fuentes. Por otro lado, el número de terminales disponibles en un circuito integrado es un factor limitante, ya que se necesita de una terminal por cada parámetro, tanto para las entradas como para las salidas.

Ahora bien, si estos parámetros analógicos y voltajes de polarización fueran colocados internamente en el circuito integrado, se tendría la posibilidad de ahorrar muchos pins, tanto de entrada como de salida, así como para puntos de prueba.

Así mismo, si se utilizaran potenciómetros de fácil manejo (para su modificación) como fuentes de voltaje, entonces, se podría aprovechar el transistor de compuerta flotante mediante una configuración de fuentes de voltaje, que sería una versión electrónica de funcionamiento de un potenciómetro. De esta manera, mediante la modificación de la carga en la compuerta flotante, se podrá controlar el voltaje de salida del potenciómetro electrónico (*e-pot* de aquí en adelante) con una mayor resolución, así como tener la ventaja de poder ser implementado, en el circuito integrado [39].

Por otro lado, si un gran número de estas celdas fueran internamente colocadas en el circuito integrado, éstas suministrarían a través de su programación, un gran número de voltajes con un mínimo de terminales, teniéndose como resultado una reducción del número de terminales utilizados para los voltajes de entrada y salida. Así también, generando voltajes de polarización requeridos para un determinado diseño interno al circuito integrado, la complejidad del circuito se reduciría.

De esta manera, utilizando las características del transistor de compuerta flotante, mediante la modificación del voltaje en la compuerta flotante, (a través de la inyección y tuneo de electrones), las configuraciones del *e-pot*, y de la fuente de voltaje, podrán proporcionar voltajes variables.

Con base a lo arriba mencionado, se diseñará e implementará un potenciómetro electrónico y una fuente de voltaje utilizando el transistor de compuerta flotante, fabricado en tecnología de 1.2 μm a través de MOSIS, con el propósito de verificar el funcionamiento de la celda de memoria y a su vez, caracterizar el comportamiento de los dos circuitos

3.2 Circuito *e-pot*

Una característica importante de una referencia de voltaje, es que ésta debe de mantenerse constante, esto es, sin tener ninguna fluctuación significativa en su voltaje, aún después de haber pasado un periodo de tiempo suficientemente largo. Es por ello que es necesario contar con adecuadas arquitecturas de diseño en el renglón de voltajes de referencia constante, debido principalmente a que en los diseños analógicos VLSI se necesitan de diferentes voltajes de polarización para su funcionamiento y/o procesamiento de señales o eventos en su arquitectura interna [40].

Además, debido a que en la mayoría de los diseños analógicos y mixtos, los voltajes de referencia se aplican externamente, el diseño de las arquitecturas presentan gran dificultad para sintonizar los voltajes de referencia internamente [41]. Así mismo, el número de terminales disponibles en un circuito integrado, se vuelve un factor limitante, ya que se requiere de una terminal para cada voltaje de referencia, por lo que una vez mas se hace necesario contar con una arquitectura eficiente que proporcione voltajes de referencia internos, con el propósito de ahorrar terminales en un circuito integrado.

El *e-pot* es una alternativa práctica en la selección de voltajes de referencia, ya que presenta una fácil sintonización para suministrar un voltaje específico, ocupa además, un área mínima y puede suministrar voltajes de salida en un intervalo de cero hasta un valor cercano al voltaje de alimentación. Su almacenamiento es no volátil y su programación es precisa y rápida, utiliza un número pequeño de terminales para cuando se tienen n arreglos de *e-pots*.

3.3 Características del circuito *e-pot*

Algunas características del *e-pot* son las siguientes:

No volatibilidad.- Un *e-pot* mantiene su estado indefinidamente aún en ausencia de un voltaje de alimentación.

Pequeños.- Ocupan un área mínima, que permite tener un número razonable de *e-pot* internamente en un circuito integrado

Utiliza pocas terminales.- Debido a que el objetivo principal es ahorrar pines en un circuito integrado, un arreglo de varios *e-pots*, requiere de pocas terminales para sus entradas/salidas, así como para su polarización.

Un rango de voltaje amplio.- Un *e-pot*, tiene la capacidad de almacenar cualquier voltaje en un intervalo desde cero hasta un valor cercano al voltaje de alimentación.

Una fina sintonización.- Un *e-pot*, tiene la capacidad de poder modificar su voltaje de salida hacia arriba o hacia abajo de una manera suave ó finamente.

Un voltaje de alimentación flexible.- Un *e-pot* ó un arreglo de estos, funciona usando un amplio rango de voltajes de alimentación y únicamente requiere de fuentes de voltajes adicionales durante el proceso de su programación.

Una alta exactitud de su programación.- Un *e-pot* posee la característica con base en su diseño de tener en la programación de voltajes específicos, una alta exactitud.

Finalmente, los arreglos de celdas de memoria pueden ser digitalmente controlados, proporcionando una alta resolución con un mínimo de circuitos externos.

3.4 Descripción del circuito

La implementación de la celda *e-pot*, fue diseñada y fabricada en tecnología de 1.2 μm de MOSIS, mediante un esquema de un integrador, el cual consiste de un transistor pMOS de compuerta flotante (M1), usado para llevar a cabo la inyección, un transistor pMOS (M2), usado para el tuneo, un capacitor conectado a la compuerta flotante que forma parte de la retroalimentación del amplificador (A1). La compuerta flotante es conectada a la entrada inversora del amplificador con retroalimentación capacitiva, que se muestra en la Figura 3.1.

Esta configuración mantiene el voltaje de la compuerta flotante al valor del voltaje de referencia y permite que el voltaje de salida pueda ser modificado dentro de un intervalo en el rango de cero hasta un valor cercano al voltaje de polarización, a través de la modificación de la carga en la compuerta flotante (con la inyección y tuneo de electrones calientes).

Así entonces, los voltajes aplicados para la inyección y tuneo, controlarán el flujo de electrones hacia adentro ó hacia afuera del nodo de la compuerta flotante, modificando de esta forma su carga, que a su vez, modificará el voltaje de salida del amplificador.

El voltaje de referencia V_{ref} establecerá una corriente a través del amplificador, la cual, proporciona una retroalimentación negativa con el propósito de mantener y establecer un voltaje constante en la CF. También, el V_{ref} establecerá el voltaje inicial para la corriente y voltaje de salida así como la fuerza de la inyección y tuneo de electrones.

El capacitor de retroalimentación C_f , integrará la actualización de la carga (mediante la aplicación de pulsos de inyección y tuneo), modificando el voltaje de salida (V_{out}) de la celda *e-pot*. El incremento en el voltaje de salida está dado por $\Delta V_w = \Delta Q/C$. Así también, debido a que el voltaje en la CF es constante, la actualización de la carga cambiará la salida por una cantidad fija, esto es, incrementando o disminuyendo el voltaje de salida. Por lo

tanto, la carga almacenada en el capacitor de retroalimentación representará a la memoria analógica.

Por otro lado, para obtener el voltaje de salida de la celda *e-pot*, (que será el voltaje de referencia), se utilizará un amplificador de transconductancia (OTA) para obtener una estructura de integración para la celda *e-pot*. De esta manera, una vez que la inyección y/o tuneo se llevan a cabo, una corriente fluirá a través del capacitor de retroalimentación, generando el voltaje de salida, el cual, será la integral de la corriente y estará dada por:

$$V_{out} = -\frac{1}{C_f} \int I_f(t) dt \quad (3.1)$$

En este caso, si los pulsos de inyección y/o tuneo son mantenidos constantes, el voltaje de salida V_{out} puede ser considerado como:

$$V_{out} = -\frac{I_f}{C_f} t \quad (3.2)$$

Es claro que el voltaje de salida V_{out} está en función de las corrientes de inyección y tuneo.

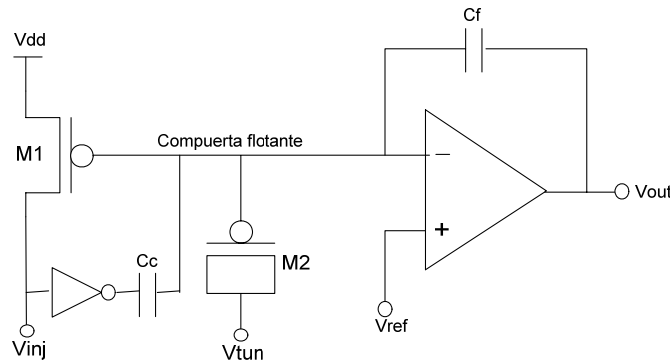


Figura 3.1. Circuito del potenciómetro electrónico (*e-pot*).

Para agregar carga positiva en la compuerta flotante, se tiene que disminuir la cantidad de electrones en la misma. Para realizar esta disminución de electrones, se utiliza el proceso de tuneo de electrones Fowler-Nordheim [24]. Este fenómeno se observa cuando se incrementa el voltaje a través del capacitor de tuneo (M2), ya sea, incrementando el voltaje de tuneo V_{tun} ó disminuyendo el voltaje de la compuerta flotante.

Con la disminución de electrones en la compuerta flotante, su voltaje aumenta, reduciendo de esta manera el voltaje de salida del amplificador.

La inyección de electrones calientes, es usada para adicionar electrones al nodo de la compuerta flotante. La inyección, reduce el voltaje de compuerta, aumentando el voltaje de salida del amplificador.

Cabe mencionar, que se utiliza el tuneo de electrones para realizar un borrado en el *e-pot*, y la inyección de electrones para llevar a cabo una programación con mayor exactitud en cada *e-pot* ó elemento del arreglo. Así también, la magnitud de la actualización depende linealmente de la frecuencia de los pulsos V_{iny} y V_{tun} , esto es, la razón de aprendizaje de la celda de memoria depende del número y de la amplitud de los pulsos en cada ciclo ó iteración.

Por otro lado, con base en la Figura 3.1, el inversor y el capacitor se utilizan con el mismo propósito con el que se usaron en la implementación de la celda de memoria del capítulo 2.

3.4.1 Amplificador operacional de transconductancia (OTA)

El diseño del amplificador operacional consiste de una estructura básica de un amplificador operacional. La estructura seleccionada para el diseño, es la de un amplificador operacional de transconductancia (OTA) de dos etapas clase *A* [38], el cual se muestra en la Figura 3.2.

Esta estructura consiste de dos etapas en cascada $V \rightarrow I$ e $I \rightarrow V$. La primera etapa, consiste de un amplificador diferencial que convierte el voltaje de entrada diferencial en corrientes diferenciales. El amplificador diferencial es cargado con un espejo de corriente.

La segunda etapa, consiste de una fuente común que convierte la corriente de entrada de la segunda etapa a voltaje. Este transistor se carga con una corriente de sumidero, que convierte la corriente a voltaje en la salida. La etapa de salida es clase *A*, que significa que la capacidad de sus fuentes o sumideros es fija.

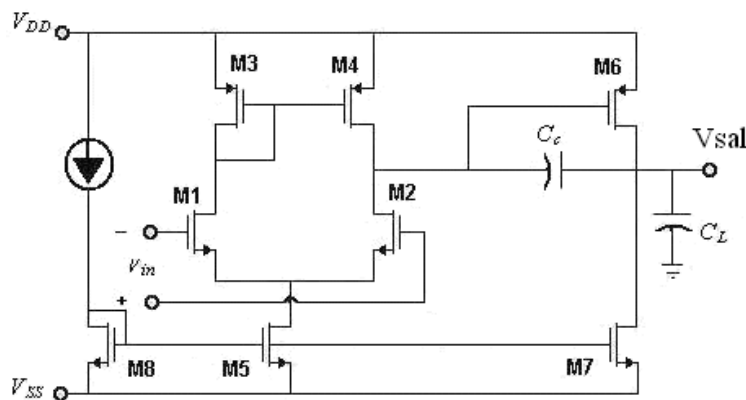


Figura 3.2 Estructura del amplificador operacional de dos etapas.

3.4.2 Amplificador diferencial

El amplificador diferencial de la primera etapa, es uno de los circuitos más versátiles y compatibles con la tecnología de circuitos integrados; su objetivo es amplificar únicamente la diferencia entre los dos potenciales del valor de modo común de entrada. El par diferencial está compuesto por los transistores M1 y M2 de canal N. La carga para M1 y

M2 es el espejo de corriente de canal P. De esta manera si M3 y M4 son iguales, entonces la corriente de M1 determina la corriente en M3, que a su vez, es reflejada en M4. Cuando V_{GS1} (voltaje compuerta-fuente) es igual a V_{GS2} , las corrientes en M1 y M2 serán iguales y la corriente de M4 deberá ser igual a la corriente que M2 requiere, causando que la corriente de salida sea cero. Cuando $V_{GS1} > V_{GS2}$, la corriente I_{D1} se incrementa con respecto a I_{D2} , ya que $I_5 = I_{D1} + I_{D2}$. Este incremento en I_{D1} implica un incremento en I_{D3} e I_{D4} . De esta manera, I_{D2} disminuye cuando V_{GS1} llega a ser más grande que V_{GS2} . Por lo tanto, la única forma para establecer un equilibrio del circuito, es para cuando la corriente de salida sea positiva. Si $V_{GS1} < V_{GS2}$, la corriente de salida es negativa.

Las ecuaciones que determinan el comportamiento del amplificador diferencial son las siguientes:

La resistencia de salida a pequeña señal del amplificador diferencial es:

$$r_{OUT} = \frac{1}{g_{ds2} + g_{ds4}} \quad (3.3)$$

donde g_{ds} es la conductancia de canal drenador-fuente $\approx I_D \lambda$, λ es la modulación de longitud de canal, e I_D es la corriente de drenador.

La ecuación 3.3 implica que se tiene una resistencia grande a la salida del amplificador diferencial. La ganancia de voltaje está dada por la siguiente ecuación:

$$A_v = \frac{g_{m1}}{g_{ds2} + g_{ds4}} = \frac{2}{\lambda_2 + \lambda_4} \left(\frac{K_1 W_1}{I_5 L_1} \right)^{\frac{1}{2}} \quad (3.4)$$

donde g_m es la transconductancia del canal $\cong \sqrt{(2K_1 W_1 / L_1) I_D}$, K_1 es la transconductancia, W_1 es el ancho del canal, L_1 es el largo del canal.

La ecuación 3.4 implica que la ganancia a pequeña señal depende inversamente de la corriente $(I_5)^{1/2}$. La respuesta en frecuencia depende de las capacitancias parásitas del circuito y está dada por la siguiente ecuación:

$$\frac{V_{out}(s)}{V_{id}(s)} \approx \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}} \right) \left(\frac{w_2}{s + w} \right) \quad (3.5)$$

donde $w_2 = \frac{g_{ds2} + g_{ds4}}{C_p}$, donde C_p es la suma de las capacitancias parásitas C_{GS} , C_{GD} y C_{GB} .

La ecuación 3.5 implica que la respuesta en frecuencia consiste de un solo polo.

3.4.3 Amplificador inversor

La segunda etapa consiste de un amplificador inversor, el cual está compuesto por una fuente común (M7) cargada con una fuente de corriente de sumidero (M6). Con este arreglo se logra una mayor ganancia. Esta etapa tiene como objetivo, proporcionar una inversión y una ganancia de voltaje a pequeña señal. Su funcionamiento a pequeña señal se caracteriza por su ganancia de voltaje (A_v), que es más grande que la unidad, su resistencia de entrada (r_{in}), con un valor muy alto (se considera infinita) y su resistencia de salida (r_{out}), que también es alta, pero mucho más pequeña que la de la entrada, de algunos Mega Ohms. Las características de comportamiento del inversor, están determinadas por las siguientes ecuaciones:

$$A_v = \frac{-g_{m6}}{g_{ds6} + g_{ds7}} \quad (3.6)$$

Esta ecuación es muy significativa, ya que establece que la ganancia se incrementa cuando la corriente disminuye, debido a que la conductancia de salida es proporcional a la corriente de polarización, mientras que la transconductancia es proporcional a la raíz cuadrada de la corriente de polarización.

La resistencia de salida está dada por:

$$r_{OUT} = \frac{1}{g_{ds6} + g_{ds7}} \approx \frac{1}{I_D(\lambda_6 + \lambda_7)} \quad (3.7)$$

Finalmente, la función de transferencia está dada por:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{-g_m r}{(s/w_1) + 1} \quad (3.8)$$

donde:

$$w_1 = I/rC, \text{ y } r \approx 1/g_{m7} \text{ y } C = C_{GD6} + C_{GD7} + C_{BD7} + C_{BD6}.$$

La ecuación 3.8 muestra que la frecuencia de corte del inversor disminuye, debido a que la resistencia de salida del inversor es grande, causando que el ancho de banda sea más pequeño.

3.4.4 Compensación del OTA

La compensación del amplificador operacional es del tipo Miller, que se aplica conectando un capacitor de la salida a la entrada de la segunda etapa de transconductancia. El resultado del capacitor de compensación, es mover el polo p_1 hacia el origen del plano de frecuencia compleja, en una cantidad significativa si la ganancia de la segunda etapa es muy grande y a

la vez, el segundo polo p_2 lo mueve hacia fuera del origen del plano de frecuencia compleja. Así mismo, con la retroalimentación negativa, se reduce la resistencia de salida de la segunda etapa. Por lo tanto, la tarea de la compensación en aplicaciones de lazo cerrado, es mover todos los polos y ceros, excepto para el polo dominante p_1 suficientemente lejos del origen del plano de frecuencia compleja para tener como resultado un corrimiento de fase, aumentando de esta manera su margen de fase y en consecuencia que el amplificador sea estable.

La importancia de tener una buena estabilidad con un margen de fase adecuado, es la de tener menor “sobre disparos” en la señal de salida. De esta manera, una medida de la estabilidad es dada por el valor de la fase cuando la ganancia es unitaria y es llamada margen de fase. Es deseable tener un margen de fase entre 45° y 60° en la mayoría de las situaciones.

Las dos etapas descritas anteriormente, determinan una aproximación general para la compensación y diseño del amplificador operacional con las siguientes ecuaciones de comportamiento:

Ganancia de la primera etapa:

$$A_{v1} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} = \frac{2}{\lambda_2 + \lambda_4} \left(\frac{K_1 W_1}{I_5 L_1} \right)^{\frac{1}{2}} \quad (3.9)$$

Ganancia de la segunda etapa:

$$A_{v2} = \frac{-g_{m6}}{g_{ds6} + g_{ds7}} \quad (3.10)$$

La ganancia baja del amplificador diferencial, es aumentada por la ganancia de la etapa inversora.

3.4.5 Especificaciones del diseño

Una vez seleccionada y analizada la estructura del amplificador operacional de transconductancia (OTA), la siguiente etapa es la selección de las especificaciones y requerimientos que serán usados en el desarrollo del diseño. Estas, son presentadas en la Tabla 3.1. Las especificaciones de diseño fueron seleccionadas en atención a las consideraciones de realizar un diseño sencillo y aceptable [38] para caracterizar su funcionalidad con base en tener una potencia baja, buena precisión y velocidad de respuesta, así como a la tecnología CMOS de $1.2 \mu\text{m}$.

Los valores obtenidos teóricamente de la transconductancia de los dispositivos CMOS son: $68.78 \mu A/V^2$ y $23 \mu A/V^2$ para canal N y P respectivamente.

TABLA 3.1
ESPECIFICACIONES DE DISEÑO DEL AMPLIFICADOR OTA.

ESPECIFICACIÓN	VALOR
Voltaje de alimentación	5 V
Corriente de alimentación	10 μ A
Ganancia	≥ 60 dB
Ancho de banda	10 MHz
Voltaje de salida	0-5.5V
Capacitor de compensación	300 fF
Capacitancia de carga	5pF
ICMR	-1 a 1 V
Slew rate	10 V/ μ s
Potencia de disipación	≤ 0.5 mW

De esta manera, asumiendo que todos los transistores del amplificador operacional están en saturación, la relación de aspecto de los transistores se resume en la Tabla 3.2.

TABLA 3.2
RELACION DE ASPECTO DE LOS TRANSISTORES DEL AMPLIFICADOR OTA.

	M1	M2	M3	M4	M5	M6	M7	M8
W/L(μ m)	24/1.2	24/1.2	6/6	6/6	6/6	12/1.2	6/6	6/6

3.5 Patrón geométrico del *e-pot*

La Figura 3.3 muestra el diseño del patrón geométrico del circuito *e-pot*, fabricado con tecnología CMOS de 1.2 μ m de MOSIS. Consiste de los dispositivos que se muestran en la Figura 3.1. El patrón geométrico fue diseñado tomando en cuenta las reglas de diseño y optimizado para soportar el mejor funcionamiento y asegurar un blindaje para eliminar posibles corrientes de fuga, que no altere el objetivo del comportamiento especificado. Para ello, el diseño del patrón geométrico fue realizado con anillos de guarda.

3.6 Disminución del voltaje de salida

Para evaluar el tuneo de electrones en la celda *e-pot*, se realizaron diferentes iteraciones aplicando un pulso de 10 segundos con una amplitud de 25 V, aplicados en la terminal de tuneo.

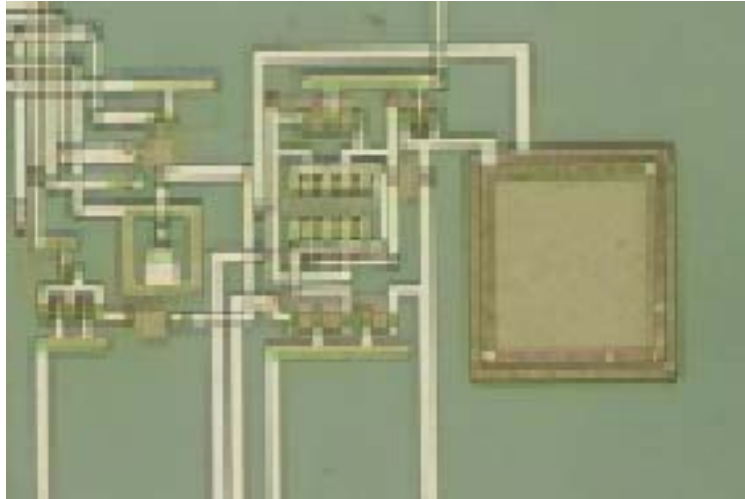


Figura 3.3. Patrón geométrico del potenciómetro electrónico (*e-pot*).

La manera más simple de aplicar el tuneo en la celda *e-pot*, fue colocar directamente un voltaje de pulsos de 10 seg. y de 0 a 25V, cada uno en la terminal de tuneo mostrado en la Figura 3.1. El voltaje V_{bias} aplicado fue de 2.5V con un voltaje de polarización V_{DS} en el transistor M1 igual a 6 V. La terminal de inyección fue colocada a tierra.

Bajo estas condiciones, se llevaron a cabo las pruebas a la celda *e-pot*, tomándose las lecturas de los voltajes de salida. La Figura 3.4 muestra 66 voltajes de salida de la celda *e-pot*, obtenidos mediante 66 iteraciones.

Como puede observarse, la respuesta que presenta la curva tiene un comportamiento lineal descendente, lo que permite tener una caracterización de predicción cuantitativa acerca de los valores del voltaje de salida con base a un determinado número de iteraciones de pulsos (de ancho y amplitud fijos). Para esta prueba, la disminución de la amplitud del voltaje de salida, presentó un promedio de 32mV por cada iteración. No obstante, si se modificaran los pulsos de tuneo aplicados, esto es, con diferente ancho y amplitud, la relación de cambio en el voltaje de salida, será diferente.

Así también, de la gráfica se puede deducir que cuando son aplicados los pulsos de tuneo, la carga en la compuerta flotante aumenta, teniéndose como resultado que el voltaje de salida del amplificador disminuye.

Para verificar que la modificación de la carga depende de la cantidad de pulsos (con amplitud y ancho fijos), se realizó el mismo experimento, pero ahora aplicando las iteraciones con un pulso de 5 segundos de duración y con la misma amplitud de 25 V. Las lecturas obtenidas, se graficaron en la Figura 3.5, que muestra una similitud con las lecturas obtenidas en el primer experimento graficadas en la Figura 3.4. En esta gráfica, la curva también presenta un comportamiento lineal, solo que como se puede observar, la

disminución del voltaje de salida presenta una razón de cambio diferente, pero proporcional a la obtenida con pulsos del doble de ancho, debido a que estas últimas presentan un cambio promedio de 16mV por iteración.

En otras palabras, esto significa que con pulsos de la mitad de ancho, pero con la misma amplitud, la resolución aumenta. Por lo tanto, la resolución de las celdas de memoria dependerá de la amplitud y periodo de los pulsos de tuneo, o sea de la frecuencia de los pulsos de voltaje aplicados en la terminal de tuneo de la celda de memoria.

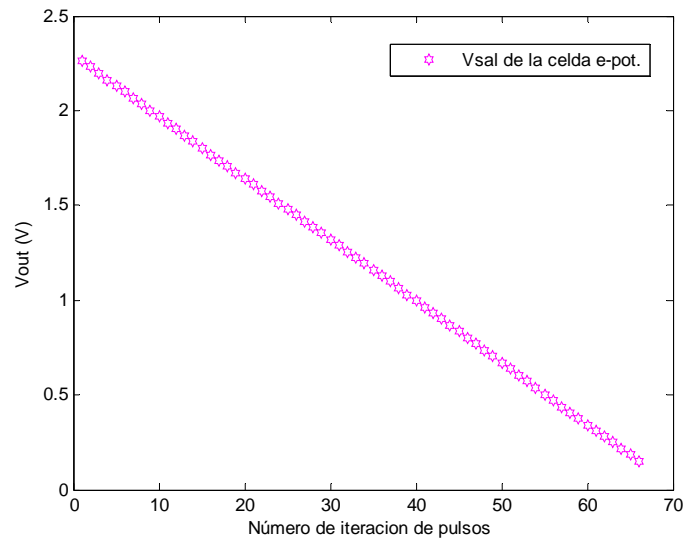


Figura 3.4. Voltaje de salida de la *e-pot* con pulsos de tuneo de 10 seg y amplitud de 25V.

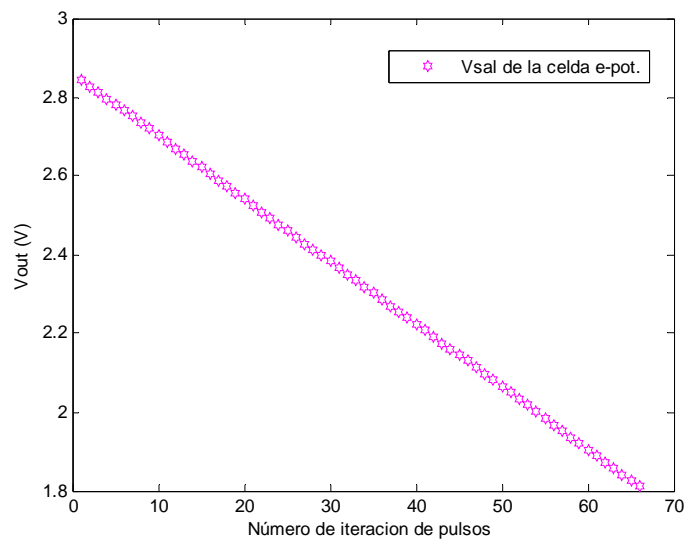


Figura 3.5 Voltaje de salida de la *e-pot* con pulsos de tuneo de 5seg y amplitud de 25V.

Para verificar la no-volatibilidad de la celda *e-pot*, el último resultado obtenido en la figura 3.5, se midió 48 horas después, encontrándose una variación promedio de las lecturas

obtenidas de 2mV. Cabe mencionar que se tomó esta lectura para 4 *e-pots*. La posible justificación de tener dicha variación puede atribuirse a los cambios de temperatura del ambiente en donde permaneció la celda *e-pot* durante ese tiempo [42].

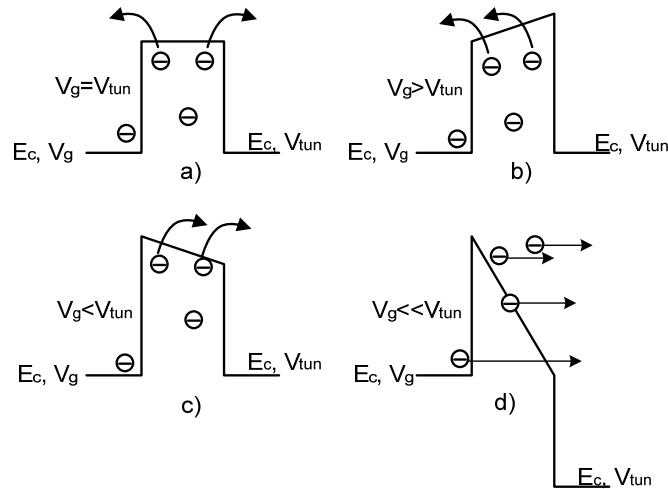


Figura 3.6. Electrones atrapados en el capacitor de tunelamiento que son removidos térmicamente. a) Cuando no se aplica voltaje en el óxido. b) Cuando se aplica un voltaje. c). cuando V_{tun} es más grande que V_g . d). Cuando V_{tun} es mucho más grande que V_g .

Para ilustrar la variación del voltaje de salida del *e-pot*, la Figura 3.6, muestra diferentes posibles estados para el capacitor de tunelamiento. Por ejemplo, cuando existen electrones atrapados en el dieléctrico del capacitor de tunelamiento pueden ser excitados térmicamente hacia el borde de la banda de conducción del óxido y escapar hacia el óxido de silicio. Cuando son atrapados, estos electrones formarán parte de la carga negativa almacenada en la CF. Por lo tanto, influirán en el voltaje de salida de la celda *e-pot*. En el otro caso, electrones que escapan hacia la unión de tunelamiento, se pierden en el capacitor y consecuentemente también alteran el voltaje de salida de la celda *e-pot*.

3.7 Incremento del voltaje de salida

Para la evaluación del incremento del voltaje de salida, se aplicó la inyección de electrones mediante iteraciones de pulsos cuadrados. Cada iteración consistió de 10 pulsos cuadrados de 0.1 Hz de frecuencia, con una amplitud de 0 a -2V, aplicados en el drenador del transistor de inyección. El voltaje V_{bias} aplicado fue de 2.5V con un voltaje de polarización V_{DS} en el transistor M1 igual a 6 V. La terminal de tunelamiento fue colocada a tierra.

La manera más simple de aplicar la inyección a las celdas de memoria fue aplicar directamente las iteraciones de pulsos en la terminal de inyección de la Figura 3.1. Bajo estas condiciones, se realizaron las pruebas para verificar el comportamiento de la celda *e-pot*, tomándose las lecturas de los voltajes de salida. La Figura 3.7 muestra 66 voltajes de salida de la celda *e-pot*, obtenidos mediante 66 iteraciones. Como puede observarse, la

respuesta que presenta la curva tiene un comportamiento lineal ascendente, lo que permite tener una caracterización de predicción cuantitativa acerca de los valores del voltaje de salida con base a un determinado número de iteraciones de pulsos de ancho y amplitud fijos.

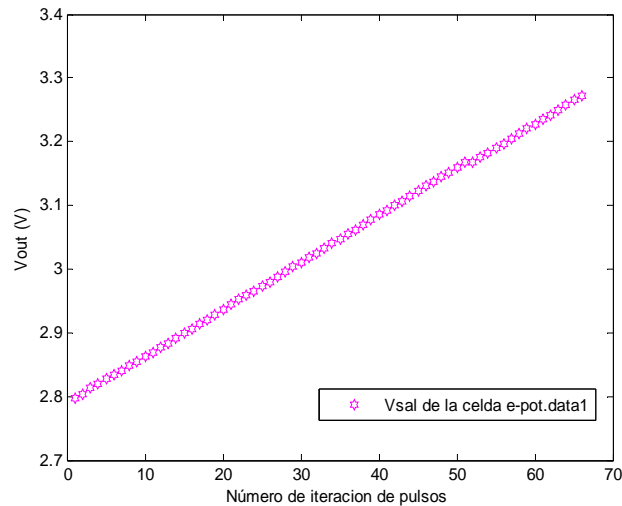


Figura 3.7. Mediciones experimentales que ilustran el funcionamiento del mecanismo de inyección en la celda *e-pot*.

El incremento en la amplitud del voltaje de salida de la celda *e-pot*, presentó un promedio de 7mV por cada iteración. No obstante, si se modificaran los pulsos de inyección aplicados, esto es, con diferente ancho y amplitud, la relación de cambio en el voltaje de salida, sería diferente.

3.8 Análisis de resultados

Los resultados experimentales obtenidos de la celda *e-pot*, permiten establecer el comportamiento de la celda *e-pot* con relación a la aplicación del tuneleo e inyección para poder determinar el incremento y/o disminución del voltaje de salida, así como su resolución específica.

La aplicación de la inyección, es necesaria para determinar la disminución de la carga en la compuerta flotante y con ello, la posibilidad de determinar el incremento del voltaje de salida del amplificador. De esta manera, la obtención de los voltajes de salida, mediante la aplicación de la inyección, permitirán determinar la cuantificación del comportamiento de la celda *e-pot* para una determinada aplicación, aún cuando para estos fines ya no sea posible que a partir de una sola medida, se obtengan todos los parámetros de la celda de memoria.

En el otro caso, la aplicación del tuneleo, permite remover electrones de la compuerta flotante, incrementando su voltaje, causando que el voltaje de salida de la celda *e-pot* se

aproxime a un potencial de cero. Esta técnica de tuneo con base en la arquitectura de la celda *e-pot*, se revela como una técnica alternativa para poder “borrar” y/o disminuir de una manera fácil, un voltaje de referencia, con una alta exactitud y resolución.

3.9. Circuito fuente de voltaje

A continuación se presenta un circuito analógico alternativo para suministrar voltajes de referencia de alta exactitud, una vez mas, usando la memoria CMOS de compuerta flotante. El voltaje de salida del circuito es fácilmente programado, modificando el valor de la carga de la compuerta flotante a través de la inyección y tuneo de electrones. Además, el circuito podrá manejar una carga resistiva.

De esta manera, aún cuando actualmente, existen diferentes circuitos analógicos de fuentes de voltaje que soportan voltajes de referencia, es importante que la arquitectura pueda proporcionar una operatividad con alta exactitud. Sin embargo, algunas de estas arquitecturas no presentan una buena funcionalidad y en algunos casos, no pueden manejar cargas resistivas [41]. Por lo tanto, el diseño de un circuito analógico fuente de voltaje que proporcione valores fijos sin ninguna fluctuación significativa durante su operación, requiere la especificación de parámetros de exactitud y circuitos mejorados cuya funcionalidad deberá de ser con gran eficiencia.

Así entonces, para lograr lo anterior, los parámetros de diseño del circuito fuente de voltaje deben elegirse apropiadamente para operar eficientemente en términos de capacidad, resolución, área de silicio y disipación de potencia. De aquí se deriva la importancia de la propuesta de un diseño analógico de fuente de voltaje cuya característica más importante es su programación a través de la inyección y tuneo, para obtener una alta precisión y exactitud. Asimismo, debe tener la capacidad de ser ajustable [43].

3.10 Análisis del circuito fuente de voltaje

El circuito se muestra en la Figura 3.8, el cual, como se puede observar es similar al circuito de la Figura 3.1, con la diferencia del transistor M5 que opera para reducir la resistencia de salida en el nodo V_o . El circuito utiliza:

- ❖ Una memoria CMOS de compuerta flotante (*CF*). La carga en la *CF* es modificada mediante la inyección y tuneo de electrones.
- ❖ Un transistor pMOS como transformador de impedancia.

De esta manera, la corriente I_{DS5} determina el valor del voltaje V_p . Por lo tanto I_{DS5} será:

$$I_{DS5} = I_{DS3} + I_{carga} \quad (3.11)$$

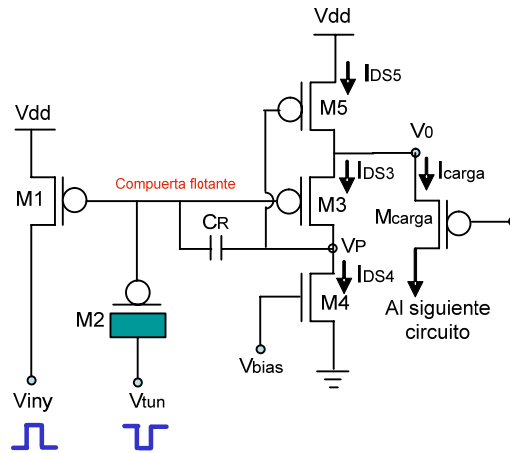


Figura 3.8. Circuito fuente de voltaje con memoria de compuerta flotante.

Cuando el voltaje de la compuerta flotante V_{CF} aumenta, el voltaje de salida V_0 aumenta. Su comportamiento es similar a la de una rampa lineal, cuya pendiente en este caso, es el valor de la corriente de tuneleo, escalada por N iteraciones de pulsos de amplitud y ancho fijos. En el otro caso, el comportamiento es al contrario, esto es, cuando el voltaje de la compuerta flotante V_{CF} disminuye, el voltaje de salida disminuye. Asimismo, V_0 es insensible a los parámetros de los dispositivos.

Ahora, cuando V_p disminuye, el voltaje de salida aumenta, causando que el transistor M4 opere en la región lineal. Por esta razón, el voltaje de salida máximo esta restringido por la operación en la región de saturación de M4. En el otro caso, cuando V_p se incrementa, el voltaje de salida disminuye, causando que M3 opere en la región lineal. Consecuentemente, M3 y M4 deberán estar operando en la región de saturación. Por lo tanto, el voltaje de salida mínimo también esta restringido por la operación en la región de saturación de M3.

3.11 Funcionamiento

El objetivo importante para conocer claramente el comportamiento del circuito, tiene que ver con la evaluación del grado en que el circuito es capaz de operar en la forma deseada. Las pruebas experimentales serán los puntos indicadores para conocer el rendimiento en función del objetivo.

De esta manera, con el propósito de incrementar la carga en la compuerta flotante para reducir el voltaje en el nodo V_p , y consecuentemente incrementar el voltaje de salida (V_0), las pruebas se desarrollaron aplicando el tuneleo de electrones. Para ello, se realizaron dos pruebas, cada una de ellas con diferente voltaje V_{bias} aplicado. Los resultados experimentales se muestran en las Figuras 3.9 y 3.10 respectivamente.

En el primer caso, se aplicaron 20 iteraciones con pulsos de 26V de amplitud, 5 segundos de duración cada uno y un voltaje de V_{bias} de 1V. En cada iteración, la amplitud del voltaje

de salida V_p , tuvo una disminución promedio de 16mV. Para la segunda prueba, se aplico un voltaje V_{bias} de 1.5V, con la misma frecuencia de los pulsos, también para 20 iteraciones. Para este caso, la amplitud del voltaje V_p , tuvo una disminución promedio de 38mV.

Estos resultados muestran, que la “fuerza” del tuneleo es mucho mejor con voltajes de V_{bias} más grandes. Por otro lado, la respuesta de la celda de memoria es esencialmente lineal a través del intervalo del voltaje de salida con base al número de iteraciones de pulsos de amplitud y ancho fijos. Esta característica de operación, permite asociar el voltaje de salida con la iteración de pulsos. De este modo, se puede tener una predicción cuantitativa del voltaje en el nodo V_p y consecuentemente en el voltaje de salida.

Por lo tanto, la resolución de la memoria para reducir su voltaje estará en función, una vez más, de la amplitud y ancho de los pulsos y de la “fuerza” del tuneleo, que es establecido por el voltaje de V_{bias} .

En el otro caso, la inyección también es activada mediante la aplicación de pulsos con amplitud y ancho fijos. La inyección, reduce la carga en la compuerta flotante, incrementando el voltaje en el nodo V_p , y consecuentemente disminuyendo el voltaje de salida (V_0).

Como ejemplo, la Figura 3.11 muestra el resultado de la evaluación experimental del voltaje en el nodo V_p , bajo condiciones de inyección. Cada lectura del voltaje en V_p , es obtenido a través de 20 iteraciones de 10 pulsos con una amplitud de 0 a -2V, ancho de 0.1segundos cada una y $V_{bias}=1V$. Como se puede observar, la amplitud del voltaje en el nodo V_p se incrementa, con un promedio de 20mV. Se puede observar que el comportamiento es lineal. Esto significa que aplicando una modulación de pulsos diferente, ya sea mayor o menor, el voltaje de salida en el nodo V_p será diferente y consecuentemente su salida.

Con respecto a la resolución, el comportamiento de este mecanismo es similar al tuneleo, pero inversamente. También, la resolución será controlada por los pulsos de amplitud y ancho fijos y por la “fuerza” de la inyección, la cual es controlada por el voltaje V_{bias} .

Finalmente, los resultados de simulación del circuito propuesto se muestran en las Figuras 3.12 y 3.13, donde se puede observar que el voltaje de salida (V_0), en el transistor de carga M_L disminuye y permanece constante después de aplicar la inyección con 2 pulsos.

Los parámetros usados para estas pruebas, tanto para el tuneleo como para la inyección son mostrados en la tabla 3.3, la cual, proporciona información de los valores de los voltajes, para activar ambos procesos, con base en la tecnología de 1.2 μm de MOSIS

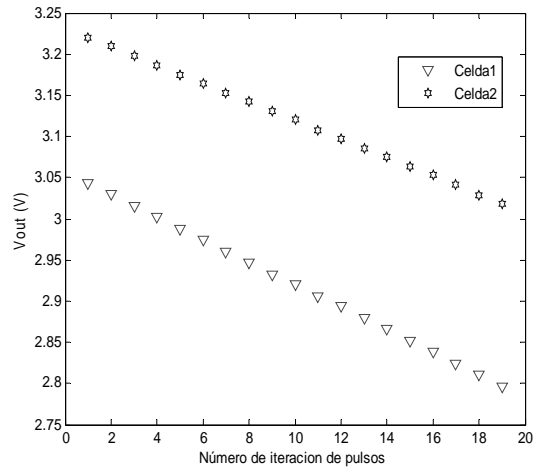


Figura 3.9. Tuneleo aplicado a la fuente de voltaje con pulsos de 26V y 5seg de ancho y $V_{bias} = 1V$.

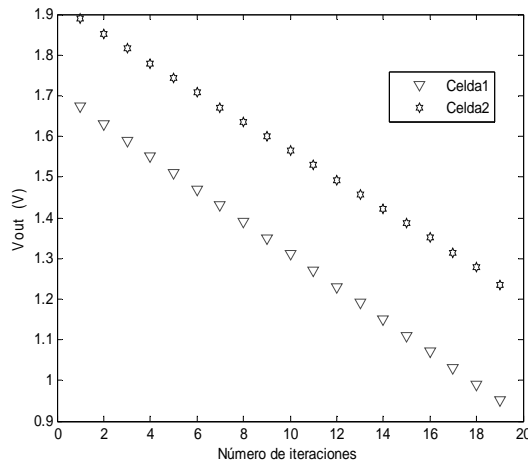


Figura 3.10. Tuneleo aplicado a la fuente de voltaje con pulsos de 26V y 5seg de ancho y $V_{bias} = 1.5V$.

3.12 Análisis de resultados finales

Con base en los resultados obtenidos, el circuito propuesto permite:

- ❖ Facilidad de operación y programación dentro del C.I.
- ❖ La salida de baja impedancia, proporciona una mejor regulación.
- ❖ Opera con alta exactitud.
- ❖ Implementado en arreglos, disminuye el uso de pins en un C.I.

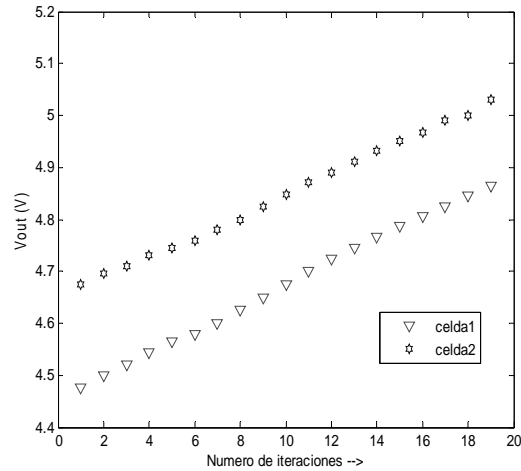


Figura 3.11. Inyección aplicada a la fuente de voltaje con 10 pulsos de 0 a -2V, 0.1s de ancho en cada iteración y $V_{bias} = 1V$.

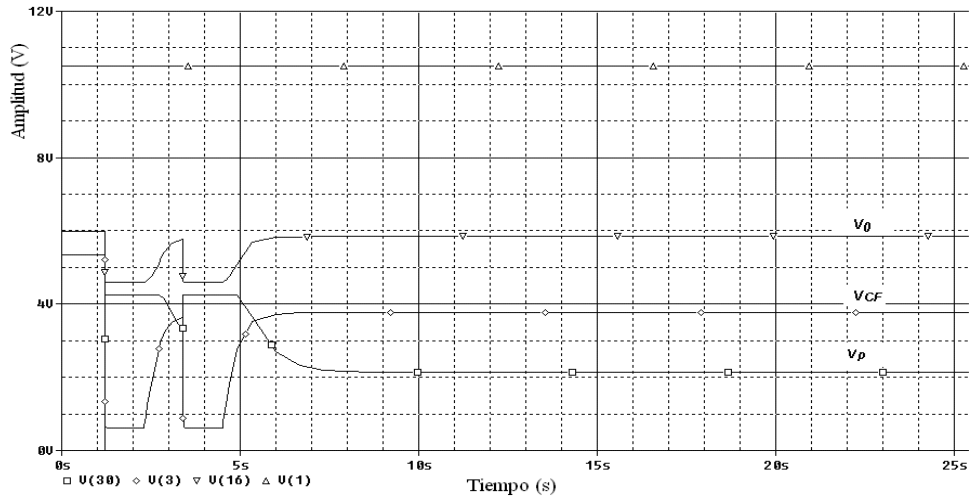


Figura 3.12. Programación con 2 pulsos de inyección.

TABLA 3.3
VOLTAJES USADOS PARA LA INYECCIÓN Y TUNELEO.

Mecanismo	$V_{tun}(V)$ (pulsos)	$V_{iny}(V)$ (pulsos)	Duración Pulsos	V_{bias} (V)
Tuneleo (prueba 1)	0 a 26	0	10 seg.	1
Tuneleo (prueba 2)	0 a 26	0	5 seg	1.5
Inyección	0	0 a -2	0.1 seg	1

3.13 Conclusiones del capítulo 3

En este capítulo se presentó la implementación de dos circuitos electrónicos similares, para implementar internamente en el circuito integrado un potenciómetro electrónico y una fuente de voltaje, usando la celda de memoria analógica, con el propósito de disminuir el uso de terminales en el circuito integrado para aplicar voltajes de referencia.

Para ello, se describió el funcionamiento de cada uno a través de su operación y programación aplicando la inyección y tuneo de electrones. Los resultados medidos experimentalmente de los dos circuitos indican un buen desempeño en su funcionamiento. Por lo tanto, estos circuitos tienen la confiabilidad y viabilidad para ser utilizados en diversas aplicaciones en donde se requiera de voltajes de referencia.

Capítulo 4

Línea de retardo diferencial variable

En este capítulo, se presenta una propuesta de diseño de una línea de retardo analógica, con el propósito de verificar el funcionamiento del transistor de compuerta flotante operando a través del acoplamiento capacitivo. La línea de retardo, podrá ser utilizada en la implementación de un sistema de aprendizaje utilizando el algoritmo de aprendizaje LMS (least means square), para realizar el retardo que se necesita a través del vector de pesos del sistema. Este circuito será implementado a través de filtros G_m - C , conectados en serie.

4.1 Introducción

En el dominio analógico, los circuitos de línea de retardo no son muy comunes, pero en determinadas ocasiones se diseñan con el propósito de que éstos sean compatibles con fuentes de señales de entrada analógicas. En muchos casos, las líneas de retardo analógicas son usadas para recorrer la fase [44].

Por otro lado, actualmente, existen diferentes topologías ó estructuras de filtros G_m - C , que han sido diseñadas y utilizadas para implementar en VLSI filtros en tiempo continuo con una frecuencia de operación alta. Así también, los transconductores CMOS, tienen una respuesta en frecuencia más alta que los amplificadores operacionales y pueden ser diseñados para aplicaciones específicas [45,46].

Por lo tanto, este diseño propone el uso del transistor MOS de CF para diseñar una línea de retardo totalmente diferencial y ajustable, cuyo principal bloque de procesamiento es un integrador lineal G_m - C , basado en [47, 48]. Además, debido a que el voltaje de umbral del transistor de CF puede ser controlado a través de voltajes de entrada acoplados capacitivamente a la CF, ayudará a reducir el voltaje de alimentación sin tener que reducir el intervalo del voltaje de entrada, así como reducir la potencia promedio de disipación [8].

El integrador está basado en la linealidad y en el rango de entrada en modo común de un transconductor MOS de CF, operando en la región óhmica. El transconductor podrá ser sintonizado ó ajustado variando un voltaje de polarización aplicado en la entrada negativa de un amplificador de retroalimentación, el cual, a su vez cambiará linealmente la transconductancia y en consecuencia, el tiempo de retardo.

El diseño está enfocado en el rango de las frecuencias de audio, con un voltaje de alimentación de 1.5 V. Para un funcionamiento apropiado, la frecuencia de la señal de entrada, deberá ser menor que la frecuencia de corte de cada uno de los filtros, y la ganancia de cada uno de ellos debe ser la misma. Para tener la misma ganancia en cada filtro, se ajustará la relación de aspecto de los transistores.

4.2 Integrador diferencial G_m - C

El circuito del integrador diferencial se muestra en la Figura 4.1, consiste de un integrador G_m - C en modo voltaje, en donde la etapa de entrada es un par diferencial compuesto por 2 bloques N1, uno a la derecha y el otro a la izquierda del esquema del circuito. El par diferencial consiste de transistores de compuerta flotante nMOS M1/M1r, cargados con un espejo de corriente (M3/M3r), el cual, espejea la corriente que fluye a través de M1/M1r a un transistor nMOS conectado en modo de diodo (M4/M4r), el cual a su vez, opera como el dispositivo de entrada de una nueva configuración de espejo, generando una copia (positiva y negativa) de esa corriente.

Por otro lado, debido a que el espejo de corriente operando como carga, puede subir el límite mas bajo del rango de entrada en modo común, también elevaría el voltaje de alimentación mínimo de la etapa de entrada. Para contrarrestar esto, se utiliza un arreglo en cascode (N4), para compensar y amplificar la señal de salida. Finalmente, una réplica positiva y negativa escalada (1:k) de las corrientes positivas y negativas son sustraídas en los nodos de salida (V_{outp}/V_{outn}) con el propósito de tener al integrador insensible a los parámetros de los dispositivos y generar la corriente de salida I_{out} . Estas corrientes están dadas por las siguientes expresiones

$$I_{out p} = \beta \left[\left(\sum_{i=1}^N \frac{C_i}{C_T} V_i - V_T \right) V_D \right] \quad (4.1)$$

$$I_{out n} = \beta \left[\left(\sum_{i=1}^N \frac{C_i}{C_T} V_i - V_T \right) V_D \right] \quad (4.2)$$

Generando una corriente de salida que fluirá a través del capacitor de integración, dada por:

$$I_{out} = \beta_1 \sum_{i=1}^N \frac{C_i}{C_T} V_b (V_{ip} - V_{in}) \quad (4.3)$$

donde β es el parámetro de transconductancia, C_i son las capacitancias de acoplamiento de entrada, C_T es la capacitancia total, V_{ip} son los voltajes de entrada en el lado p y V_{in} son los voltajes de entrada para el lado n.

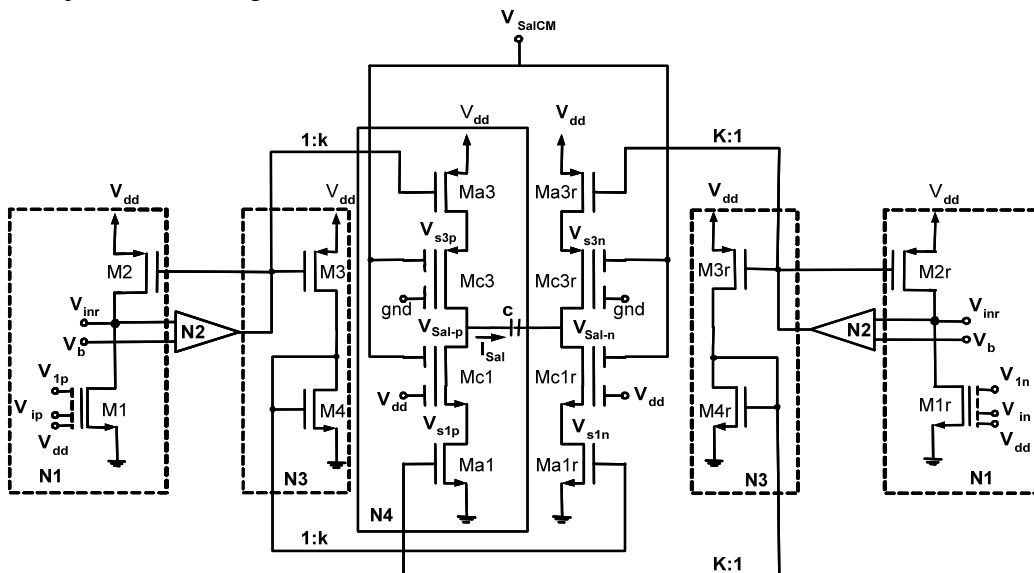


Figura 4.1. Integrador G_m -C diferencial.

La ec. (4.3) representa la función totalmente diferencial de un transconductor lineal de múltiples entradas, cuya transconductancia puede ser variada a través del voltaje V_b de polarización de la entrada negativa del amplificador (ver figura 4.1), y consecuentemente el tiempo de retardo.

4.3 Transconductor

La función de transconductancia (bloque N1), es implementada como se comentó anteriormente, explotando las características del transistor CFMOS polarizado en la región óhmica, en donde la transconductancia (g_m) es proporcional a su corriente de drenador, la cual, se mantiene constante por el lazo de retroalimentación constituido por el amplificador ajustable (N2). Las ecuaciones de diseño se obtienen a partir del análisis del circuito equivalente a pequeña señal que se muestra en la Figura 4.2. Con esto, la síntesis del procedimiento inicia definiendo las siguientes capacitancias parásitas:

$C'_1 = C_{GDI}$, $C'_2 = C_{DB1} + C_{DB2} + C_{LN2}$, and $C'_3 = C_{GD2}$; A_V , es la ganancia a pequeña señal del amplificador ajustable de retroalimentación (N2).

De esta forma, el voltaje a pequeña señal en la compuerta flotante está dado por:

$$V_{FG} = \frac{C_{in}}{C_T} V_{in} + \frac{C'_1}{C_T} V_{inr} \quad (4.4)$$

donde V_{in} es el voltaje de entrada, C_{in} es la capacitancia de acoplamiento.

Ahora, la corriente en el nodo V_{inr} es:

$$(v_{inr} - V_{FG})sC'_1 + g_{m1}V_{FG} + g_{m2}A_V v_{inr} + v_{inr}g_{ds1} + v_{inr}g_{ds2} + v_{inr}C'_2 + (v_{inr} - A_V v_{inr})sC'_3 = 0 \quad (4.5)$$

Resolviendo para v_{inr} y sustituyendo (4.5) en (4.4), tenemos:

$$v_{inr} = \frac{-\left(\frac{C_{in}}{C_T}\right)(g_{m1} - sC'_1)V_{in}}{g_{m2}A_V + g_{ds2} + g_{ds1} + g_{m1}\left(\frac{C'_1}{C_T}\right) + s\left[C'_1 + C'_2 + (1 - A_V)C'_3 - \left(\frac{C'_1}{C_T}\right)\right]} \quad (4.6)$$

Luego, considerando $g_m = \frac{i_D}{v_{gs}}$, donde $v_{gs} = v_{inr}$, y resolviendo para la corriente a través del transistor M3, configurado como espejo de corriente con M2, se tiene:

$$i_{out} = \frac{\left(\frac{c_{in}}{c_T}\right) g_{m2} A_V (g_{m1} - sC_1') V_{in}}{g_{m2} A_V + g_{ds2} + g_{ds1} + g_{m1} \left(\frac{c_1'}{c_T}\right) + s \left[C_1' + C_2' + (1 - A_V) C_3' - \left(\frac{c_1'^2}{c_T}\right) \right]} \quad (4.7)$$

En (4.6), se puede observar que la corriente de salida del transistor M1, espejeada a M3, es multiplicada por la ganancia de N2, como se muestra en la Figura 4.3. La corriente de salida tiene una mejor linealidad y ganancia, que incrementan el rango dinámico, debido a que el voltaje drenador-fuente de M1, es regulado a un valor fijo por el voltaje de polarización V_b de N2. La ventaja que presenta esta configuración, es que el lazo de retroalimentación incrementa la estabilidad, aún cuando el transistor M1 opere en la región óhmica, incrementando el rango útil.

4.4 Amplificador ajustable N2

Un aspecto de operabilidad del bloque N1, es que es afectado por el amplificador de retroalimentación N2, por lo que a continuación se analizará este amplificador.

El amplificador ajustable (N2), así como su circuito equivalente a pequeña señal se muestra en la Figura 4.4. Consiste de un par diferencial pMOS con transistores nCFMOS actuando como carga. La entrada V_{inr} es comparada con el valor del voltaje de referencia V_b , y si sus valores no son iguales, la diferencia es amplificada en el nodo de salida ($V_{out(N2)}$), el cual, es conectado a la compuerta del transistor pMOS M2, del bloque N1.

El análisis inicia definiendo las siguientes capacitancias parásitas

$$C_{02} = C_{VDD} + 2C_{GSn} + 2C_{GBn}, \quad C_{22} = C_{DBn} + C_{DBp} + C_{GDp} + C_L, \quad \text{and} \quad C_{42} = C_{DBn} + C_{DBp}$$

Ahora, usando KCL en el nodo V_{CF} , se tiene:

$$(v_{CF} - v_{out(N2)})s c_{GDn} + V_{FG} c_{02} + (v_{FG} - v_R)s (c_R + c_{GDn}) = 0 \quad (4.8)$$

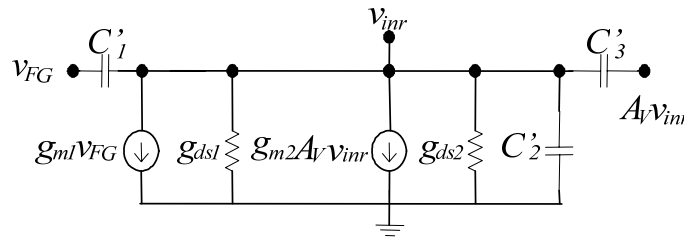


Figura 4.2. Circuito equivalente a pequeña señal para N1.

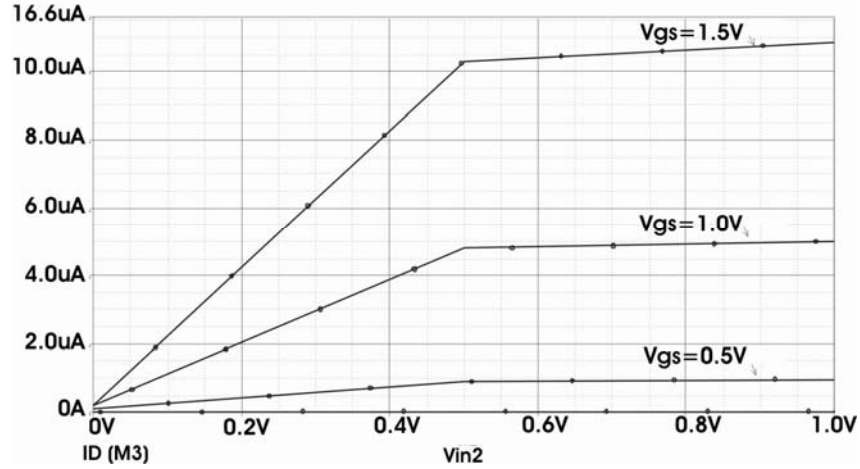


Figura 4.3. Corriente de salida del transistor N1.

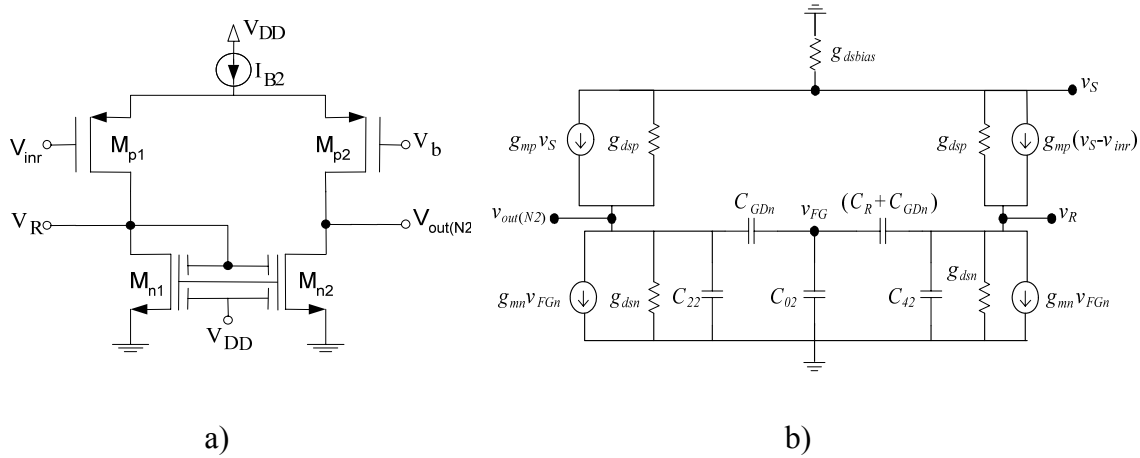


Figura 4.4. a) Amplificador N2 y b) su circuito equivalente a pequeña señal.

Rearreglando términos, se obtiene:

$$v_{CF} = \frac{C_{GDn}}{C_T} v_{out(N2)} + \frac{(C_R + C_{GDn})}{C_T} v_R \quad (4.9)$$

Ahora, analizando en el nodo $v_{out(N2)}$, se tiene:

$$v_{out(N2)} s C_{22} - g_{mp} \left(\frac{v_{inr}}{2} \right) + g_{mn} v_{CF} + g_{dsn} v_{out(N2)} + (v_{out(N2)} - v_{CF}) s C_{GDn} + g_{dsp} v_{out(N2)} = 0 \quad (4.10)$$

Aplicando KCL en el nodo v_R se obtiene:

$$g_{dsp} v_R + g_{dsn} v_R + g_{mp} \left(\frac{v_{inr}}{2} \right) + g_{mn} v_{CF} + s C_{42} v_R + (v_R - v_{CF}) s (C_R + C_{GDn}) = 0 \quad (4.11)$$

Sustituyendo (4.9) en (4.11), se obtiene V_R como:

$$V_R = \frac{-g_{mp} \left(\frac{V_{inr}}{2} \right) - g_{mn} \left(\frac{C_{GDn}}{C_T} \right) V_{out(N2)} + s(C_R + C_{GDn}) \left(\frac{C_{GDn}}{C_T} \right) V_{out(N2)}}{g_{dsp} + g_{dsn} + s(C_R + C_{GDn}) + g_{mn} \left(\frac{C_R + C_{GDn}}{C_T} \right) - s(C_R + C_{GDn}) \left(\frac{C_R + C_{GDn}}{C_T} \right)} \quad (4.12)$$

Sustituyendo (4.12) y (4.9) en (4.10) y resolviendo para $V_{out(N2)}/V_{inr}$, se obtiene la función de transferencia del amplificador ajustable N2 como:

$$\frac{V_{out(N2)}}{V_{inr}} = \frac{\left(\frac{g_{mp}}{2} \right) \left(\frac{s}{P_1} + 1 \right)}{A_1 s^2 + B_1 s + D_1} \quad (4.13)$$

donde P_1 , A_1 , B_1 y D_1 , están dados por:

$$P_1 = \frac{g_{dsp} + g_{dsn} + 2g_{mn} \left(\frac{C_R + C_{GDn}}{C_T} \right)}{C_{42} + C_R + C_{GDn} - (C_R + C_{GDn}) \left(\frac{C_R + 2C_{GDn}}{C_T} \right)} \quad (4.14)$$

$$A_1 = \left(C_{22} + C_{GDn} - \frac{C_{GDn}^2}{C_T} \right) \left[C_{42} + C_R + C_{GDn} - (C_R + C_{GDn}) \left(\frac{C_R + C_{GDn}}{C_T} \right) \right] - \frac{C_{GDn}^2}{C_T} (C_R + C_{GDn}) \left(\frac{C_R + C_{GDn}}{C_T} \right) \quad (4.15)$$

$$B_1 = g_{mn} \left(\frac{C_{GDn}}{C_T} \right) (C_R + C_{GDn}) \left(\frac{C_R + C_{GDn}}{C_T} \right) + g_{mn} \left(\frac{C_{GDn}^2}{C_T} \right) \left(\frac{C_R + C_{GDn}}{C_T} \right) + \left(C_{22} + C_{GDn} - \frac{C_{GDn}^2}{C_T} \right) \left[g_{dsp} + g_{dsn} + g_{mn} \left(\frac{C_R + C_{GDn}}{C_T} \right) \right] + \left[C_{42} + C_R + C_{GDn} - (C_R + C_{GDn}) \left(\frac{C_R + C_{GDn}}{C_T} \right) \right] \left[g_{dsn} + g_{dsp} + g_{mn} \left(\frac{C_{GDn}}{C_T} \right) \right] \quad (4.16)$$

$$D_1 = \left[g_{dsn} + g_{dsp} + g_{mn} \left(\frac{C_{GDn}}{C_T} \right) \right] \left[g_{dsp} + g_{dsn} + g_{mn} \left(\frac{C_R + C_{GDn}}{C_T} \right) \right] - g_{mn} \left(\frac{C_R + C_{GDn}}{C_T} \right) \left[g_{mn} \left(\frac{C_{GDn}}{C_T} \right) \right] \quad (4.17)$$

La ecuación (4.13) muestra que se debe tener en cuenta el polo del amplificador N2. La única forma de controlar la posición del polo es, ya sea, modificando la transconductancia g_{mn} ó las capacitancias de acoplamiento. La posición del polo es importante, debido a que puede controlar la fase de la salida de cada integrador a través del voltaje de referencia V_b . Con un voltaje de referencia alto, la fase de salida es mas baja, resultando en un tiempo de retardo mas bajo.

Finalmente, la ganancia en DC del amplificador N2 es:

$$A_0 \approx \frac{g_{mp}/2}{\left[g_{dsn} + g_{dsp} + g_{mn} \left(\frac{C_{GDn}}{C_T} \right) \right] \left[g_{dsn} + g_{dsp} + g_{mn} \left(\frac{C_R + C_{GDn}}{C_T} \right) \right] - g_{mal} \left(\frac{C_R + C_{GDn}}{C_T} \right) \left[g_{mn} \left(\frac{C_{GDn}}{C_T} \right) \right]} \quad (4.18)$$

La ganancia en DC en (4.18), es el único caso en donde la transconductancia de los transistores MOS de canal p, tienen un efecto. Esto se debe a que estos transistores operan como una carga de la salida de N2. Por lo tanto, se puede decir que los ceros y los polos únicamente dependen de los transistores de compuerta flotante Mn .

4.5 Resistencia de salida

Para obtener la resistencia de salida con el propósito de obtener la ganancia del integrador, se utilizará el circuito equivalente del circuito cascode que se muestra en la Figura 4.5. Una vez más, usando el análisis KCL, la suma de corriente a través del circuito cascode es:

$$-V_T + i_T r_{mbc1} + i_T r_{oc1} - g_{mcl} v_{FG} + i_T r_{0ca1} - g_{mal} v_{gs} r_{0a1} = 0 \quad (4.19)$$

También,

$$v_{gs} = 0, \quad y \quad v_{CF} = - \left(\frac{C_{CMn}}{C_T} + \frac{C_{VDD}}{C_T} \right) r_{0a1} i_T$$

Sustituyendo y resolviendo para V_T/i_T , se tiene:

$$\frac{V_T}{i_T} = g_{mcl} \left(\frac{C_{CMn}}{C_T} + \frac{C_{VDD}}{C_T} \right) r_{0a1} r_{0c1} + r_{oc1} + r_{bc1} + r_{0a1} \quad (4.20)$$

Finalmente, la resistencia vista por los transistores Ma1 y Mc1 es:

$$R = G^{-1} \approx \left[\frac{g_{dsa1} g_{dsc1}}{\left(\frac{C_{CMn}}{C_T} + \frac{C_{VDD}}{C_T} \right) g_{mcl} + g_{dsc1} + g_{dbc1}} \right]^{-1} \quad (4.21)$$

Realizando el mismo procedimiento, se obtiene la resistencia vista por los transistores Ma3 y Mc3. Por lo tanto, la resistencia de salida total será:

$$R_{outot} = \left[\frac{g_{dsa1} g_{dsc1}}{\left(\frac{C_{CMn}}{C_T} \right) g_{mcl} + g_{dsc1} + g_{dbc1}} + \frac{g_{dsa3} g_{dsc3}}{\left(\frac{C_{CMp}}{C_T} + \frac{C_{GND}}{C_T} \right) g_{mc3} + g_{dsc3}} \right]^{-1} \quad (4.22)$$

La ecuación (4.22), muestra que para tener una mayor amplificación en la señal de salida, la transconductancia de canal debe incrementarse, lo cual, significa que si los transistores tienen que operar con un voltaje mínimo, éstos deberán de operar en la región de saturación.

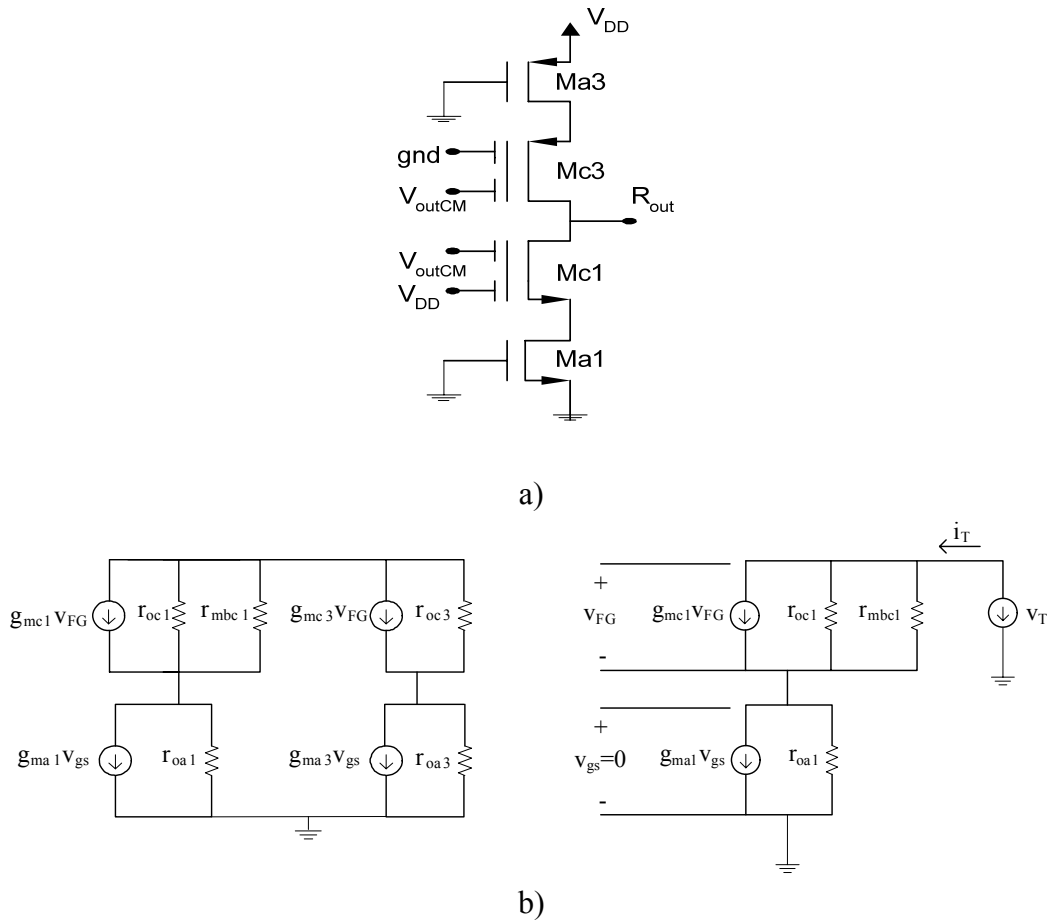


Figura 4.5. a) Circuito cascode. b) circuito equivalente a pequeña señal.

4.6 Circuito de retroalimentación en modo común (CMFB)

Debido a que la ganancia en modo común tanto para A_{CMp} , como para A_{CMn} , depende de un circuito CMFB, a continuación se analizará este circuito, cuya estructura y su circuito equivalente a pequeña señal se muestra en la Figura 4.6. Consiste de un par diferencial compuesto por transistores de compuerta flotante pMOS y un espejo de corriente como carga [19]. Asimismo, debido a que la entrada es completamente diferencial, este circuito es necesario para compensar posibles errores o desviaciones que ocurren en el voltaje de modo común en la salida del bloque N1. El par diferencial compuesto por transistores de CF, tienen las mismas señales de entrada, las mismas capacitancias de entrada y las mismas capacitancias de acoplamiento ($C_{Tf1}=C_{Tf2}$).

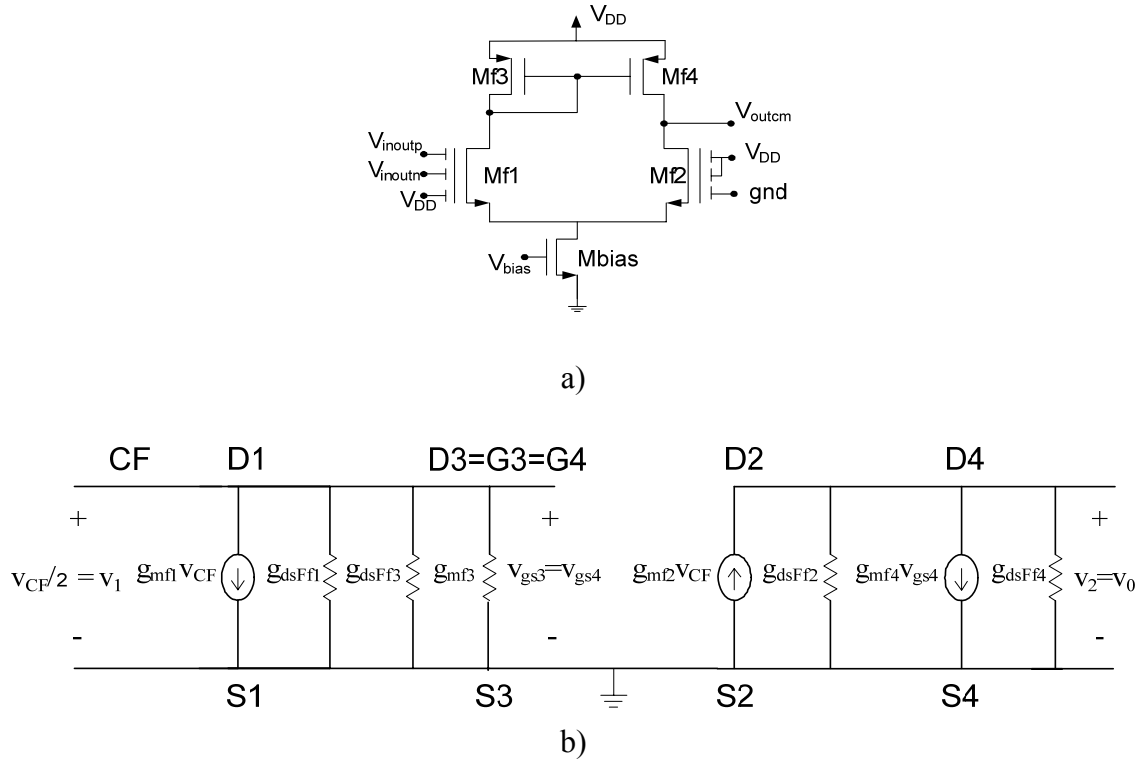


Figura 4.6. a) Circuito CMFB. b) Circuito equivalente a pequeña señal.

Ahora, de una manera simple, el bloque CMFB opera como sigue: El transistor $Mf1$, trabaja como elemento sensor del valor medio de una señal en modo común, mientras que $Mf2$, trabaja para establecer un voltaje de referencia. Cuando el valor medio de las señales de salida positiva y negativa del integrador es censado en la entrada del transistor de CF $Mf1$ del bloque CMFB, éste es comparado con respecto al valor del otro transistor de CF $Mf2$. Si las señales no son iguales, la diferencia (V_{outCM}), es amplificada y retroalimentada hacia ambas ramas del circuito cascode, dando como resultado una corriente desbalanceada que fluirá en sentido opuesto, forzando al voltaje en modo común moverse hacia el voltaje de referencia. El resultado final, es que las corrientes en ambas ramas del circuito cascode, serán iguales.

El voltaje de referencia $V_{DD}/2$, se obtiene tomando el valor medio de V_{DD} a tierra. Ahora, la corriente que fluye a través de $Mf1$, es:

$$I_{DMf1} = \frac{\beta C_1^2}{4 C_T^2} (V_{outCM} - V_T')^2 \quad (4.23)$$

donde V_T' : está dado por:

$$V_T' = V_T + \frac{C_{VDD}}{C_1} \left(V_T - \frac{V_{DD}}{2} \right) + V_S \quad (4.24)$$

También, la corriente que fluye a través de $Mf2$ está dada por:

$$I_{DMf2} = \frac{\beta C_{VDD}^2}{4 C_T^2} \left(\frac{V_{DD}}{2} - V_T' \right)^2 \quad (4.25)$$

El nuevo valor de V_T' con capacitancias de acoplamiento iguales está dado por:

$$V_T' = V_T + \frac{C_{gnd}}{C_{VDD}} (V_T) + V_S \quad (4.26)$$

En (4.23 y 4.25), se puede observar que el voltaje de umbral es afectado por las señales conectadas a través de las capacitancias de acoplamiento C_{VDD} y C_{gnd} . De esta manera, una tercera señal conectada en $Mf1$, puede ajustar su voltaje de umbral y mantenerlo aproximadamente igual al del transistor $Mf2$, lográndose el balanceo del par diferencial con respecto al voltaje en modo común V_{outCM} .

Después, utilizando la técnica de parámetros de dos puertos [38], y con respecto a la Figura 4.6, se tiene:

$$Y_L = 0, \quad V_1 = \frac{V_{FG}}{2}, \quad V_2 = 0 \text{ y } I_1 = 0$$

$$I_2 = -g_{mf2} V_{FG} + g_{mf4} g_{gs4} + (g_{gdsf2} + g_{dsf4}) V_2 \quad (4.27)$$

Resolviendo para V_{gs4} , en el puerto 1, se tiene:

$$g_{mf1} V_{FG} + (g_{dsf1} + g_{dsf3} + g_{mf3}) V_{gs4} = 0 \quad (4.28)$$

$$V_{gs4} = - \left(\frac{g_{mf1}}{g_{dsf1} + g_{dsf3} + g_{mf3}} \right) V_{FG} \quad (4.29)$$

Sustituyendo (4.28) en (4.29), se tiene:

$$I_2 = -g_{mf2} V_{FG} - \left(\frac{g_{mf4} g_{mf1}}{g_{dsf1} + g_{dsf3} + g_{mf3}} \right) V_{FG} + (g_{dsf2} + g_{dsf4}) V_2 \quad (4.30)$$

Asumiendo que $g_{mf2} = g_{mf1}$, $g_{mf3} = g_{mf4} \gg g_{dsf1} + g_{dsf3}$, se tiene:

$$I_2 = -2g_{mf1}V_{FG} + (g_{dsFf2} + g_{dsf4})V_2 = -2g_{mf1}\left(\frac{C_{in}}{C_T}\right) + (g_{dsFf2} + g_{dsf4})V_2 \quad (4.31)$$

Ahora, los parámetros de la matriz Y son:

$$Y = \begin{bmatrix} 0 & 0 \\ -2g_{mf1}\left(\frac{C_{in}}{C_T}\right) & (g_{dsFf2} + g_{dsf4}) \end{bmatrix}$$

Por lo tanto, la ganancia del bloque CMFB es:

$$A_v = \frac{V_2}{V_1} = \frac{V_0}{V_{FG}/2} = -\frac{Y_{21}}{Y_{22} + Y_L} = \frac{2g_{mf1}\left(\frac{C_{in}}{C_T}\right)}{g_{dsFf2} + g_{dsf4}} \quad (4.32)$$

La ganancia de modo común A_{CMp} , se obtiene sumando los efectos de la ganancia correspondiente al bloque CMFB para el lado positivo en el circuito cascode, el cual esta dado por:

$$A_{CMp} = \frac{\left(\frac{C_{CMp}}{C_T}\right)(g_{mc3}R_{1p}) + \left(\frac{C_{CMn}}{C_T}\right)(g_{mc1}R_{2p})}{G_{outp}} \left[\frac{2g_{mf1}\left(\frac{C_{in}}{C_T}\right)}{g_{dsf4} + g_{dsFf2}} \right] \quad (4.33)$$

Finalmente, usando el circuito equivalente a pequeña señal de N1, se obtiene la ganancia para cada lado del integrador. De esta forma, la ganancia para el lado p esta dada por:

$$\frac{V_{out}}{V_{inCM}} \Big|_{V_{indf}=0} \approx \frac{\left[\left(\frac{C_{in}}{C_T}\right)_p (g_{mf}R_{outf})_p g_{m1}g_{ma3} - \left(\frac{C_{in}}{C_T}\right)_n (g_{mf}R_{outf})_n g_{m1r}g_{m3r} \left(\frac{g_{ma1}}{g_{m4r}}\right)\right] R_{outp}}{\left[g_{m2} (g_{mf}R_{outf})_p + g_{ds2} + g_{ds1} + g_{m1} \left(\frac{C_1}{C_T}\right)_p\right] (1 + A_{CMp})} \quad (4.34)$$

De la misma manera se obtiene, la ganancia para la entrada diferencial negativa.

4.7 Funcionamiento del circuito de la línea de retardo

El funcionamiento del circuito propuesto de línea de retardo, se realizará para seis bloques, esto es, seis filtros G_m -C, para obtener un retardo de tiempo ya sea máximo ó mínimo del

periodo de una señal senoidal de entrada. El circuito esquemático se muestra en la Figura 4.7, en donde los filtros son conectados en serie para obtener una línea de retardo analógica diferencial de seis bloques. De esta manera, el tiempo de retardo del primer filtro es aplicado inmediatamente al siguiente filtro y así sucesivamente. Por lo tanto, el circuito puede ajustar el tiempo de retardo T_d , esto es, incrementar y/o disminuir el retardo de salida.

Así entonces, con respecto al integrador G_m - C , en la salida del transconductor formado por el transistor nMOS de compuerta flotante M1 del bloque N1 (polarizado en la región óhmica, en donde su voltaje de drenador es mantenido constante mediante el voltaje de referencia V_b del amplificador N2), la corriente de drenador será linealmente proporcional a los voltajes de entrada, determinada por:

$$I_D = \beta_n \left[\left(\sum_{i=1}^N \frac{C_i}{C_T} V_i - V_T \right) V_D \right] \quad (4.35)$$

De esta manera, se puede ajustar el voltaje V_D del transistor M1 (tanto como sea posible, siempre y cuando el transistor M1 permanezca en la región óhmica), a través del voltaje de referencia V_b aplicado al amplificador de retroalimentación N2. Lo anterior, significa que se puede variar y/o ajustar la transconductancia de salida de M1, variando V_b . Por lo tanto, la transconductancia de M1 estará definida por:

$$g_{mi} = k\beta \frac{C_i}{C_T} V_b \quad (4.36)$$

El tiempo de retardo correspondiente estará determinado por el valor de la carga capacitiva (integra la corriente de salida), conectada entre la salida diferencial así como del valor de la transconductancia definida por (4.36). De esta manera, el tiempo de retardo estará dado por:

$$T_d = \left(\frac{k\beta C_i V_b}{C_T C} \right)^{-1} \quad (4.37)$$

donde T_d es el tiempo de retardo, k es el factor de escala, β es la transconductancia igual a μC_{ox} , C_i en (4.36) es la capacitancia de acoplamiento para los voltajes de entrada, C_T es la capacitancia total y C es la capacitancia de salida.

Posteriormente, el transistor M3 transforma la corriente en voltaje, mientras que el circuito cascode es polarizado para trabajar en la región de saturación con el propósito de amplificar el voltaje de salida y preservar el máximo voltaje de excursión. Para reducir el voltaje de alimentación, se utilizan los transistores de compuerta flotante M_{c3} , M_{a1} y M_{3r} , M_{clr} , con el propósito de disminuir su voltaje de umbral y poder tener su operación en la región de saturación. El voltaje mínimo de alimentación fue de 1.5V. Finalmente, el

capacitor de salida realiza la integración de la corriente de salida. La relación de aspecto de los transistores del filtro, son presentados en la tabla 4.1.

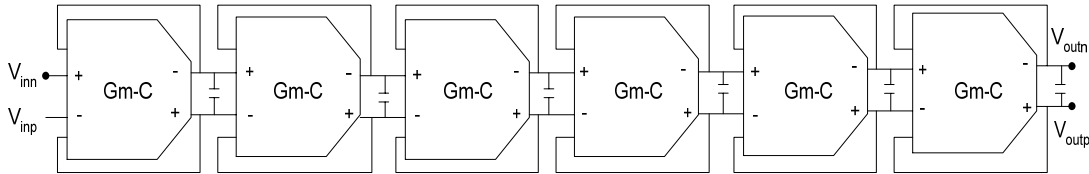


Figura 4.7. Circuito esquemático de la línea de retardo para seis bloques.

TABLA 4.1
RELACION DE ASPECTO Y CAPACITANCIAS DEL
CIRCUITO LÍNEA DE RETARDO

	M1 W/L (μm)	M2 W/L (μm)	M_{a3} W/L (μm)	M_{c1} W/L (μm)	M_{c3} W/L (μm)	C_{in} fF	C pF
Filtro 1	7.2/3.6	14.4/4.8	7.2/36	4.8/3.6	10.8/4.2	66	0.5
Filtro 2	7.2/3.6	14.4/4.8	5.4/5.4	18/4.2	10.8/12	66	0.5

4.8 Simulación de la línea de retardo

Los resultados simulados en PSpice® del circuito propuesto, fueron realizados usando los parámetros de BSIM3v3 para una tecnología de 1.2 μm , usando el modelo descrito en el capítulo 1 para el transistor de compuerta flotante, operando a través del acoplamiento capacitivo, el cual, permite realizar la simulación del potencial de la compuerta flotante.

La frecuencia de corte de cada filtro fue de 10KHz, la cual, limita el rango de la frecuencia de entrada a 10KHz. Las funciones de transferencia medidas en dB para diferentes voltajes de referencia V_b (70mV, 90mV y 120mV) se muestran en la Figura 4.8, con el propósito de comprobar la operación de los filtros. Como se puede observar la ganancia es la misma para los tres valores del voltaje de referencia.

Las Figuras 4.9 y 4.10, muestran dos ejemplos para verificar el funcionamiento del circuito propuesto. Cuando se aplica en la entrada una onda senoidal de 5000Hz, colocando 120mV y 80mV en el voltaje de referencia V_b de N2, el circuito realiza un tiempo de retardo de 2.5 y 5 milésimas del periodo de la señal de entrada, respectivamente. Lo anterior significa que se tiene 0.9° y 1.8° de desplazamiento. Por lo tanto, el tiempo de retardo es proporcional al valor de la transconductancia (g_m) del transistor M1, que es controlada mediante el voltaje V_b . Por otro lado, si la capacitancia de salida fuera variable, se tendría otro grado de libertad en el diseño.

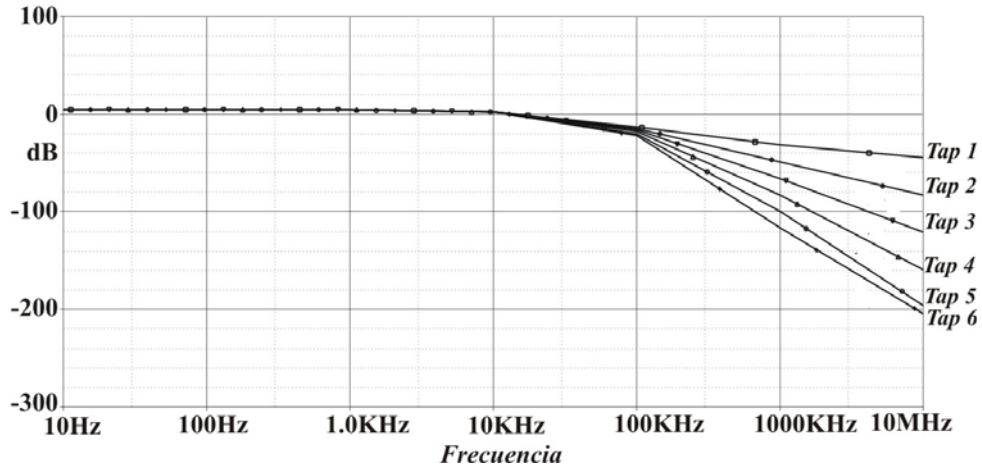


Figura 4.8. Funciones de transferencia de los seis bloques.

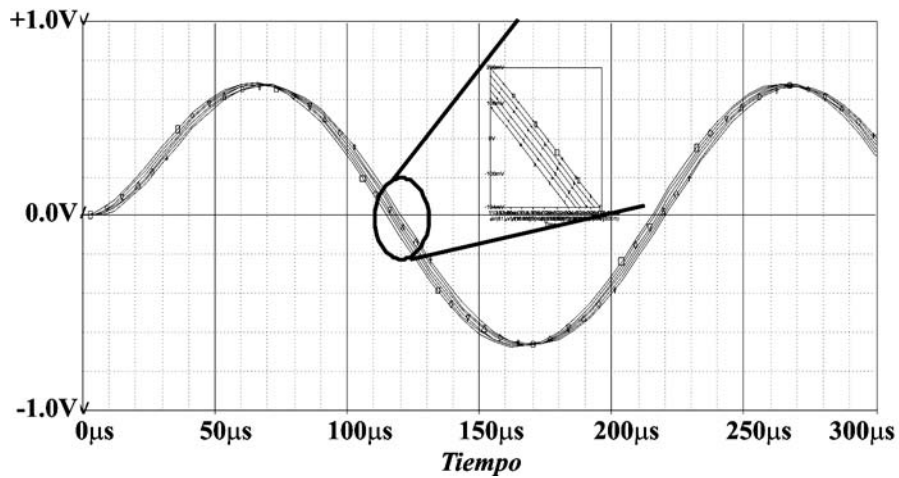


Figura 4.9. Tiempo de retardo para $V_b = 120\text{mV}$.

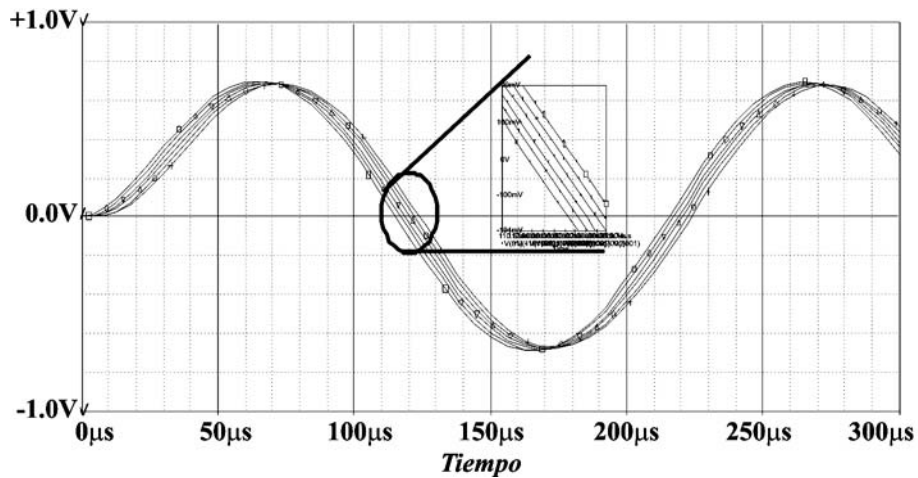


Figura 4.10. Tiempo de retardo para $V_b = 80\text{mV}$.

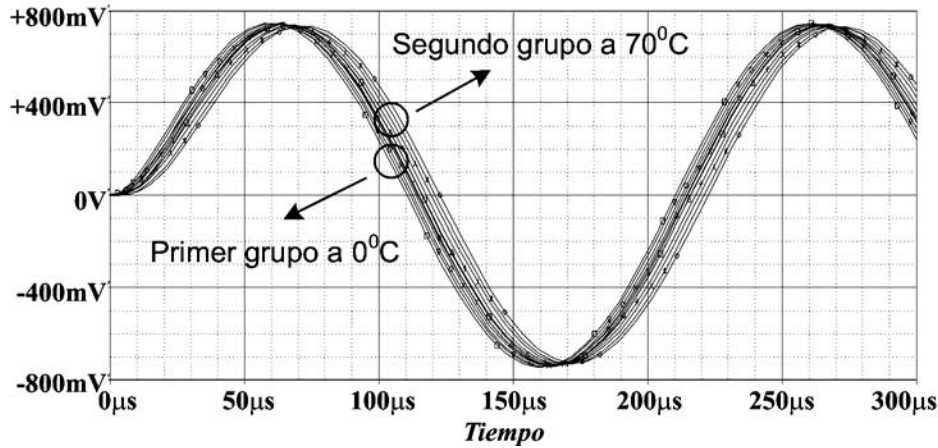


Figura. 4.11. Efecto de la temperatura para 0° C y 70° C con $V_b=80$ mV.

La simulación para observar los efectos de la temperatura se muestra en la Figura 4.11, en donde se pueden observar 12 señales correspondientes a las salidas diferenciales del circuito. El primer grupo de seis señales corresponde a un valor de temperatura de 0°C, mientras que el segundo grupo corresponde a un valor de temperatura de 70° C. El voltaje de referencia V_b para esta prueba, se colocó en 80mV.

La operación de los dispositivos, se mantiene apropiadamente, sin tener ninguna compensación.

4.9 Resultados experimentales

Debido a limitaciones de presupuesto, el circuito propuesto fue fabricado con solo dos bloques (dos filtros) en serie, con tecnología de 1.2 μm de MOSIS, cuyo patrón geométrico se muestra en la Figura 4.12. También, con el propósito de reducir la carga en la CF, se utilizó la técnica presentada en [22]. La funcionalidad del circuito de la línea de retardo no deberá tener ningún efecto considerable en su operación.

Así entonces, tomando como base a (4.4), donde el voltaje de entrada es atenuado por la razón de las capacitancias, se aplicó en las entradas del circuito una señal senoidal diferencial de 5 KHz con 5 Vp-p con un voltaje en modo común de 2.5V. La Figura 4.13 muestra las señales de salida, para cuando el circuito realiza un tiempo de retardo de 8 y 4 milésimas del periodo de la señal de entrada, colocando un voltaje de referencia V_b de 80mV y 120mV en la entrada negativa del amplificador N2.

Para verificar el funcionamiento del circuito, en relación al control del tiempo de retardo mediante el ajuste del voltaje de referencia aplicado se realizó una segunda prueba colocando los voltajes de referencia en 90mV y 70mV. La Figura 4.14 muestra las señales de salida.

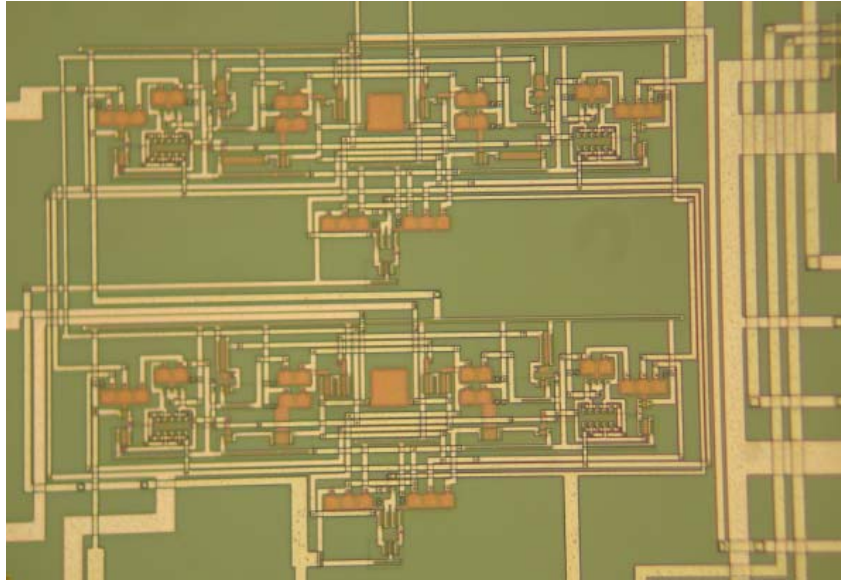
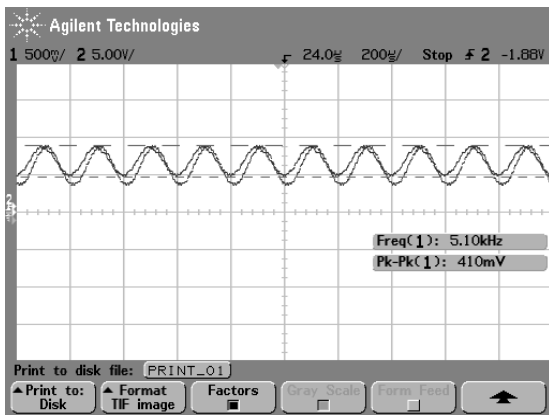
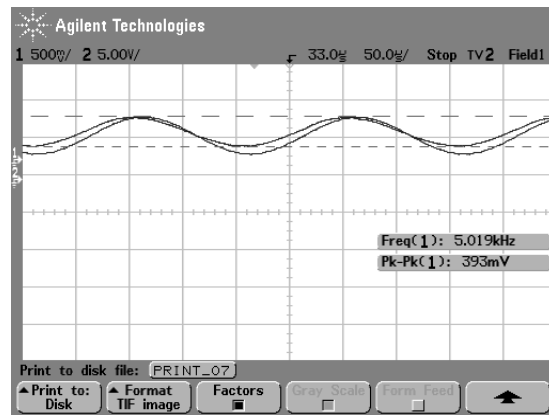


Figura 4.12. Patrón geométrico de la línea de retardo.

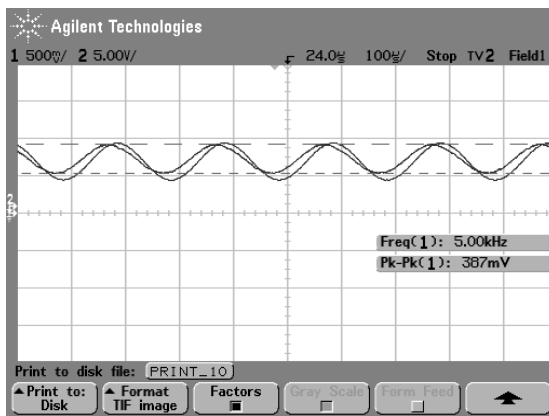


a)

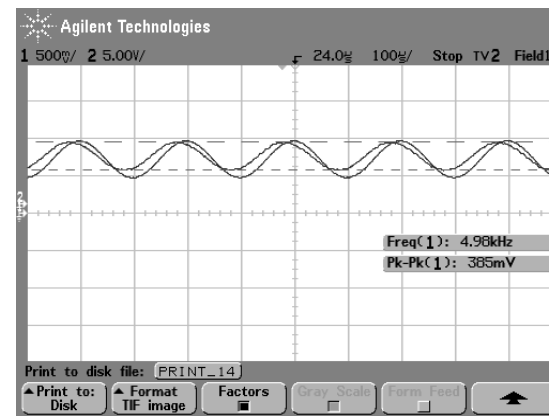


b)

Figura 4.13. a) Tiempo de retardo para $V_b = 80\text{mV}$. b) Tiempo de retardo para $V_b = 120\text{mV}$.



a)



b)

Figura 4.14. a) Tiempo de retardo para $V_b = 90\text{mV}$. b) Tiempo de retardo para $V_b = 70\text{mV}$.

La Figura 4.15, muestra las salidas en modo diferencial del circuito. Como se puede observar, el voltaje en modo común se localiza en 450mV para ambas señales, lo que significa que los desacoplamientos de los transistores, es prácticamente nulo (recordar que los transistores de compuerta flotante se implementaron con la técnica de descarga de la compuerta flotante). Con respecto a la amplitud de las señales, éstas también presentan la misma amplitud, lo cual significa que ambos lados del integrador son simétricos.

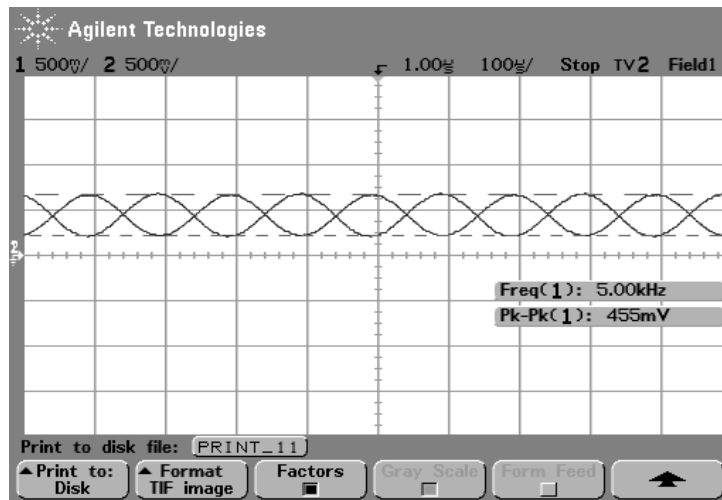


Figura 4.15. Tiempo de retardo para $V_b = 120\text{mV}$.

Una ventaja adicional del circuito claramente definida es que en la señal de salida por ser totalmente diferencial en el camino de su procesamiento, el ruido es mínimo. En cuanto a su potencia, la corriente que demandó el circuito fue de 0.0354mA , lo que da una potencia de $53.1\ \mu\text{W}$.

4.10 Rango dinámico libre de espurias

El rango dinámico libre de espurias (SFDR por sus siglas en inglés), tomando la razón entre la amplitud de la señal y el tono de espurias mas grande localizados en el espectro de las señales de salida, presentó un valor de 56 dB en relación a la Figura 4.16, que muestra el espectro de magnitud de la señal de salida, tomando 56000 muestras de salida. La distorsión armónica total obtenida a partir del espectro de salida fue de 0.56% tomando en cuenta los primeros 16 armónicos. La exactitud con base en la SFDR es de 9 bit, mientras que la resolución presentó un valor de 2.9mV. La relación señal a ruido (SNR) en relación a [49], fue de 56 dB.

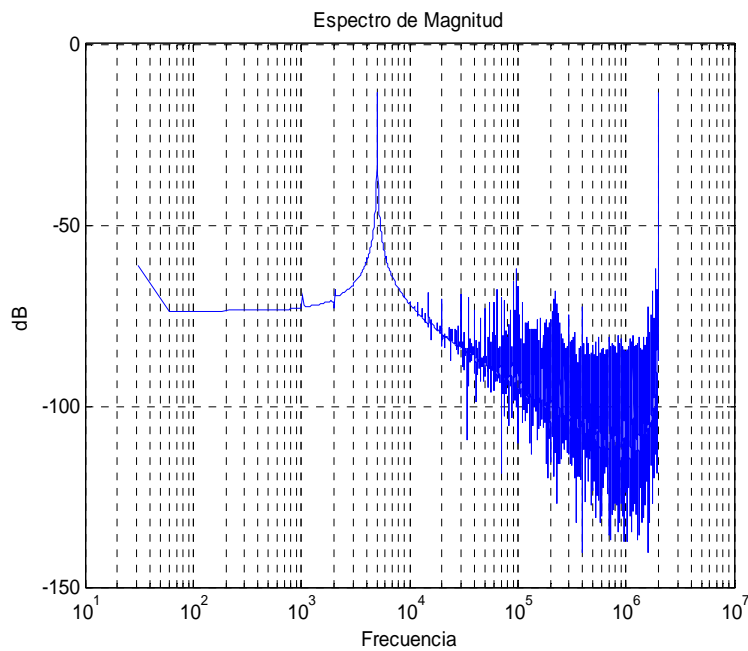


Figura 4.16. Espectro de magnitud.

4.11 Conclusiones del capítulo 4.

En este capítulo se presentó un circuito singular de línea de retardo analógico totalmente diferencial, cuya característica más importante es que el tiempo de retardo puede ser variable ó ajustado, dentro de un cierto límite del periodo de una señal de entrada, en el rango de las frecuencias de audio. La arquitectura y operación del circuito que fue totalmente analógica se desarrolló para verificar su funcionamiento, usando el transistor de compuerta flotante operando con señales acopladas capacitivamente. El voltaje de alimentación fue de 1.5V, lo que lo hace ser de bajo voltaje y consecuentemente de baja potencia de disipación

El circuito también fue simulado usando PSpice® con el propósito de confirmar su operación, la cual, fue acorde con los resultados experimentales.

Así también, el circuito presenta una buena linealidad y exactitud. Una ventaja principal, es que trabaja con bajo voltaje, lo cual es la base para el diseño de equipos electrónicos portátiles.

Capítulo 5

Filtro adaptativo

En el contexto de los sistemas adaptativos, los procesos que suceden durante el aprendizaje son procesos internos, sin embargo, estos procesos se ven afectados por circuitos externos. Son estos circuitos externos, los que deben ser diseñados y operados de manera que activen, mantengan y adapten el proceso interno del aprendizaje.

Así, entonces, se analizará e implementará el algoritmo LMS, aplicado como identificador de señales, con el propósito de almacenar y actualizar el peso de la memoria analógica.

Este concepto, refleja un enfoque y el medio para aplicar los fenómenos de inyección y tuneo de electrones, en circuitos analógicos CMOS, tales como: sistemas de aprendizaje y/o adaptativos, para resolver problemas de complejidad en gran escala con circuitos mínimos, usando el transistor de compuerta flotante.

5.1 Introducción.

Un algoritmo puede emplear un fundamento estadístico o determinístico. La opción mas empleada es usar la formulación estadística o filtros basados en el diseño de filtros Wiener, lo cual requiere el conocimiento a priori de las señales a procesar. El procesar varias veces la señal para obtener sus estadísticas no es práctico, por lo tanto, la estimación de estas estadísticas se tienen que realizar de manera implícita en el filtro adaptativo.. Para resolver este problema, se considera que la señal de entrada sea estacionaria y ergódica, es decir, que su estadística no cambie, lo que significa que son señales en donde su potencia y promedio del tiempo se mantienen constantes. Entonces, usando los promedios del tiempo o el segundo momento estadístico, se pueden diseñar filtros Wiener [11,52].

De acuerdo con esta teoría, los coeficientes óptimos de un filtro lineal se obtienen minimizando el error cuadrático medio (*MSE – Mean Square Error*), considerando que la señal de entrada es ergódica [52]. El algoritmo más simple y usado en los sistemas adaptativos, es el algoritmo de los mínimos cuadrados promedio (*LMS – Least Mean Square*), debido a que usa el error cuadrático de la señal de error.

El algoritmo LMS pertenece a la familia de los algoritmos de gradiente estocástico. Una característica importante del LMS es su simplicidad. No requiere medidas de las funciones de correlación, ni tampoco inversión de la matriz de autocorrelación.

La principal desventaja del algoritmo LMS, es que su convergencia es altamente dependiente de la densidad espectral de la señal de entrada. Cuando la señal de entrada del filtro es blanca, la cual se caracteriza por tener densidad espectral plana en todo el intervalo de frecuencias, el algoritmo LMS converge más rápido [51, 53,54].

Por otro lado, un filtro adaptativo es fundamental en el procesamiento de señales en forma adaptativa. Este aparece de una forma o de otra en la mayoría de sistemas adaptativos y es el elemento mas importante en sistemas de “aprendizaje” y procesamientos en forma adaptativa.

El LMS (Least Mean Square) comprende dos procesos básicos:

- ❖ Un proceso de filtrado, que implica el cálculo de la salida generada por un filtro transversal, y la generación de una estimación del error comparando esta salida con la respuesta deseada.
- ❖ Un proceso adaptativo, que realiza el ajuste automático de los coeficientes del filtro de acuerdo con la estimación del error.

5.2 Filtro adaptativo

El algoritmo LMS es un miembro importante de los algoritmos de la familia de gradiente estocástico. Una característica importante del algoritmo LMS, es su simplicidad, ya que no requiere de mediciones tanto de las funciones de correlación pertinentes como de las matrices inversas. Así mismo, la simplicidad del algoritmo ha hecho posible su uso con respecto a otros algoritmos de filtrado adaptativo, en áreas tales como identificación de sistemas, cancelación de ruido y eco, predicción lineal, codificación predictiva y filtrado inverso. En el dominio analógico, se han diseñado diferentes estructuras de filtrado adaptativo [55-57]. Sin embargo, estas arquitecturas presentan una problemática relacionada con el almacenamiento y actualización del peso, debido a que utilizan capacitores para refrescar los datos, etc., [58,59].

Por otro lado, varios grupos de trabajo han desarrollado aplicaciones de filtros usando el transistor de compuerta flotante [60,61]. Sin embargo, pocos grupos han reportado diseños de filtros analógicos totalmente integrados.

Por lo tanto, a continuación, se presenta una propuesta para la implementación de un filtro adaptativo LMS, aplicado como identificador de señal. El filtro es de una sola etapa con el propósito de evaluar el aprendizaje del filtro usando la celda de memoria analógica de compuerta flotante. La adaptación del filtro es dependiente de la señal de entrada. Cuando las señales empiezan a variar, el filtro calculará el nuevo valor del peso para realizar la adaptación.

Un filtro adaptativo, se puede analizar como un sistema con dos entradas $x(n)$ y $d(n)$, y dos salidas $e(n)$ y $y(n)$, cuyos parámetros se ajustan automáticamente, mediante un algoritmo de adaptación, a través de minimizar algún criterio de la señal de error, usualmente el error cuadrático medio.

La Figura 5.1, muestra un filtro adaptativo, en donde la señal de entrada se representa como $x(n)$ y se define como $d(n)$ a la señal de “respuesta deseada”, la cual se asume que representa la salida deseada del sistema adaptativo. La señal de error $e(n)$, es la diferencia entre la señal de la salida deseada y la señal de la salida actual $y(n)$ del sistema adaptativo.

Usando la señal de error, un algoritmo de adaptación ajusta los parámetros del sistema adaptativo, alterando su respuesta característica, mediante la minimización de alguna medida del error.

5.3 Aplicaciones

La operación del filtro adaptativo, depende fuertemente de la manera de obtener las señales, tanto de referencia como de entrada. Para ilustrar el procedimiento, consideraremos las siguientes aplicaciones:

Identificación de sistemas.- En este tipo de sistemas, el objetivo que se persigue es que la función de transferencia ó respuesta al impulso del filtro, se aproxime lo más cercanamente

posible a la respuesta al impulso del sistema desconocido. En esta configuración que se muestra en la Figura 5.2, la señal de referencia es la salida del sistema desconocido.

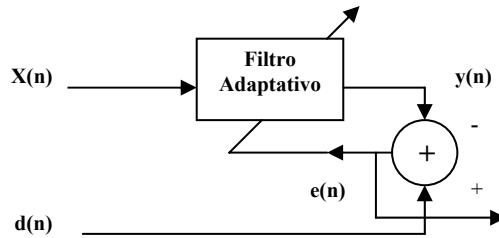


Figura 5.1. Configuración general del filtro adaptativo.

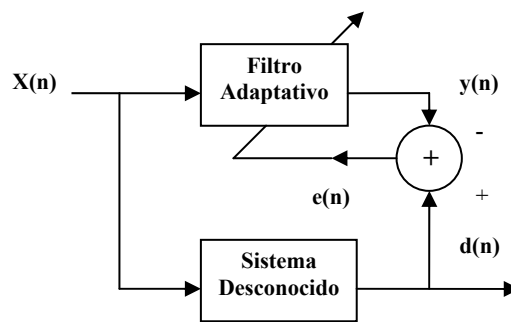


Figura 5.2. Filtro adaptativo en configuración de identificador de sistemas.

Cancelación de eco en sistemas de comunicación.- Debido a la conversión de 2 a 4 hilos, esta configuración se muestra en la Figura 5.3, donde el eco se genera en el canal, presentándose cuando se recibe la señal en la bocina, llamado “eco acústico” (reverberación). El dispositivo híbrido H convierte los circuitos de lazo de dos hilos a 4 hilos, sin embargo, este dispositivo presenta algunas variaciones debidas a la longitud del lazo y a la variación de las características de la impedancia de los hilos, que causan una separación en sus señales de entrada y de salida, generándose algunas componentes de fuga. Aun cuando el dispositivo H atenúa estas componentes, algunas son muy aparentes, produciéndose el eco acústico.

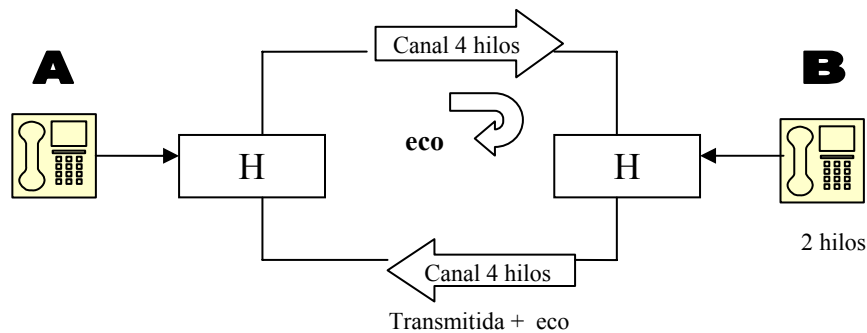


Figura 5.3. Generación de eco en sistemas de comunicación.

5.4 Teoría del filtro

A continuación se presentan algunos conceptos básicos y descripciones matemáticas del proceso de adaptación en algunas aplicaciones específicas conocidas.

De la figura 5.1, la relación de salida-entrada, se puede expresar como:

$$y_k = \sum_{l=0}^L w_{lk} x_{k-l} \quad (5.1)$$

Usando vectores esta relación se puede expresar como:

$$y_k = X_k^T W_k = W_k^T X_k \quad (5.2)$$

La ecuación 5.2, representa la operación de un filtro adaptativo lineal

La señal de error de un filtro adaptativo, se determina mediante:

$$\varepsilon_k = d_k - y_k \quad (5.3)$$

Para obtener el error cuadrático instantáneo, se eleva al cuadrado la ecuación 5.3, teniéndose:

$$\varepsilon_k^2 = d_k^2 + W_k^T X_k X_k^T W_k - 2d_k X_k^T W_k \quad (5.4)$$

Tomando el valor esperado.

$$E[\varepsilon_k^2] = E[d_k^2] + W_k^T E[X_k X_k^T] W_k - 2E[d_k X_k^T] W_k \quad (5.5)$$

Definiendo la matriz de auto correlación de entrada como:

$$R = E[X_k X_k^T] \quad (5.6)$$

Donde los términos de la diagonal principal representan los cuadrados medios de las componentes de entrada y los términos cruzados representan las correlaciones cruzadas entre las componentes de entrada.

Similarmente definiendo el vector columna como:

$$P = E[d_k X_k] \quad (5.7)$$

Este vector representa el conjunto de correlaciones cruzadas entre la respuesta deseada y las componentes de entrada.

5.4.1 Error cuadrático medio y gradiente

Designando el error cuadrático medio por ξ y expresándolo en términos de (5.6) y (5.7), se tiene:

$$MSE \cong \xi = E[\mathcal{E}_k^2] = E[d_k^2] + W^T R W - 2P^T W \quad (5.8)$$

Esta ecuación representa al error cuadrático medio ξ precisamente como una función cuadrática de las componentes del vector de pesos W , cuando las componentes de entrada y la entrada de la respuesta deseada son variables estocásticas estacionarias.

En varios procesos adaptativos, estos causan que el vector de pesos busque un mínimo en la superficie de error utilizando métodos del gradiente descendiente. El gradiente de la superficie de estabilidad del error cuadrático medio se designa por $\nabla(\xi)$ ó simplemente ∇ , y se obtiene diferenciando la ecuación (5.8), para obtener el vector columna:

$$\nabla = 2RW - 2P \quad (5.9)$$

Para obtener el mínimo error cuadrático medio, el vector de pesos W es reemplazado por su valor óptimo W^* , donde el gradiente es cero, esto es:

$$\nabla = 0 = 2RW^* - 2P \quad (5.10)$$

De esta manera, el vector de pesos óptimo W^* , algunas veces llamado vector pesos de Wiener se obtiene despejándolo de la ecuación (5.10).

$$W^* = R^{-1}P \quad (5.11)$$

Si fuera posible obtener medidas exactas del vector gradiente $\Delta\xi(n)$ en cada iteración n , y dispusiéramos del parámetro μ (que representa la razón de adaptación) adecuadamente elegido, el vector de pesos del filtro convergería a la solución óptima de Wiener. Pero en la realidad no se dispone de estas medidas exactas del vector gradiente, ya que no se conoce la matriz de autocorrelación de la señal de entrada al filtro ni el vector de correlación cruzada entre esta señal de entrada al filtro y la respuesta deseada. Por tanto, el vector gradiente ha de ser estimado a partir de los datos. La manera más sencilla de estimar el vector gradiente consiste en sustituir en la ecuación:

$$\xi(n) = -2p + 2RW \quad (5.12)$$

R y p por estimaciones instantáneas a partir de los valores de señal de entrada al filtro y por la respuesta deseada

5.4.2 Análisis de convergencia

Una de las prestaciones a analizar en todo algoritmo es la velocidad de convergencia. La convergencia, al igual que en el algoritmo del gradiente descendiente, viene determinada por los autovalores de la matriz de autocorrelación R y su dispersión. Así, el valor de μ que garantiza convergencia en media es:

$$0 < \mu < 2 / \lambda_{\max} \quad (5.13)$$

donde λ_{\max} es el mayor de los autovalores de la matriz de autocorrelación, que cumple:

$$\lambda_{\max} = \leq \sum_{k=0}^{N-1} \lambda_k = tr(R) \quad (5.14)$$

Con el propósito de asegurar la convergencia en varianza, el parámetro μ debe elegirse de forma más restrictiva:

$$0 < \mu < 2 / 3 \lambda_{\max} \quad (5.15)$$

Cuando el vector de pesos comienza a converger en media, los coeficientes empiezan a fluctuar en torno a sus valores óptimos. Estas fluctuaciones son debidas a que el vector gradiente utilizado para realizar las correcciones al vector de pesos es ruidoso. En consecuencia, la varianza del error no tiende a cero y el error cuadrático medio es mayor que el error cuadrático medio mínimo en una cantidad denominada exceso de error cuadrático medio.

5.5 Filtro LMS propuesto

Para realizar una adecuada selección de una estructura para un filtro LMS, es conveniente primeramente seleccionar la aplicación, los objetivos que se deseen lograr, el costo y las posibilidades para su implementación.

Por lo tanto, a continuación se propone un filtro LMS para la identificación de una señal en forma adaptativa usando la celda de memoria analógica no-volátil para realizar un aprendizaje en línea de los parámetros del sistema con base en [57, 64]. La memoria almacenará el peso del filtro como carga en la compuerta flotante de un transistor pMOS. La actualización del peso será en forma lineal usando un esquema de modulación de densidad de pulsos de error retroalimentados a través de la inyección y tuneo de electrones. La operación del filtro será en forma automática y la convergencia será dependiente de la razón de adaptación. Con esto, la estructura del filtro LMS será con un mínimo de elementos y totalmente viable para su implementación.

Así entonces, el filtro se implementará utilizando la celda de memoria con la finalidad de probar una vez más, su funcionalidad como bloque principal del filtro. El algoritmo de actualización que se propone (LMS), se implementará externo a la celda de memoria en

modo digital, diseñado para proporcionar exactitud y una adecuada razón de adaptación con el propósito de efectuar las estimaciones del peso del filtro que deben realizarse para obtener la convergencia del filtro, estableciéndose las relaciones con la celda de memoria.

Para la operación del filtro, se aplicará una señal en la entrada del filtro que será la señal desconocida, y se utilizará otra señal que será de referencia para sincronizar la operación de la señal desconocida. La salida para estimar el error, será la diferencia de ambas señales, el cual será usado para alimentar el algoritmo de actualización, este a su vez, controlará la estimación del peso del filtro. Una vez que estas variables son adaptadas, las características del filtro son determinadas, obteniéndose la identificación de la señal desconocida.

La adaptación será programable en el proceso de identificación de la señal de entrada con relación a la señal de referencia. Para tal propósito, en la Figura 5.4, se presenta el diagrama a bloques propuesto para el filtro LMS, así como las señales de influencia que intervienen en dicho algoritmo, el cual consta de los siguientes bloques:

- ❖ Una celda de memoria.
- ❖ Un bloque para el algoritmo LMS, el cual, será implementado con el PIC18F252.
- ❖ Un multiplicador, el cual, será implementado con el C. I. AD633.
- ❖ Dos generadores de pulsos, cada uno de ellos implementado con el PIC12F675, uno para los pulsos de inyección (V_{iny}), y el otro para los pulsos de tuneleo (V_{tun}).
- ❖ Un circuito XBAR, el cual, será implementado internamente en el PIC18F252.
- ❖ Dos amplificadores de entrada única a diferencial, uno para el peso de la celda de memoria y el otro para la señal de entrada.
- ❖ Un amplificador seguidor.
- ❖ Un amplificador diferencial, para realizar la diferencia entre la salida del filtro y la señal de referencia.
- ❖ Un convertidor D/A

Como se puede observar, se utilizarán tres pic's, uno para implementar el algoritmo de actualización (PIC18F252), y los otros dos para generar los pulsos de error, uno para los pulsos de inyección y el otro para los pulsos de tuneleo (PIC12F675).

Esta arquitectura propuesta con estos bloques, vincula los datos de la señal de entrada con los datos del peso de la celda de memoria así como con la señal deseada, de manera que las operaciones entre ellas se utilizan para calcular una estimación de error entre la señal de entrada y la señal de referencia, el cual, es usado para controlar y ajustar el valor que se tenga disponible en la memoria ó peso del filtro. Los bloques de la Figura 5.4 realizan lo siguiente:

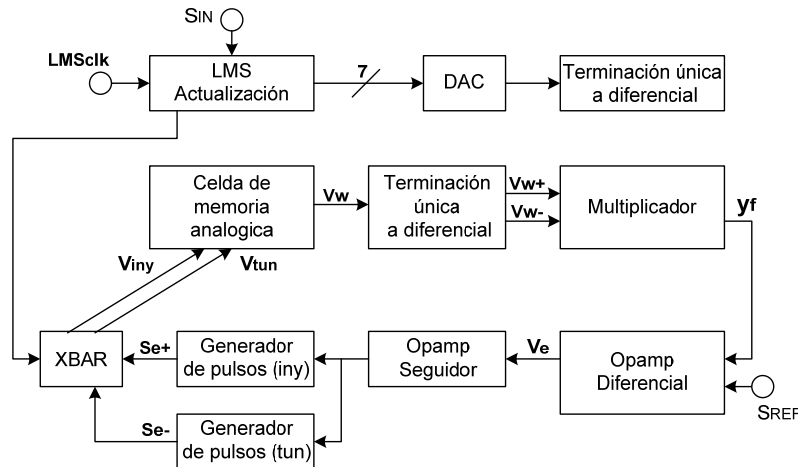


Figura 5.4. Diagrama a bloques del filtro LMS.

- La celda de memoria, que se fabricó y caracterizó en el capítulo 2, almacena y actualiza el valor de un peso analógico.
- Un bloque, que implementa el algoritmo de aprendizaje (LMS) para realizar la actualización del peso del filtro. Para ello, internamente se programa y define un contador de bajada que genera una ventana de tiempo (durante el conteo de bajada de la señal de entrada en modo digital), tiempo durante el cual, se realiza la retroalimentación de los pulsos de error (V_{tun} y V_{iny}), actualizando el peso de la celda de memoria.
- Dos circuitos de entrada única a diferencial, con el propósito de minimizar el ruido a través del procesamiento de la señal y para minimizar los efectos de acoplamiento entre los bloques.
- Un multiplicador, que realiza en modo diferencial el producto entre la señal de entrada (x) y el voltaje de salida de la celda de memoria (V_w). Su salida representa la salida del filtro (y_f). Posteriormente, la salida del filtro (y_f) es conectada en una de las entradas de un amplificador diferencial, mientras que en la otra entrada, es conectada la señal de referencia (S_{ref}) con el propósito de realizar la diferencia entre ambas señales. La salida del amplificador diferencial, es el voltaje de error (V_e), el cual, controlará a los generadores de pulsos.
- Los generadores de pulsos generarán cada uno con el valor del voltaje de error, un tren de pulsos digitales de amplitud y ancho fijos (S_{e+} y S_{e-}), siempre y cuando exista un voltaje de error, en caso contrario, la salida será igual a cero (no se generarán pulsos).
- Circuito $xbar$, utilizado para controlar la polaridad de los pulsos de error, con base a la polaridad de la señal de entrada digital. Posteriormente, estos pulsos son

convertidos a los valores apropiados para obtener los voltajes para la inyección y tuneo (V_{tun} y V_{iny}), y retroalimentados hacia la celda de memoria.

- Un convertidor D/A para pasar la señal de entrada digital a analógica con el propósito de realizar la multiplicación en modo analógico entre la señal de entrada y el valor del peso.

De esta manera, el filtro LMS, actualizará el valor del peso mediante la correlación entre la señal de error y la señal de entrada.

5.6 Implementación de los bloques

Luego de haber identificado los bloques y establecido el objetivo terminal, a continuación se realizará la implementación de los bloques anteriores para obtener el filtro.

Tomando como base la descripción general de los bloques arriba mencionados, en la Figura 5.5 se presenta el diagrama esquemático del filtro LMS que muestra los circuitos específicos del filtro. Como se puede observar, la configuración total, consiste de las siguientes etapas:

5.6.1 Algoritmo de aprendizaje

El algoritmo LMS como se mencionó, realiza dos procesos básicos:

- ❖ Un proceso de filtrado, que implica el cálculo de la salida generada por un filtro transversal, y la generación de una estimación del error comparando esta salida con la respuesta deseada.
- ❖ Un proceso adaptativo, que realiza el ajuste automático de los coeficientes del filtro de acuerdo con la estimación del error con base a su regla de adaptación:

$$W_i(n+1) = W_i(n) + \mu x_i(n)e(n) \quad (5.16)$$

donde W_i es el peso, μ es la razón de adaptación, x_i es el valor de la señal de entrada y e es el error.

La implementación de este algoritmo, se realizó mediante la programación de un microcontrolador PIC18F252, cuya estructura interna se muestra en la parte superior izquierda de la Figura 5.5, el cual consiste de cuatro bloques, cada uno de ellos realiza la siguiente función:

- ❖ Un convertidor A/D, que convierte la señal de entrada analógica al dominio digital de 8 bits. La ventaja de tener la señal de entrada en modo digital es debido a que permite llevar a cabo su procesamiento sin tener cambios significativos en su magnitud así como de manipularla en diferentes códigos, como por ejemplo, en forma bipolar con mayor exactitud.

- ❖ Un circuito *bitwise* que se utiliza con el propósito de poder manejar señales bipolares, como por ejemplo señales senoidales.
- ❖ Un contador de bajada, el cual genera y define una ventana de tiempo durante la cual, se activan los pulsos de la señal de error (S_{e+} y S_{e-}), los cuales a su vez, son convertidos a los voltajes apropiados para ser retroalimentados como voltajes de inyección y tuneo para actualizar el valor del peso en la celda de memoria. La ventana de tiempo se genera mediante la precarga del contador de bajada con la magnitud digital de la señal de entrada, que en este caso son los primeros siete bits en cada iteración. Por lo tanto, la ventana de tiempo representara a la señal de entrada.
- ❖ El circuito *xbar*, controla la polaridad de los pulsos de error a través del bit más significativo para llevar a cabo una multiplicación en los cuatro cuadrantes. Esto significa que para cuando la señal de entrada sea negativa los pulsos de tuneo pasarán a ser los pulsos de inyección y viceversa.

Es importante mencionar que el reloj LMS_{CLK} , controlará el tiempo de conteo del contador de bajada para cada magnitud de la señal de entrada. De esta manera, se establece una de las dos formas que tiene el filtro para controlar la razón de adaptación, esto es, el tiempo de duración de cada iteración que el filtro utiliza para llegar a la convergencia. La segunda forma de controlar la razón de adaptación, será la amplitud en voltaje de los pulsos de inyección y tuneo retroalimentados a la celda de memoria.

Las compuertas AND y NAND implementadas externamente al PIC, controlarán la activación de los pulsos a través de la ventana de tiempo. De esta manera, el número de pulsos de actualización retroalimentados a la celda de memoria, será proporcional al producto entre la duración de la ventana de tiempo, que corresponde a la magnitud de la señal de entrada y la frecuencia de los pulsos de error, que corresponde al valor del voltaje de error. En el anexo D, se presenta el archivo de programación del PIC 18F252.

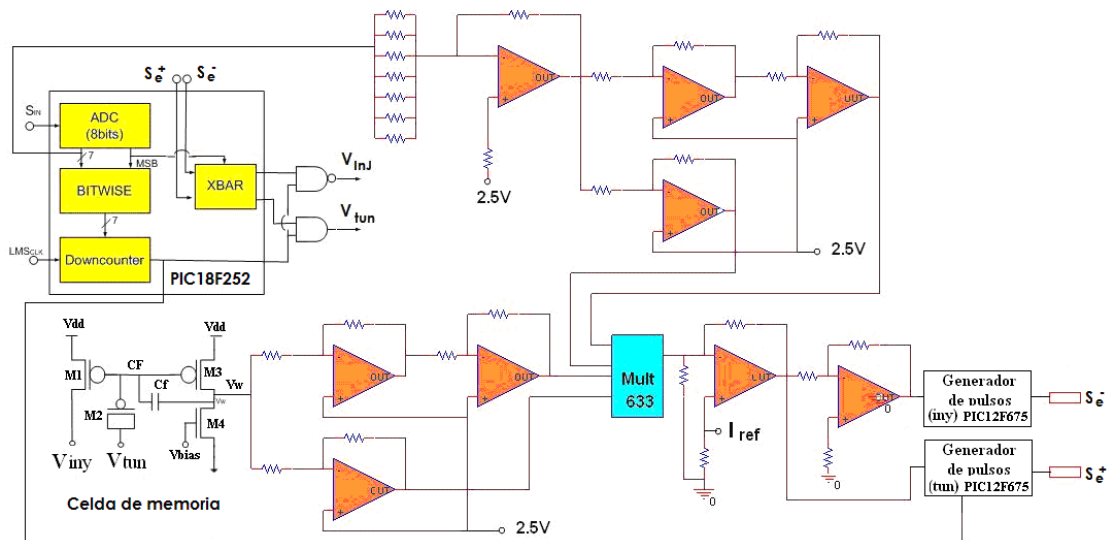


Figura 5.5. Diagrama esquemático del filtro LMS.

5.6.2 Multiplicador y generador de pulsos

El multiplicador utilizado para realizar la multiplicación en modo diferencial en los cuatro cuadrantes entre la señal de entrada x y el valor del peso de la celda de memoria (V_w), es el AD633, el cual es un dispositivo de 8 terminales.

El criterio usado para llevar a cabo la multiplicación fue la relación entre los valores de la máxima desviación del valor del peso (proporcionada en este caso por el amplificador de entrada única a diferencial, cuyo voltaje en modo común o de referencia es de 2.5V, mientras que el rango de su voltaje de desviación a partir del voltaje de 2.5V con base a su diseño es de 2.1V a 2.9V) y la señal de entrada analógica para proporcionar un resultado adecuado en relación a los valores del peso de la celda de memoria.

En la tabla 5.1, se muestran los valores del voltaje de salida del amplificador de entrada única a diferencial y su correspondiente valor del peso del filtro, con el cual, se realizará el calculo para obtener el valor de la salida del filtro (y_F), así también, se muestra el valor normalizado del peso. Cabe mencionar que únicamente se muestran algunos valores dentro del rango del voltaje de salida del amplificador de entrada única a diferencial.

TABLA 5.1
VALORES PARA EL PESO DEL FILTRO LMS

Vsal Amplificador	Peso W	Peso (W) Normalizado
2.9V	0.4	+1
2.8V	0.3	0.75
2.7V	0.2	0.50
2.6V	0.1	0.25
2.5V	0.0	0
2.4V	-0.1	-0.25
2.3V	-0.2	-0.50
2.2V	-0.3	-0.75
2.1V	-0.4	-1

De esta forma, fue obtenido el valor del peso con el propósito de obtener un valor adecuado en el rango de operación de la celda de memoria (el valor inicial del peso de la memoria es colocado en 2.5V, debido, a que con este valor, el intervalo de operación de la celda de memoria para el almacenamiento del peso tiene una mejor eficiencia, ya que se encuentra en un punto medio del intervalo de la polarización de la memoria).

Así entonces, la amplitud del voltaje de salida del multiplicador fue calculada mediante los datos del fabricante del C. I. AD633 y una configuración de resistencias con la siguiente ecuación:

$$y_F = [(x^+ - x^-)(V_w^+ - V_w^-)/(10V)(R)](45K\Omega) \quad (5.17)$$

donde y_F es la salida del filtro, $(x^+ - x^-)$ es la señal de entrada en modo diferencial, $(V_w^+ - V_w^-)$ es la salida diferencial del peso del filtro de la celda de memoria, mientras que las resistencias R y $45K\Omega$, se utilizan para obtener el factor de escala y poder tener el voltaje de salida en relación a la amplitud de la señal de entrada y a la señal deseada.

Por ejemplo, para este caso la máxima desviación del peso es de 0.4, si sustituimos este valor en los términos que se encuentran adentro del corchete de 5.17, proponiendo un valor de $1.8K\Omega$ para R , y tomando la máxima amplitud de la señal de entrada, tenemos:

$$\frac{(x)(V_w)}{10R} = \frac{(2.5V)(0.4)}{1.8K\Omega} = 55.5E - 6A = 55.5\mu A.$$

Como se puede observar, la salida del multiplicador es en modo corriente por lo que es necesario convertirla a modo voltaje y a su vez darle el factor de escala para obtener la amplitud de las señales de entrada del filtro que es de 2.5V. Para pasar una corriente a voltaje, únicamente se debe multiplicar por un valor resistivo. De esta manera, proponiendo un valor de $45K\Omega$ y multiplicándolo por $55.5\mu A$, se tiene un resultado de 2.5V, que será el valor de la salida del filtro para cuando se obtenga la convergencia.

Como se puede observar, el valor de las dos resistencias se obtuvo en relación con la máxima desviación del peso de la celda de memoria, obtenida por el amplificador de entrada única a diferencial, cuyo valor máximo es de $\pm 0.4V$ con un voltaje de modo común de 2.5V. De esta manera, para obtener la amplitud de la señal de salida del filtro y_f , (que será en relación a la amplitud de la señal deseada, en este caso de 2.5 V), los valores de las resistencias son de $1.8K\Omega$ y $45K\Omega$, respectivamente.

En cuanto al error del multiplicador, éste consiste principalmente de los desplazamientos de entrada y salida, del error del factor de escala y la no-linealidad de la multiplicación, la cual, con base a los datos del fabricante, tiene un valor de 0.4% en su intervalo total.

Para la implementación de cada uno de los generadores de pulsos, se utilizó el PIC12F675, el cual, genera una densidad de pulsos modulados en relación a la señal de error (voltaje de error). La amplitud y ancho de los pulsos son fijos, que en este caso son de 5V y 300Hz respectivamente. De esta manera cuando un voltaje de error es detectado, cada uno de los PIC's, genera un tren de pulsos en proporción al valor del voltaje de error. En el otro caso, cuando el voltaje de error es cero, no hay generación de pulsos y la salida de los PIC12F675 es cero. Cuando la salida es cero por un periodo relativamente largo de tiempo, significa que el filtro ha llegado a la convergencia y que su señal de salida ha sido identificada ó adaptada.

El uso de dos PIC12F675 (uno para la inyección y otro para el tuneleo) se debe, a que se necesita la retroalimentación de pulsos hacia la celda de memoria para realizar el almacenamiento y actualización del peso en cada iteración. La programación de los PIC12F675, se presenta en el anexo E.

Asimismo, como los generadores de pulsos proporcionan una salida de pulsos digitales de 5V, estos son convertidos mediante un circuito de escalamiento a los valores apropiados para activar la inyección y tuneleo en el transistor de compuerta flotante de la celda de memoria, los cuales son de 0 a 25.8V y de 0 a -2V respectivamente.

De esta manera, el transistor de compuerta flotante es utilizado como celda de memoria para solucionar problemas relacionados con el almacenamiento y actualización del peso en modo analógico en el filtro LMS propuesto. Así también, la programación de la celda de memoria a través de los procesos de inyección y tuneleo es viable, como se describió en el capítulo 2, la cual, es el bloque más importante para la operación y convergencia del filtro.

5.7 Resultados de simulación

Con el propósito de evaluar en forma cuantitativa el filtro propuesto, se presenta a continuación una prueba de simulación en Matlab®. El objetivo es verificar el comportamiento del filtro en cuanto a la modificación de la razón de adaptación con respecto a la teoría del filtro. La señal de entrada, así como la de referencia tiene una frecuencia de 60 Hz con una amplitud de 0.5V. Además, para simular las posibles interferencias ó ruido, se aplicó una señal de interferencia a la señal de entrada de 80 Hz con una amplitud de 0.1 V, para evaluar la operación del filtro en cuanto a la eliminación de la señal de interferencia. La simulación de la prueba se realizó con 2 bloques ó dos pesos.

La Figura 5.6 muestra la respuesta de salida del filtro con dos pesos, con una razón de adaptación de $\mu=0.02$. Como se puede observar, el filtro trabaja adecuadamente, esto es, elimina el ruido y adapta a la señal desconocida. El tiempo de convergencia está acorde con la teoría, que en este caso, a mayor razón de adaptación, el tiempo de convergencia disminuye. El MSE, presenta un valor de 20dB.

La Figura 5.7 muestra la respuesta de salida del filtro con dos pesos, con una $\mu=0.002$. Como se puede observar, el filtro trabaja adecuadamente, esto es, también elimina el ruido y adapta a la señal desconocida. El tiempo de convergencia con esta razón de adaptación, es mayor debido a que dicha razón disminuye, aumentando el tiempo de convergencia. El MSE, presenta el mismo valor de la simulación anterior, que es de 20dB.

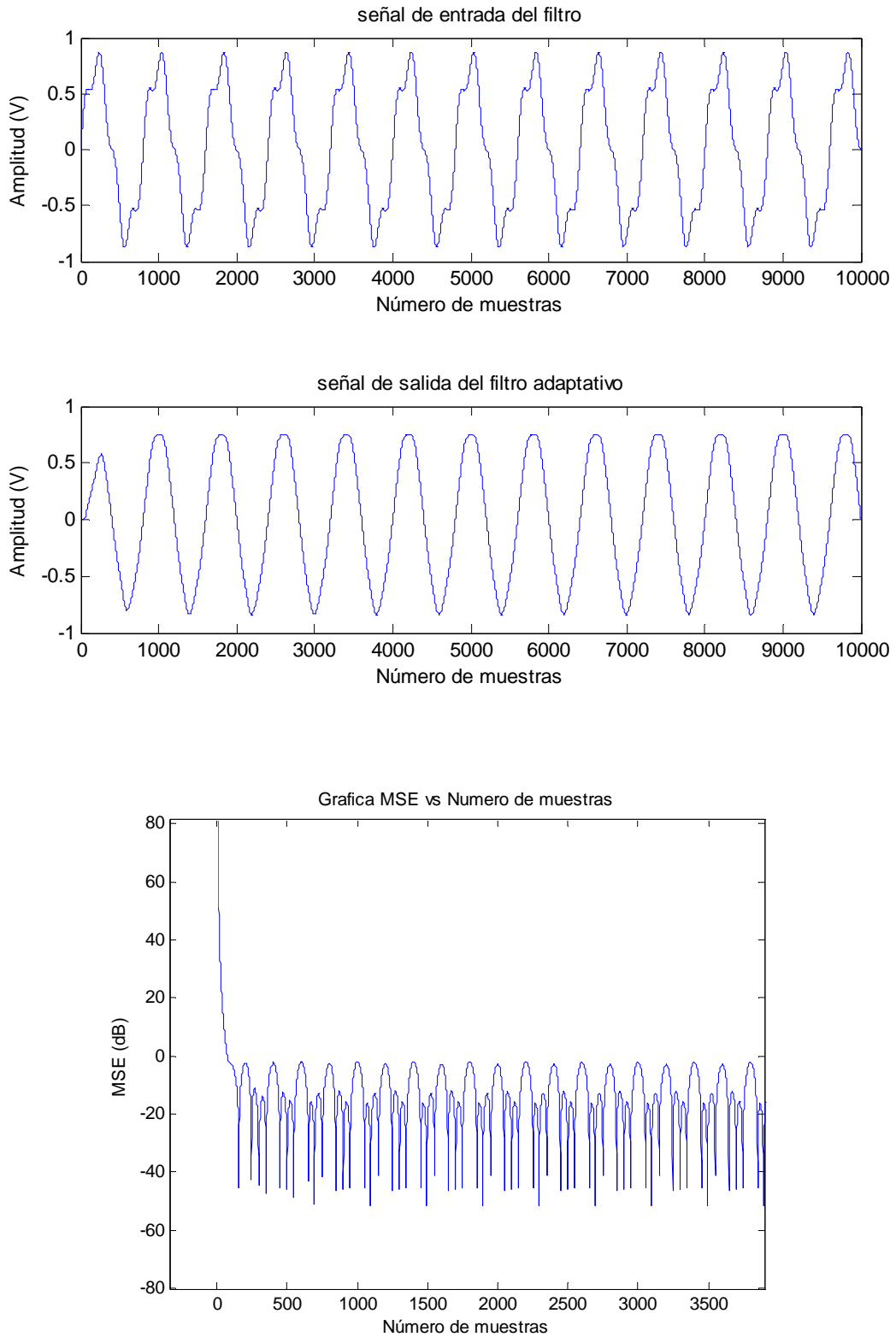


Figura 5.6 Respuesta del filtro LMS con dos pesos, $\mu=0.02$.

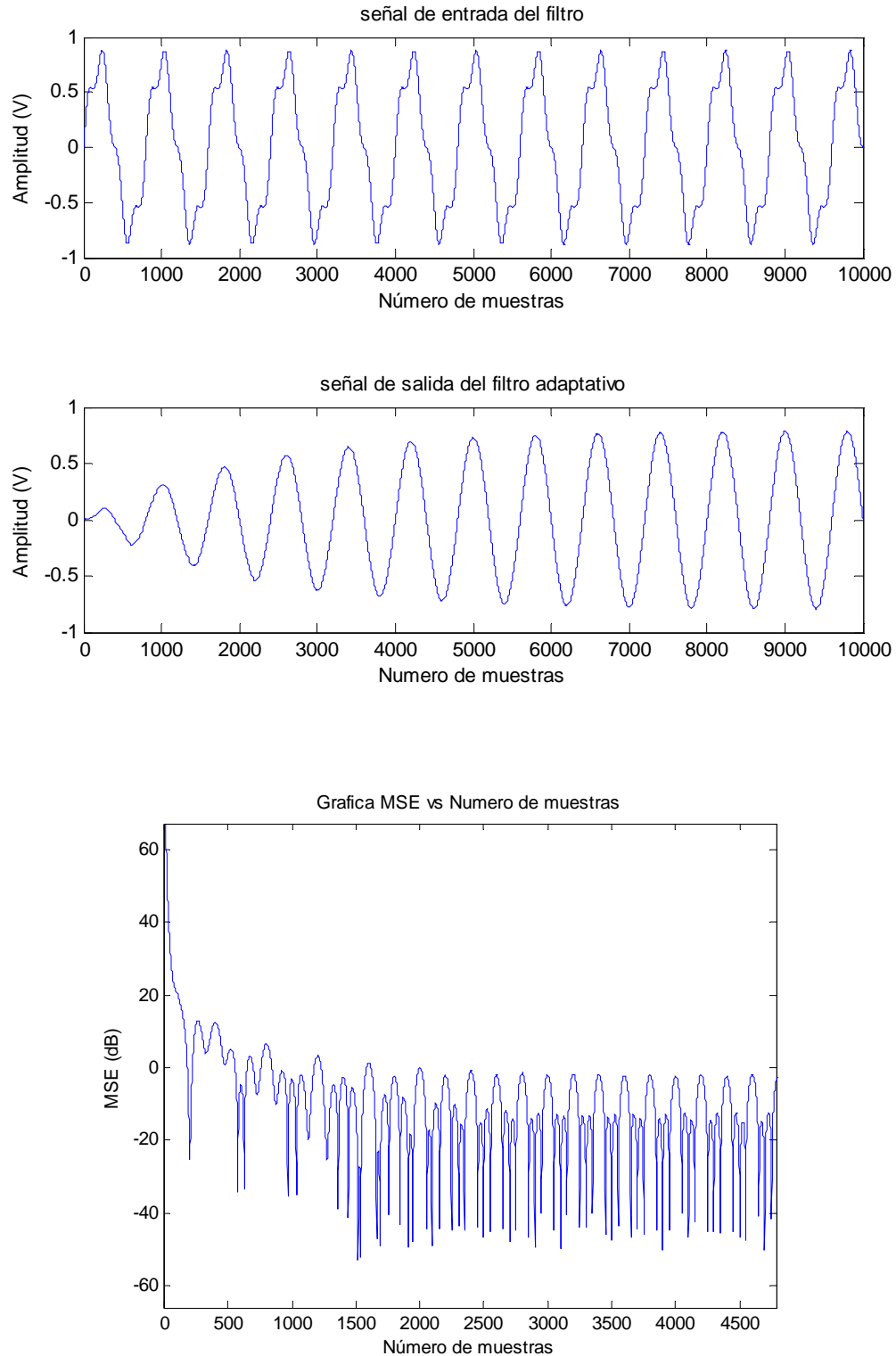


Figura 5.7 Respuesta del filtro LMS con dos pesos, $\mu=0.002$.

5.8 Resultados experimentales

Los resultados experimentales fueron obtenidos con señales de entrada de frecuencia baja y con solo un “*tap*” ó peso en el filtro, con el propósito de verificar el funcionamiento de la celda de memoria en modo adaptativo, esto es, la celda será capaz de actualizar y almacenar el peso en cada iteración con base en el algoritmo de aprendizaje, el cual, fue implementado externamente en modo digital. La salida del filtro será la señal estimada, la que tiene que hacer que se parezca a la señal deseada. En el experimento, las señales que se utilizaron tanto para la señal de entrada, como para la señal de referencia fueron señales de onda triangular con frecuencia de 10 Hz y una amplitud de 2.5V respectivamente.

El valor inicial del peso de la celda de memoria antes de iniciar la adaptación, fue colocado en 2.5V, que para el valor del peso del filtro será el nivel de referencia ó 0. Por lo tanto, el amplificador diferencial de entrada única a diferencial utilizado para pasar el valor del peso de la memoria a modo diferencial, se le aplica un voltaje en modo común de 2.5V. Con este valor, su voltaje de excursión de salida esta en el rango de 2.1V a 2.9V, para cuando el voltaje en modo común y el valor inicial del peso de la celda de memoria es de 2.5V. Así entonces, el valor de 2.5V será el punto inicial ó de referencia para todos los circuitos usados en el filtro LMS, específicamente el valor con el cual, el peso empezará a adaptarse hasta llegar ya sea, al valor de 2.1V ó 2.9V; así como para el voltaje de referencia de los amplificadores diferenciales de entrada única a diferencial. En este caso, este valor representa el valor de referencia “0”.

A partir del valor de 2.5V que corresponde al valor 0 en el peso del filtro, se inició la actualización del peso en la celda de memoria, dejando que el filtro realice la adaptación. Los parámetros para la medición de estas pruebas, se presentan en la tabla 5.2. La microfotográfica del circuito integrado, se muestra en la Figura 5.8, La tablilla (PCB), con el filtro implementado, se muestra en la Figura 5.9, la cual, muestra los dispositivos utilizados en el filtro, que se describieron anteriormente.

Bajo estas condiciones, se comenzó a evaluar la operación del filtro. En la Figura 5.10 se muestra su evolución, esto es, la actualización del peso. Las señales que presentan las gráficas durante la evolución del filtro para llegar a la convergencia son, la salida del filtro y la señal de error respectivamente. Al inicio, la señal de error presento una señal triangular con amplitud de 2.5V, mientras que la salida del filtro fue de 0V. El valor de la razón de adaptación fue ajustada a través de la frecuencia aplicada de 200Hz en la entrada del reloj (CLK_{LMS}) del bloque LMS (implementado con el PIC18F252), el cual, controla el tiempo de cambio del contador de bajada, el cual a su vez, genera y define una ventana de tiempo que se genera mediante la precarga del contador con la magnitud digital de la señal de entrada de siete bits por cada iteración, y por la amplitud de los pulsos de inyección y tuneleo, que en este caso, se mantuvieron en un valor mínimo de 0 a 2V y de 0 a 25.8V para activar la inyección y tuneleo en la celda de memoria, respectivamente. Para incrementar la razón de adaptación, se debe de aplicar frecuencias más altas al reloj

(CLK_{LMS}) del bloque LMS y como consecuencia, se tendrán tiempos de convergencia mas pequeños.

Durante la ventana de tiempo, se activan los pulsos generados por la señal de error (S_{e+} y S_{e-}), los cuales son convertidos a los valores de amplitud para la inyección y tuneleo y retroalimentados a la celda de memoria para actualizar el valor del peso en cada iteración, con base en (5.16). El número de pulsos retroalimentados es proporcional al producto entre la duración de la ventana de tiempo, la cual a su vez representa la magnitud de la señal de entrada y el numero de pulsos de error, que representa el valor del error entre la señal deseada y la salida del filtro.

Con la frecuencia de 200Hz aplicada al reloj (CLK_{LMS}), se tiene una razón de adaptación baja, la cual, se observa en el tiempo de convergencia que el filtro toma para lograr la adaptación ó identificación de la señal, el cual, fue de 2 horas, tiempo durante el cual, se fue actualizando el valor del peso de la celda de memoria desde el valor inicial de 0 hasta un valor de 0.395, que corresponde con el valor del voltaje de la máxima desviación ascendente del amplificador diferencial de entrada única a diferencial del peso que es de 2.5V a 2.9V. Durante el intervalo de adaptación del peso, la señal de error fue disminuyendo, mientras que la salida del filtro LMS fue aproximándose a la forma de la señal deseada, esto es, en forma triangular.

En la Figura 5.11 se muestra el resultado final, esto es, cuando el filtro llegó a la convergencia. Como se puede observar, la señal de error es prácticamente cero, (no hay pulsos generados), mientras que la salida del filtro es idéntica a la señal de referencia, lo cual significa que el filtro identificó perfectamente a la señal desconocida. Cabe mencionar que no se obtuvo la grafica del error cuadrático medio debido a que el número de muestras era demasiado grande ya que el tiempo de convergencia fue alto. Por lo tanto, en un trabajo a futuro, se deberá analizar el filtro LMS con diferentes señales de entrada con diferente amplitud y frecuencia con el propósito de determinar el error cuadrático medio (MSE), el cual, será el indicador de la resolución y exactitud del filtro.

Bajo las mismas condiciones se realizó una segunda prueba para evaluar el tiempo de convergencia, incrementando a 5KHz la señal del reloj del bloque LMS. En este caso, el único cambio que se obtuvo, fue en el tiempo de convergencia, el cual, fue de 10 minutos, verificándose de esta forma la teoría del filtro, esto es, si la razón de adaptación se incrementa, el tiempo de convergencia disminuye y viceversa.

Como se puede observar, los tiempos de convergencia son grandes, pero el propósito de la implementación de este filtro, fue la verificación de la celda de memoria para almacenar y actualizar el peso con señales de frecuencia baja tanto para las señales de entrada como para el reloj (CLK_{LMS}) del bloque LMS. En una segunda fase y como trabajo futuro se analizará y verificará el comportamiento del filtro con frecuencias más altas en aplicaciones típicas con velocidades de adaptación mucho mayores.

Por otro lado, la ventaja de usar esta celda de memoria fue la de verificar su funcionamiento y viabilidad para poder implementar filtros de mayor orden ó pesos, totalmente en modo analógico, como por ejemplo de 200 ó 300 pesos los cuales, se pueden implementar en un solo circuito integrado debido a que el área de silicio que ocupa la celda es mínima; lo que no sucedería con el uso de integradores, debido a que el área de silicio se incrementaría demasiado.

Con base en los resultados obtenidos, se puede decir que el filtro opera en un ambiente de bajo ruido, causado por el ruido de cuantización que se encuentra presente, y a que el algoritmo de adaptación fue implementado digitalmente, externo a la celda de memoria. Si el algoritmo se diseñara e integrara en forma analógica, los resultados serían totalmente diferentes, ya que el diseño analógico es más complejo y se necesitaría la evaluación de nuevos parámetros y variables.

TABLA 5.2
PARAMETROS PARA EL FILTRO LMS

	V_{bias} (V)	V_{tun} (V) (pulsos)	V_{inj} (V) (pulsos)	S_{in} (V)	S_{ref} (V)	LMS_{clk} (Hz)
Prueba 1	1.6	0-25.8	0 a -2	0-2.5	0-2.5	200
Prueba 2	1.6	0-25.8	0 a -2	0-2.5	0-2.5	5000

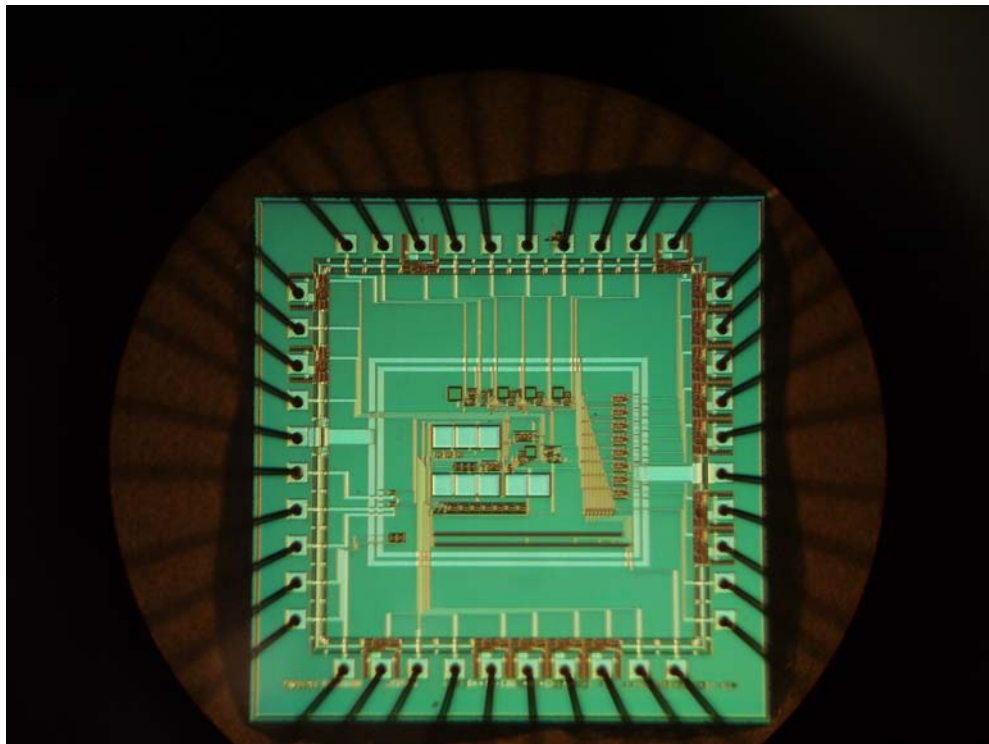


Figura 5.8. Microfotografía del circuito integrado del filtro LMS.

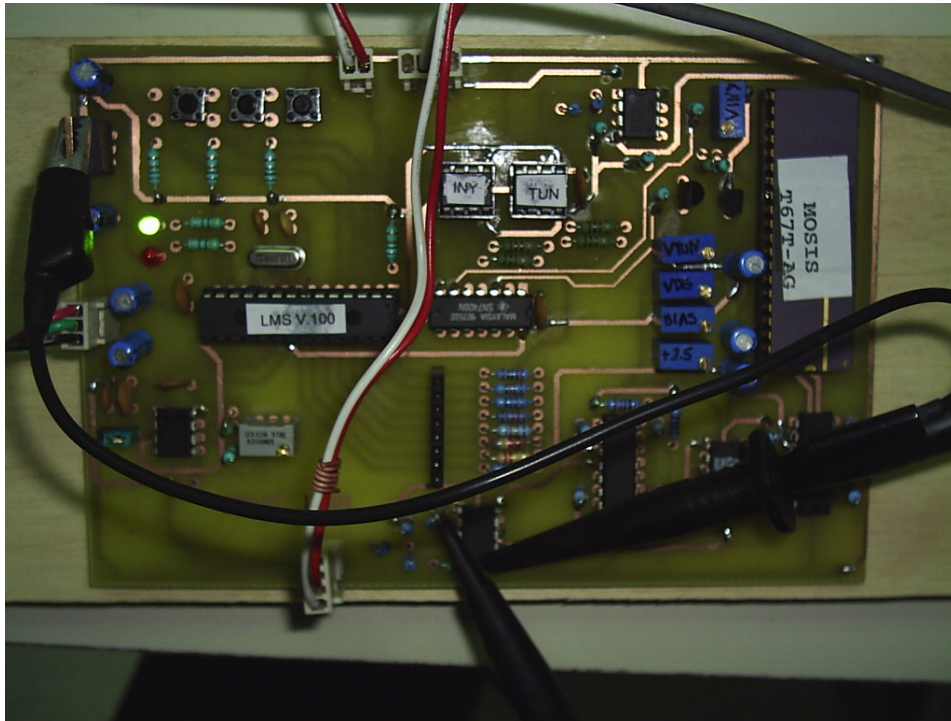
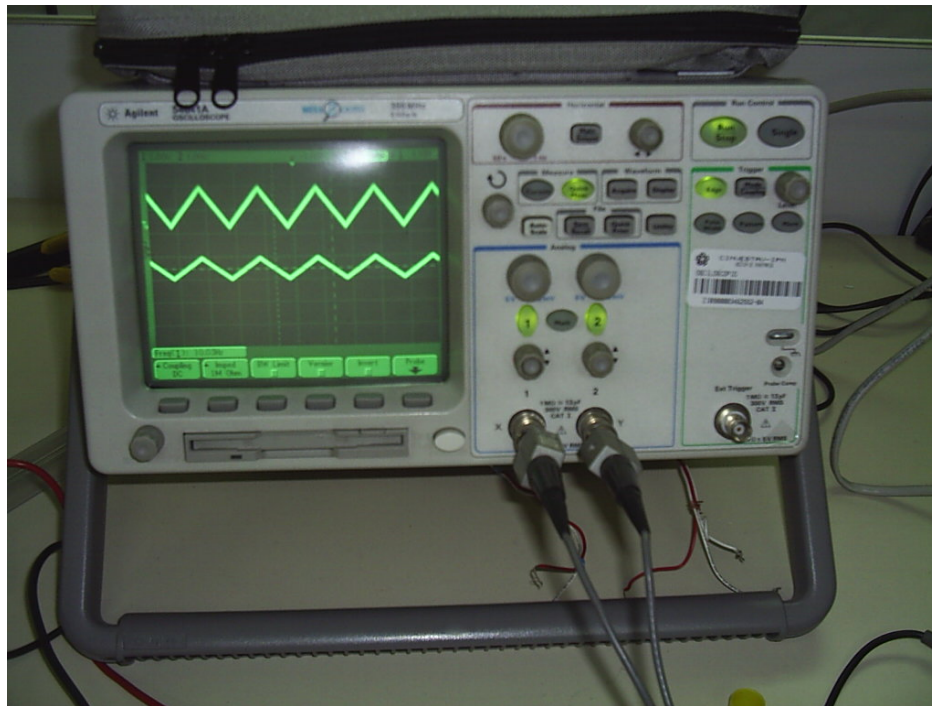


Figura 5.9. Tablilla (PCB), que muestra los dispositivos para la implementación del filtro LMS.



a)

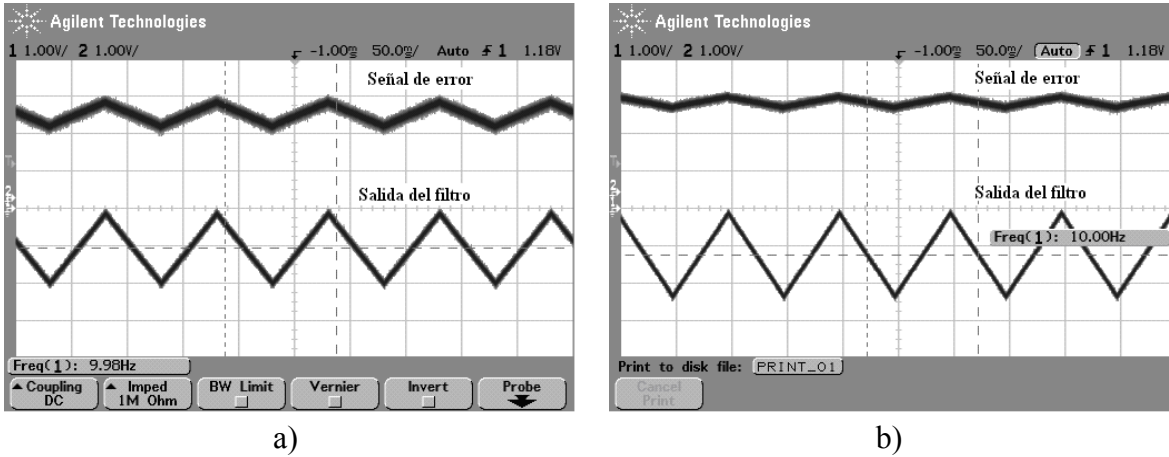


Figura 5.10. Evolución del filtro LMS. a) durante la mitad del tiempo de adaptación. B) durante $\frac{3}{4}$ del tiempo de adaptación.

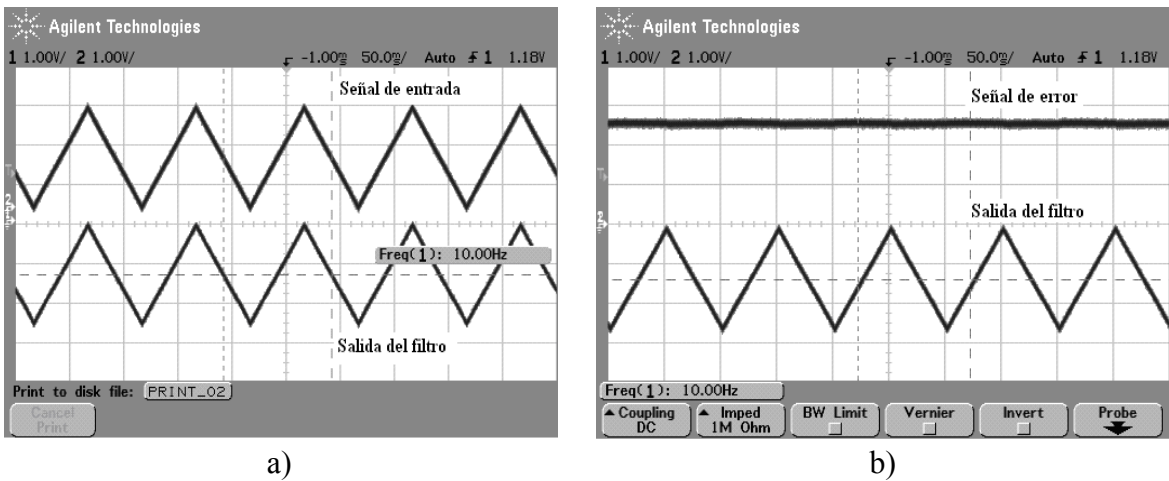


Figura 5.11. Cuando la adaptación ha finalizado. a) señales de entrada y salida. b) señales de error y de salida del filtro.

5.10 Conclusiones del Capítulo 5

En este capítulo, se presentó el diseño e implementación de un filtro LMS de un solo peso en modo mixto. Con este circuito, se dio una solución alternativa al problema de poder almacenar y actualizar el peso en modo analógico, usando la celda de memoria analógica.

El algoritmo de aprendizaje fue implementado en modo digital para formar parte del proceso de identificación de una señal triangular, en el cual, la inyección y tuneo, juegan el papel principal para obtener la adaptación del sistema.

Con los resultados obtenidos, se puede decir que el filtro LMS funcionó adecuadamente con base a la selección de la razón de adaptación ó “tamaño del paso”, y de la amplitud de los pulsos de retroalimentación aplicados a la celda de memoria.

Conclusiones Generales

La contribución de este trabajo de investigación, fue la de llevar a cabo un análisis del comportamiento del transistor de compuerta flotante para diseñar circuitos en modo analógico. Las estrategias de desarrollo se realizaron en forma comparativa en un contexto dado, a través de la técnica para modificación la carga de la compuerta flotante mediante, ya sea, aplicando los procesos de inyección y tuneo de electrones y/o a través de la técnica de acoplamiento capacitivo, aplicando señales de entrada en diferentes compuertas de control acopladas capacitivamente a la compuerta flotante del transistor, con el propósito de tener elementos de juicio para conocer las ventajas y/o desventajas de este dispositivo para elegir la mejor técnica para usarla y aplicarla en el diseño de circuitos analógicos VLSI en general.

Para tal propósito y para cumplir con el objetivo terminal de este trabajo, se analizó la operación del transistor de compuerta flotante para diseñar e implementar circuitos analógicos CMOS, como ejemplos de aplicación empleando las dos técnicas arriba mencionadas, los siguientes circuitos:

Una celda de memoria analógica, un potenciómetro electrónico (*e-pot*), y una fuente de voltaje de referencia. El enfoque de estos circuitos fue con el propósito de aplicar la inyección y tuneo de electrones para determinar su comportamiento y operación. Los resultados obtenidos fueron satisfactorios ya que la operación de los circuitos estuvo acorde con los resultados teóricos y simulados de cada uno de ellos. Además, cabe mencionar, que se verifico los modelos de simulación del transistor de compuerta flotante tanto para la inyección y tuneo de electrones, así como para el modo de acoplamiento capacitivo para la tecnología de fabricación utilizada, que en este caso fue de 1.2 μm , ya que no se tenían comprobados.

En el otro caso, para seleccionar la operación del transistor acoplado capacitivamente, se diseñó e implementó un circuito de línea de retardo ajustable totalmente diferencial, el cual mostró que el transistor MOS de compuerta flotante también puede ser utilizado para diseñar circuitos electrónicos de bajo voltaje y baja potencia mediante el control de su voltaje de umbral a través de voltajes aplicados en sus compuertas de control.

La arquitectura del circuito fue totalmente en modo analógico y no necesitó de circuitos adicionales en sus etapas de acoplamiento entre los filtros para su funcionamiento. Así también, el circuito tiene la característica de ajustar el tiempo de retardo dentro ciertos límites de tiempo con relación en la frecuencia de corte de los filtros. Con base en los resultados experimentales, el circuito trabajó con buena linealidad y exactitud, utilizando un voltaje de alimentación de 1.5V y una potencia de disipación de 52 μW .

Finalmente, se diseñó e implementó un algoritmo de aprendizaje LMS, como identificador de señales, cuyo bloque principal fue la celda de memoria analógica. En este ejemplo de

aplicación, la celda de memoria almacenó y actualizó el peso del filtro como carga en la compuerta flotante de un transistor pMOS. La actualización fue en forma lineal, aplicando un esquema de densidad de pulsos de amplitud y ancho fijo para activar la inyección y tuneo de electrones. El algoritmo LMS, se implementó externamente en forma digital como parte del sistema de identificador de señales, en donde la inyección y tuneo tuvieron la función principal. El filtro LMS, funcionó correctamente con base en la selección de la razón de adaptación, que en este caso se tuvo control de ella a través de la frecuencia del reloj del contador de bajada y de la amplitud de los pulsos de error.

Los modelos utilizados para realizar la simulación del transistor de compuerta flotante, que representan la operación ideal del transistor, definen lo más adecuadamente posible su operación, para obtener una amplia consulta de los datos de operación de su estructura para ambas técnicas de operación, esto es, acoplado capacitivamente ó a través de la inyección y tuneo de electrones. Asimismo, los modelos se adaptaron a las necesidades y problemas que configuraron la implementación de circuitos reales, lo cual, significa que son válidos para una amplia gama de aplicaciones.

Las pruebas experimentales de los circuitos diseñados, proporcionan suficientes argumentos para establecer que la operación y funcionamiento del transistor de compuerta flotante con base en su teoría, es satisfactoria y adecuada. Esto es, dado un problema de diseño en modo analógico, la tecnología de fabricación, que en este caso es de $1.2\ \mu\text{m}$, una aplicación específica, el diseño se puede realizar usando el transistor de compuerta flotante operando a través de cualquiera de las dos técnicas de operación, además, de tener la ventaja de diseñar circuitos con bajo voltaje de alimentación y consecuentemente baja potencia de disipación.

Sin embargo, se deberán de tomar en cuenta las condiciones de operación externas establecidas a través de estímulos de voltaje y/o corrientes mediante diversos circuitos, para programar las condiciones de operación del transistor de compuerta flotante para realizar el objetivo de un diseño específico con este tipo de transistor, debido a que estos circuitos pueden resultar ineficaces y/ó alterar el resultado esperado, esto es, debido a que cada circuito tiene sus propias limitaciones con base en su arquitectura para proporcionar exactitud tanto en amplitud como en tiempo.

Productos obtenidos

1. Jesús de la Cruz-Alejo, Felipe Gómez-Castañeda, José A. Moreno-Cadenas y Juan C. Iglesias-Rojas, “Adaptive signal identification using LMS filter with an analog memory cell”, presentado en la 2007 4th Internacional Conference on Electrical and Electronics Engineering and XIII Conferencia de Ingeniería Eléctrica, (*ICEEE/CIE 2007*), del 5 al 7 de septiembre de 2007, México, D.F. México.
2. Jesús de la Cruz-Alejo, Felipe Gómez-Castañeda, y José A. Moreno-Cadenas, “Voltage Source Circuit Based on CMOS Floating Gate Memory”, presentado en la 2007 4th Internacional Conference on Electrical and Electronics Engineering and XIII Conferencia de Ingeniería Eléctrica, (*ICEEE/CIE 2007*), del 5 al 7 de septiembre de 2007, México, D.F. México.
3. Jesús de la Cruz-Alejo, J. A. Pastrana-Sedeño, Felipe Gómez-Castañeda, y José A. Moreno-Cadenas, “Low-Voltage and Low-Power Adjustable Differential Delay Line using the FGMOS Transistor”, presentado en la 7th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS 2008), del 28 al 30 de abril de 2008, Cancún, México
4. Jesús de la Cruz-Alejo, Felipe Gómez-Castañeda y José A. Moreno-Cadenas, “Electronic Potentiometer Cell using a CMOS Floating Gate Memory”, que fue presentado en la 2008 5th Internacional Conference on Electrical and Electronics Engineering and XIII Conferencia de Ingeniería Eléctrica, (*ICEEE/CIE 2008*), del 12 al 14 de noviembre de 2008, México, D.F. México.
5. Agustín Medina-Vázquez, Felipe Gómez-Castañeda, José A. Moreno-Cadenas and Jesus de la Cruz-Alejo, “Voltage – Current Converter for a Memory Current Cell Using Floating Gate Transistors”, que fue presentado en la 2008 5th Internacional Conference on Electrical and Electronics Engineering and XIII Conferencia de Ingeniería Eléctrica, (*ICEEE/CIE 2008*), del 12 al 14 de noviembre de 2008, México, D.F. México.
6. Jesús de la Cruz-Alejo, Felipe Gómez-Castañeda y José A. Moreno-Cadenas, “New topology for a variable differential delay line using the FGMOS transistor”, el cual ha sido publicado en la revista *Internacional Journal of Electronics*, Volumen 95, Issue 12, december 2008. Pages 1305-1321.

Trabajo Futuro

El diseño de circuitos analógicos usando el transistor de compuerta flotante, tiene un gran auge a nivel mundial, debido a que en varias estructuras de circuitos en modo analógico, se pueden tener soluciones que generan ventajas en términos de potencia, área de silicio, y bajo-voltaje por mencionar algunas. De esta manera se pueden implementar, diferentes bloques si estos se diseñan adecuadamente en función del objetivo usando el transistor de compuerta flotante, como se realizó en este trabajo de tesis. Por lo tanto el trabajo a futuro consistirá en:

- Continuar con la línea de investigación con el transistor de compuerta flotante.
- Diseñar cada bloque del algoritmo LMS en modo analógico con base en la función que realiza dicho algoritmo, el cual en este trabajo se implementó en modo digital y verificar su comportamiento con diferentes señales de entrada
- Implementar el algoritmo LMS con la línea de retardo presentada en el Capítulo 4, para verificar su funcionamiento e implementar el filtro LMS con tecnología de 1.2 μm . para usarlo en diferentes aplicaciones tales como: cancelador de eco, como filtro en un electrocardiograma, como predictor, etc.
- Diseñar diferentes estructuras usando el transistor de compuerta flotante, tales como amplificadores diferenciales, multiplicadores fuentes de corriente, con el propósito de eliminar los desacoplamientos que presentan estos circuitos debidos a variaciones tecnológicas en los parámetros de los dispositivos, debidos a su fabricación.

Referencias y Bibliografía

- [1] D. Kahng and S.M. Sze, "A floating gate and its application to memory devices", *The Bell System Technical Journal*, vol. 46, no. 4, 1967, pp. 1288-1295.
- [2] C. Bleiker and H. Melchior, "A four-state EEPROM using floating- gate memory cells," *IEEE J. Solid State Circuits*, vol. SC-22, pp. 460–463, 1987.
- [3] H. V. Tran *et al.*, "A 2.5V 256-level nonvolatile analog storage device using EEPROM technology," in *Proc. 1996 IEEE Intl. Solid-State Circuits Conf., Dig. Tech. Papers*, San Francisco, CA, 1996, pp. 270–271.
- [4] S. Aritome *et al.*, "Reliability issues of flash memory cells," *Proc. IEEE*, vol. 81, no. 5, pp. 776–787, 1993.
- [5] C. Mead, *Analog VLSI and Neural Systems*. Reading, MA: Addison-Wesley, 1989.
- [6] E. Sanchez-Sinencio, A. G. Andreou, *Low-Voltage/Low-Power Integrated Circuits and systems—Low-Voltage Mixed-Signal Circuits*, *IEEE Press*, ISBN 0-7803-3446, pp. 135-136, 1999.
- [7] J. Ramirez-Angulo, R.G. Carbajal, J. Tombs, A. Torbala, "Low voltaje CMOS opamp with rail-to-rail input and output signal swing for continuous-time signal processing using multiple-input floating gate transistors," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, 2001, 48, pp. 111-116.
- [8] Shibata, T., and Ohmi, T. " A functional MOS transistor featuring gate-level weighted sum and threshold operations," *IEEE transactions on Electron Devices*, 1992 39(6), pp. 1444-55.
- [9] Shibata, T., and Ohmi, T. " Neuron MOS binary-logic integrated circuits- Part I: designs fundamentals and soft-hardware-logic circuit implementations," *IEEE Transactions on Electron Devices*, 1993 40(3), pp. 570-6.
- [10] Shibata, T., and Ohmi, T. " Neuron MOS binary-logic integrated circuits- Part II: simplifying techniques of circuit configuration and their practical applications," *IEEE Transactions on Electron Devices*, 1993 40(3), pp. 570-6.
- [11] B. Widrow and S. D. Stearns, *Adaptive Signal Processing*. Englewood Cliffs, NJ: Prentice-Hall, 1985.
- [12] D. Hsu, M. Figueroa, and C. Diorio, "Competitive Learning with Floating-Gate Circuits," *IEEE Transactions on Neural Networks*, vol. 13, pp. 732-744, 2002.

- [13] P. Hasler, B. Minch, and C. Diorio, "An Autozeroing Floating-Gate Amplifier," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 74-82, 2001.
- [14] P. Hasler and J. Dugger, "Correlation Learning Rule in Floating-Gate pFET Synapses," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 65-73, 2001.
- [15] A. Shon, D. Hsu, and C. Diorio, "Learning Spike-Based Correlations and Conditional Probabilities in Silicon," presented at Neural Information Processing Systems (NIPS), Vancouver, BC, 2001.
- [16] C. Diorio, P. Hasler, B.A. Minch, and C. Mead, "A three-terminal silicon synaptic device," U.S. Patent 5 825 063, July 26, 1998.
- [17] C. Diorio, P. Hasler, B. A. Minch, and C. Mead, "A semiconductor structure for long-term learning," U.S. Patent 5 627 392, May 6, 1997.
- [18] C. Diorio, P. Hasler, B.A. Minch, and C. Mead, "A complementary pair of four-terminal silicon synapses," *Analog Integrat. Circuits Signal Process.*, vol. 13, pp. 153–166, 1997.
- [19] Rodríguez-Villegas, E. *Low Power and Low Voltage Circuit Design with the FGMOS Transistor*, The Institution of Engineering and Technology, London, United Kingdom, 2006.
- [20] T. Ochiai and H. Hatano, "A Proposition on Floating Gate Neuron MOS Macromodeling for Device Fabrications," *IEICE Trans. Fundamentals*, Vol. E82-A, No. 11, Nov. 1999.
- [21] T. Ochiai and H. Hatano, "DC Characteristic Simulation for Floating Gate Neuron MOS Circuits," *Electronic Letters*, Vol. 35, No. 18, Sept. 1999.
- [22] Rodriguez-Villegas, E., and Barnes, H.: "Solution to the trapped charge in FGNOS transistors", *IEE Electronic Letters*, 2003, 39 (19), pp 1416-17.
- [23]. B. Yngvar, T. Lande, Ø. Naess, "Programming floating-gate circuits with UV activated conductances," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, Vol. 48, No. 1, January 2001.
- [24] Lenzlinger, M. and Snow, E. H., "Fowler-Nordheim tunneling in thermally grown SiO₂," *Journal of Applied Physics*, vol. 40, p. 278, 1969.

- [25] C. Mead, "Scaling of MOS technology to sub-micrometer feature sizes," *J. of VLSI Signal Processing*, vol. 8, pp. 9–25, 1994.
- [26] Y. Xu, *Electron transport through thin film amorphous silicon—A tunneling study*, Ph.D. Thesis, Stanford University, 1992.
- [27] J. J. Sanchez and T. A. DeMassa, "Review of carrier injection in the silicon/silicon-dioxide system," in *Proc. Inst. Elect. Eng.*, vol. G-138, 1991, pp. 377–389.
- [28] P. Hasler, A. Andreou, C. Diorio, B. A. Minch, and C. Mead, "Impact ionization and hot-electron injection derived consistently from Boltzmann transport," *VLSI Design*, vol. 8, no. 14, pp. 455–461, 1998.
- [29] P. Hasler and L.A. Akers. A continuous-time synapse employing a multilevel dynamic memory. In *Proceedings of the International Joint Conference on Neural Networks*, pages I-563–I-568, Seattle, 1991.
- [30] Paul Hasler, Chris Diorio, Bradley A. Minch, and Carver A. Mead. Single transistor learning synapses. In Gerald Tesauro, David S. Touretzky, and Todd K. Leen, editors, *Advances in Neural Information Processing Systems 7*, pages 817–824. MIT Press, Cambridge, MA, 1995.
- [31] Kambiz Rahimi, Chris Diorio, Cecilia Hernandez, M. Dean Brockhausen "A simulation model for floating-gate MOS synapse transistors". *Proceedings of the 2002 IEEE International Symposium on Circuits and Systems*. Phoenix, AZ, vol. 2 pp. 532-535, 2002.
- [32] P. Hasler and L.A. Akers. A continuous-time synapse employing a multilevel dynamic memory. In *Proceedings of the International Joint Conference on Neural Networks*, pages I-563–I-568, Seattle, 1991.
- [33] Paul Hasler, Chris Diorio, Bradley A. Minch, and Carver A. Mead. Single transistor learning synapses. In Gerald Tesauro, David S. Touretzky, and Todd K. Leen, editors, *Advances in Neural Information Processing Systems 7*, pages 817–824. MIT Press, Cambridge, MA, 1995.
- [34] D. Durfee and F.S. Shoucair. Comparison of floating gate neural network memory cells in standard vlsi CMOS technology. *IEEE Transactions on Neural Networks*, 3(2):347–353, 1992.
- [35] O. Fujita and A Yoshihito. A Floating-gate analog memory device for neural networks. *IEEE Transactions on Electron Devices*, 40(11):2029–2035, 1993.
- [36] Jeff Dugger. *Adaptive Analog VLSI Signal Processing and Neural Networks*. PhD thesis, School of Electrical and Computer Engineering Georgia Institute of Technology November 2003.

[37] Chris Diorio, S. Mahajan, Paul Hasler, Bradley A. Minch, and Carver Mead. “*A High-Resolution Nonvolatile Analog Memory Cell*,”. In IEEE International Symposium on Circuits and Systems, volume 3, pages 2233–2236, Seattle, WA, 1995.

[38] Phillip E. Allen and Douglas R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press, 2 edition, 2002.

[39] R. Harrison, J. A. Bragg, P. Hasler, B. A. Minch, and S. Deweerth, “A CMOS programmable Analog Memory Cell Array Using Floating Gate Circuits,” *IEEE transactions on Circuits and Systems II*, vol. 48, issue 1, Jan. 2001, pp. 4-11.

[40] R. Harrison, P. Hasler, and B. A. Minch, “Floating-gate CMOS analog memory cell array,” in *Proc. Int. Symp. Circuits and Systems*, Monterey, CA, 1998, see also <http://users.ece.gatech.edu/phasler>.

[41] K. Takakubo, H. Takakubo, S. Takagi, and N. Fujii, “An MOS voltage follower having wide dynamic range for discrete-time analogs circuits,” in *Proc. Int. Symp. Nonlinear Theory and its applications NALTA '95*, Dec. 1995, vol. 2, pp. 1081-1084.

[42] B. Doyle, “The hot carrier effect,” in *ULSI devices*, edited by C. Y. Chang and S. M. Sze, John Wiley, Inc, New York, 2000, pp. 275-332

[43] Jesús de la Cruz Alejo, Victor Ponce Ponce, Felipe Gómez Castañeda and José A. Moreno Cadenas. “*Voltage Source Circuit Based on CMOS Floating-Gate Memory*,” Presentado en la 4th International Conference on Electrical and Electronics Engineering and XIII Conferencia de Ingeniería Eléctrica (*ICEEE/CIE 2007*), Mexico, D.F.

[44] Yoo T., Song J., Park M. “360° reflection-type analogue phase shifter implemented with a single 90° branch line”. *Electronics Letter* 1997, 33(3): 224-226

[45] Tsvividis, Y. P. “Integrated continuous-time filter design-An overview,” *IEEE J. Solid-State Circuits*, vol.29,pp. 166-176, Mar. 1994.

[46]Huelsman, L.P. “*Active and Passive Analog Filter Design*”. New York: McGraw-Hill, 1993.

[47] Rodriguez-Villegas, E.O. Yufera, A., Rueda, A. “Low-Voltage Analog Filters using Floating-Gate MOSFETs.” *26th European Solid-States Circuits Conference (ESSCIR'00)*, pp 29-32, Sept. 2000.

[48] Jesús de la Cruz Alejo, Jesus Alonso Pastrana, Felipe Gómez Castañeda and José A. Moreno Cadenas. “*Low-Voltage and low-Power Adjustable Differential Delay Line Using the FGMOS Transistor*,” Presentado en la 7th International Caribbean Conference on Devices, Circuits and Systems (*ICCDACS/2008*), Cancun Mexico.

- [49] David A. Johns and Ken Martin, “Analog Integrated Circuit Design”, John Wiley & Sons Inc, ISBN 0-471-14448-7.
- [50] Héctor Pérez Meana, Mariko Nakano Miyatake, Luis Niño de Rivera, Juan Sánchez García; “Desarrollos recientes en sistemas adaptables analógicos”; *Revista Científica*; Vol. 5 No. 3; Julio-Septiembre 2001; pag. 113-129.
- [51] Carusone, A., Johns, D.A.; “Analogue adaptive filters: past and present”; *Circuits, Devices and Systems, IEEE Proceedings*; Vol: 147, Febrero 2000; pag. 82 – 90.
- [52] Principe José C., Euliano Neil R, “Neural and Adaptive Systems: Fundamentals through Simulation”, Ed. Wiley 1999, pag. 2-31.
- [53] H. Perez Meana, M. Nakano Miyatake, “Algoritmos LMS con factores de convergencia variables en el tiempo”, *Revista Científica*, vol. 8 No. 3, pag 139-150, 2004.
- [54] J. Velazquez López, Juan Carlos Sánchez García, Héctor Pérez Meana “Algoritmo LMS Modificado para Aplicaciones de Filtrado Adaptivo de Rápida Velocidad de Convergencia”, *Proceedings CIECE Febrero 2005*; Puebla México.
- [55] Miguel Figueroa, Seth Bridges, David Hsu, Chris Diorio; “A 19.2 GOPS Mixed Signal Filter With Floating-Gate Adaptation”; *IEEE, Journal of Solid State Circuits*, Vol 39, No.7, Julio 2004; pag. 1196-1201.
- [56] M. Holler, S. Tam, H. Castro, and R. Benson, “n electrically trainable artificial neural network with 10240 ‘floating gate synapses,” in *Proceedings of the International Joint Conference on Neural Networks* , vol. II, (Washington, D.C.), pp. 191–196, 1989.
- [57] M. Al-Nsour and H. Abdel-Aty-Zohdy, “ANN digitally programmable analog synapse,” *Proceedings of the Midwest Symposium on Circuits and Systems*, pp.489–492, Aug. 1999.
- [58] I. A. Mack, F. Kub, K. K. Moon, and F. M. Long, “Programmable Analog Vector-Matrix Multiplier,” *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 207–214, Feb. 1990.
- [59] Y. Tsvividis and S. Satyanarayana, “Analogue circuits for variable synapse electronic neural networks,” *Electronics Letters*, vol. 24, no. 2, pp. 1313–1314, 1987.
- [60] P. Hasler, B. A. Minch, and C. Diorio, “Adaptive circuits using pFET floating-gate devices,” in *Proc. Advanced Research VLSI*, Atlanta, GA, 1999, pp. 215–231.
- [61] M. Figueroa, D. Hsu, and C. Diorio, "A Mixed-Signal Approach to High-Performance, Low-Power Linear Filters," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 816-822, 2001.

[62] Jesús de la Cruz Alejo, Felipe Gómez Castañeda, José A. Moreno Cadenas and Juan C. Iglesias Rojas. “*Adaptive signal identification using LMS filter with an analog memory cell,*” Presentado en la 4th International Conference on Electrical and Electronics Engineering and XIII Conferencia de Ingeniería Eléctrica (*ICEEE/CIE 2007*), Mexico, D.F.

APENDICE A

**CODIGO PARA EL MODELO EN PSPICE DEL TRANSISTOR DE COMPUERTA
FLOTANTE EN MODO DE ACOPLAMIENTO CAPACITIVO**

```

**** Codigo*****

***Voltage bias*****

Vdd Vdd 0 5v
Vin Vin 0 5v
Vc Vc 0 -5

****Basic Circuit*****

M1 Vout1 7 0 0 MN W=10.8u L=1.2u ;NMOS Floating Gate
M2 Vout1 7 Vdd Vdd MP W=10.8u L=1.2u ;PMOS Floating Gate
M3 Vout2 Vout1 0 0 MN W=3.6u L=1.2u
M4 Vout2 Vout1 Vdd Vdd MP W=10.8u L=1.2u

**FGMOS Model*****

G1 0 3 Vin 0 1
G2 0 4 Vc 0 1
R1 3 0 0.0792
R2 4 0 0.0792
E 5 0 poly(2) 3 0 4 0 0 1 1
VZ 5 6 0
Rtot 6 0 0.2376
H 7 0 VZ 1

*****
PARÁMETROS DEL TRANSISTOR EN PSPICE BSIM3V3

.MODEL MN NMOS (
LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 3.16E-8
+XJ = 3E-7 NCH = 7.5E16 VTH0 = 0.5498487
+K1 = 0.9538243 K2 = -0.0828391 K3 = 3.132585
+K3B = -2.2454866 W0 = 8.074599E-7 NLX = 1E-8
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0.7293339 DVT1 = 0.3624623 DVT2 = -0.342915
+U0 = 635.8066371 UA = 1.056642E-9 UB = 2.844692E-18
+UC = 1.134033E-11 VSAT = 1.14072E5 A0 = 0.617973
+AGS = 0.0993993 B0 = 1.806196E-6 B1 = 5E-6
+KETA = -6.086326E-3 A1 = 0 A2 = 1
+RDSW = 3E3 PRWG = -0.0138428 PRWB = -0.0258797
+WR = 1 WINT = 6.949999E-7 LINT = 2.389034E-7
+XL = 0 XW = 0 DWG = -1.727896E-8
+DWB = 2.046946E-8 VOFF = -0.0600681 NFACTOR = 0.5519083
+CIT = 0 CDSC = 4.858138E-8 CDSCD = 3.400857E-7
+CDSCB = 8.72449E-5 ETA0 = -1 ETAB = -0.3473855
+DSUB = 0.7260434 PCLM = 1.3145274 PDIBLC1 = 8.840407E-3
+PDIBLC2 = 1.988193E-3 PDIBLCB = 0.1 DROUT = 0.0568002
+PSCBE1 = 2.164387E9 PSCBE2 = 5E-10 PVAG = 0.2637783
+DELTA = 0.01 RSH = 53.5 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0

```

```

+LLN = 1          LW = 0          LWN = 1
+LWL = 0          CAPMOD = 2       XPART = 0.5
+CGDO = 1.68E-10 CGSO = 1.68E-10 CGBO = 1E-9
+CJ = 2.764726E-4 PB = 0.99       MJ = 0.5557165
+CJSW = 1.425866E-10 PBSW = 0.99      MJSW = 0.100001
+CJSWG = 6.4E-11  PBSWG = 0.99     MJSWG = 0.100001)

.MODEL MP PMOS (
+VERSION = 3.1    LEVEL = 7
+XJ = 3E-7       TNOM = 27         TOX = 3.16E-8
+K1 = 0.4513608  NCH = 2.4E16     VTH0 = -0.8476404
+K3B = -2.2238332 K2 = 2.379699E-5 K3 = 13.3278347
+DVT0W = 0       W0 = 9.577236E-7 NLX = 7.59957E-7
+DVT1W = 0       DVT1W = 0         DVT2W = 0
+DVT2 = 1.0901095 DVT1 = 0.3847402 DVT2 = -0.0695115
+U0 = 236.8923827 UA = 3.833306E-9 UB = 1.487688E-21
+UC = -1.08562E-10 VSAT = 1.158963E5 A0 = 0.2655434
+AGS = 0.4032984 B0 = 4.918573E-6 B1 = 5E-6
+KETA = -3.420028E-3 A1 = 0           A2 = 0.364
+RDSW = 3E3      PRWG = 0.1264689 PRWB = -0.0934992
+WR = 1          WINT = 7.565065E-7 LINT = 9.271589E-8
+XL = 0          XW = 0           DWG = -2.13917E-8
+DWB = 3.857544E-8 VOFF = -0.0877184 NFACTOR = 0.2508342
+CIT = 0         CDSC = 2.924806E-5 CDSCD = 1.497572E-4
+CDSCB = 1.091488E-4 ETA0 = 0.27103   ETAB = -0.0155124
+DSUB = 0.2873  PCLM = 1E-10     PDIBLC1 = 3.837833E-4
+PDIBLC2 = 1.29647E-3 PDIBLCB = -1E-3 DROUT = 9.988424E-4
+PSCBE1 = 3.51921E9 PSCBE2 = 5.279883E-10 PVAG = 15.0001499
+DELTA = 0.01    RSH = 76.8       MOBMOD = 1
+PRT = 0         UTE = -1.5      KT1 = -0.11
+KT1L = 0        KT2 = 0.022     UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11  AT = 3.3E4
+WL = 0          WLN = 1         WW = 0
+WWN = 1         WWL = 0        LL = 0
+LLN = 1         LW = 0         LWN = 1
+LWL = 0         CAPMOD = 2       XPART = 0.5
+CGDO = 2.1E-10 CGSO = 2.1E-10  CGBO = 1E-9
+CJ = 2.971957E-4 PB = 0.8         MJ = 0.4398377
+CJSW = 1.665196E-10 PBSW = 0.8442544 MJSW = 0.1000437
+CJSWG = 3.9E-11  PBSWG = 0.8442544 MJSWG = 0.1000437)

```

APENDICE B

**CODIGO PARA EL MODELO EN PSPICE DEL TRANSISTOR DE COMPUERTA
FLOTANTE APLICANDO INYECCION Y TUNELEO DE ELECTRONES.**

Código para el modelo de simulación del transistor de compuerta flotante canal p, para la inyección y tuneo de electrones.

* la adaptación se da cuando $V_{tun} \sim 25V$; $V_{inj} \sim -2V$ cuando $V_{dd} \sim 6V$

```
Vtun 1 0 pwl(0s 24V 1s 24V)
Vtunn 4 3 0V
Vs 2 6 0V
Vd 9 10 0V
Vinj 2 0 6V
Vninj 11 10 0V
Vsg 2 5 0V
Vinjj 8 10 0V
Vcinj 10 0 pwl(0s -2V 1s -2V)
```

* capacitancia de entrada (desde la compuerta de control (poli2) hacia la compuerta flotante (poli1))

```
cin 5 3 100fF
```

* capacitor mos

```
mtun 1 3 1 1 cmosp l=2.4u w=3u ad=7.2p as=7.2p pd=10.8u ps=10.8u
```

* sinapsis

```
minj 9 3 6 6 cmosp l=2.4u w=2.4u ad=7.2p as=7.2p pd=10.8u ps=10.8u
```

* muestreo de corriente convertido a voltaje

* hxxx n(+) n(-) vnombre transresistencia

```
his 12 0 Vs 1
```

* fuente de voltaje controlada por voltaje para mejorar la convergencia

```
efg 7 0 3 0 1
```

```
rfg 3 7 1k
```

* Tunelamiento de Fowler - Nordheim

* $I_{tun0} = 9.35e8$ W L = $9.35e8$ (3) (2.4) = $6.732e9$

```
gtun 1 4 value = {6.732e9*exp(-368.04/v(1,3))}
```

* Modelo de inyección de electrones de alta energía (calientes) generados por impacto

```
ginj 3 8 value = {1.3e-5*v(12)*exp( (-155.75/((v(3,9)+0.702)*(v(3,9)+0.702))) + v(6,9) )}
```

* Modelo de electrones no inyectados

```
gninj 2 11 value = {1.127*v(12)*(2.985*v(6,9)-1.985*v(6,3)+0.78)*exp( -94.85/(2.985*v(6,9)-1.985*v(6,3)+0.78) )}
```

* opciones de simulación

```
.options opts list
```

* tipo de análisis transitorio

```
.ic v(3)=2.5V
```

```
.tran 1ms 1s
```

```
.probe
```

```
.end
```

APENDICE C

DISEÑO E IMPLEMENTACION DE DIODOS SCHOTTKY

FUNCIONAMIENTO DEL DIODO SCHOTTKY.

Un diodo Schottky es principalmente un dispositivo de portadores mayoritarios, esto significa que bajo varias condiciones, la corriente es conducida principalmente por portadores mayoritarios, lo que hace que el diodo Schottky siempre tenga tiempos de conmutación más rápidos que los diodos de unión P-N convencionales. Esta característica hace que los diodos Schottky puedan ser conmutados de un estado a otro mucho más rápido que los diodos convencionales. La Figura AC.1 muestra la estructura del diodo Schottky que representa las características arriba mencionadas.

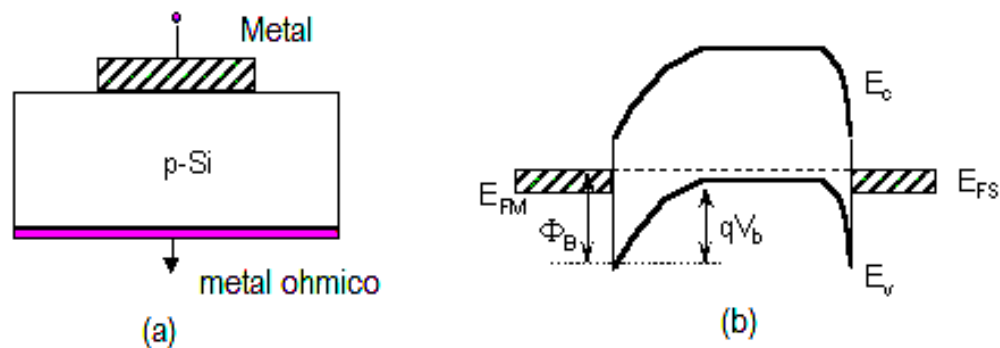


Figura AC.1. Diodo Schottky. a). Estructura. b). Diagrama de bandas.

En relación a la frecuencia de corte de un diodo Schottky, esta se caracteriza por la siguiente ecuación [5]:

$$f_{corte} = \frac{1}{(2\pi)(Rs)(Co)} \quad (A.C1)$$

En donde R_s es la resistencia en serie debido a la resistencia vertical (R_1), la resistencia asociada con la región del pozo debajo de entre el contacto del pozo (R_2) y la resistencia contacto/metal (R_3). La capacitancia C_o es debido a la capacitancia de unión y la capacitancia de interconexión parásita sin ningún voltaje de polarización. La Figura AC.2 muestra las resistencias y capacitancias individuales que constituyen R_s y C_o .

Finalmente, la funcionalidad de los diodos Schottky depende principalmente del producto de su resistencia en serie y su capacitancia de unión. Este producto puede ser minimizado en su diseño para lograr tener una mejor funcionalidad. Sin embargo, en sus características de corriente inversa y voltaje de rompimiento, estas componentes tienen valores bajos. Para mejorar estas características se deberá de colocar anillos de guarda en la implementación de diodos Schottky.

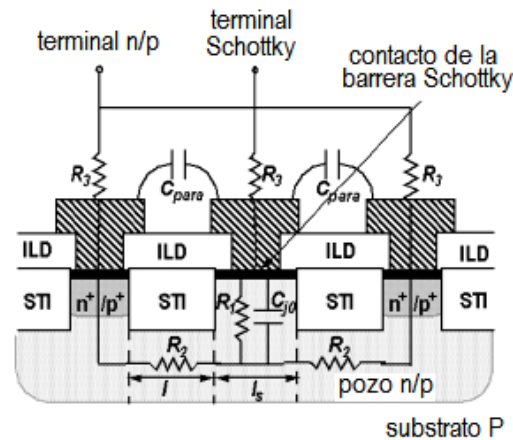


Figura AC.2. Sección transversal de las componentes R_s y C_o .

APLICACIONES.

Los diodos Schottky son ampliamente utilizados en circuitos integrados en aplicaciones tales como: desacoplamiento de dispositivos en circuitos digitales, recortadores para prevenir fuertes saturaciones en transistores bipolares. También, el diodo Schottky es un importante dispositivo de potencia y es utilizado como rectificadores de salida de fuentes de potencia en modo de conmutación, así también, en aplicaciones de conmutación de alta velocidad tales como controlador de motores, conmutación de dispositivos de comunicación, automatización electrónica e industrial.

Asimismo, el uso de un diodo Schottky generalmente permite que circuitos integrados tengan una mayor velocidad, debido a que es un dispositivo de portadores mayoritarios.

DISEÑO Y LAYOUT DEL DIODO SCHOTTKY.

Un diodo Schottky es formado cuando una capa de metal es depositada directamente sobre una región de un semiconductor tipo p ó n dopada ligeramente.

Cuando estos dos materiales son puestos en contacto, uno con respecto al otro, la diferencia de potencial entre estos, presenta una barrera con una determinada altura, que los electrones tienen que vencer para que exista un flujo de corriente.

El metal sobre el semiconductor ligeramente dopado es el ánodo y el material semiconductor, el cual es conectado a través de un contacto óhmico, es el cátodo, el cual es conectado a través de un contacto óhmico. Para este diseño, únicamente se utilizo diodos Schottky tipo n. La Figura AC.3, muestra una sección transversal de un diodo Schottky. La Figura AC.4, muestra la implementación de nuestro diseño fabricado en tecnología de 1.2 μm , de MOSIS.

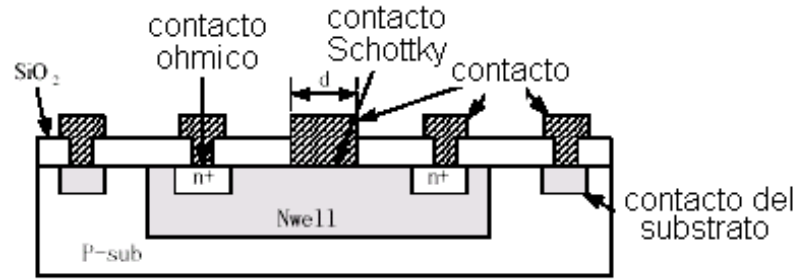


Figura AC.3. Sección transversal de un diodo Schottky.

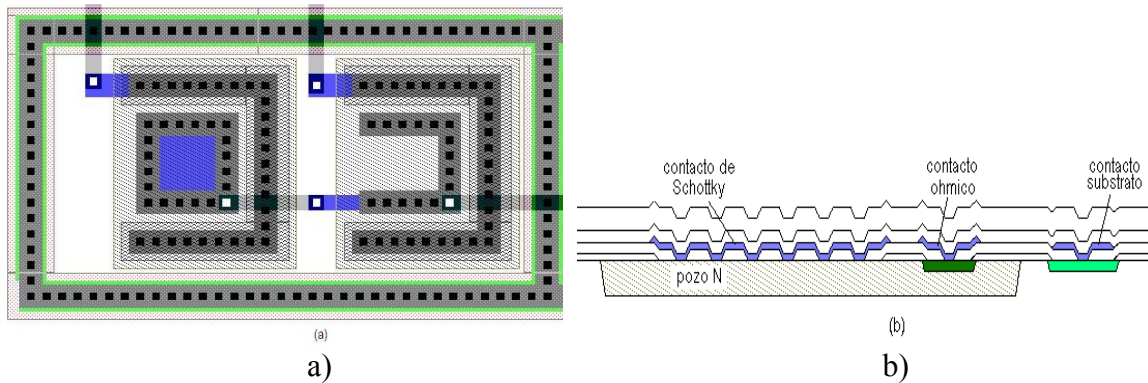


Figura AC.4 Implementación del diodo Schottky. a) Patrón geométrico. b) Sección transversal.

Como puede observarse, en nuestro diseño, no hay región activa abajo del contacto en el pozo N. Por lo tanto, la capa de metal esta conectada directamente al pozo N dopado ligeramente, teniendo como resultado la formación del contacto del diodo Schottky. Una inconveniencia, es que el proceso de fabricación determina la mayoría de los parámetros, tales como la función de trabajo del metal y la densidad del pozo N. Por lo tanto, únicamente se puede tener control del área del diodo Schottky para modificar las curvas de comportamiento I-V.

Por tal motivo, el diseño se realizo con la fabricación de 2 diodos Schottky con el propósito de verificar su comportamiento con base en el área de contacto, tal como lo muestra la Figura 4, en donde se puede observar la geometría del área de contacto Schottky, en forma cuadrada y en forma de herradura. Para reducir la resistencia en serie del diodo Schottky, se realizó en primer lugar la reducción a su valor mínimo de la distancia entre el contacto óhmico y el de Schottky, con base en las reglas de diseño. En segundo lugar, incrementando el área de contacto Schottky.

RESULTADOS DE LAS MEDICIONES.

El objetivo de las pruebas experimentales de este trabajo, es la de realizar un estudio de funcionalidad, para obtener información de las características acerca del comportamiento

del diodo Schottky con base en la modificación del área de contacto y de la distancia entre los contactos óhmicos y Schottky.

Para ello, se utilizan diferentes voltajes aplicados en el ánodo de los diodos para polarizar directamente la unión metal-semiconductor.

Asimismo, al contar con las ventajas que nos brindan las curvas características del diodo Schottky, en el sentido de tener velocidades de conmutación más rápidas y una caída de voltaje bajo, estos se pueden utilizar como detectores de potencia y en circuitos de redes de microondas. Además, de que puede ser posible una alta escala de integración.

Dependiendo de la caracterización del diodo Schottky como los propuestos, permitirán en primer término lograr el funcionamiento adecuado en altas frecuencias, que posibilitan a su vez, contar con las facilidades de aplicación e implementación en diferentes áreas tecnológicas, tales como: telecomunicaciones, medicina, educación, etc.

CURVAS DE COMPORTAMIENTO I-V

Considerando la resistencia en serie R_s , la curva I-V del diodo Schottky puede ser expresada como [6]:

$$I = I_s \exp\left[\frac{V - IR_s}{nV_t}\right] \left[1 - \exp\left(-\frac{V - IR_s}{V_t}\right)\right] \quad (\text{A.C2})$$

donde V es el voltaje de polarización, I_s es la corriente de saturación, R_s es el resistor en serie, V_t es el voltaje térmico y n es el factor ideal de la barrera de Schottky.

Si el voltaje de polarización es mayor a 3 veces el voltaje térmico, entonces la ecuación (1) puede ser simplificada como:

$$I = I_s \exp\left[\frac{V - IR_s}{nV_t}\right] \quad (\text{A.C3})$$

La altura de la barrera de Schottky, puede ser obtenida mediante:

$$\phi_B = V_t \ln\left(\frac{AA^*T^2}{I_s}\right) \quad (\text{A.C4})$$

donde A^* , es la constante de Richardson efectiva.

La capacitancia de unión del diodo Schottky, esta dada por:

$$C_j(0V) = \sqrt{\frac{q \epsilon_s N_D}{2\left(\phi_B - \frac{kT}{q}\right)}} A \quad (\text{A.C5})$$

donde, A = área de unión, ϵ_s = permitividad eléctrica del semiconductor, N_D = densidad de donadores en la capa n, $C_j(0V)$ = capacitancia de unión en cero volts, y ϕ_B = barrera de potencial.

Los parámetros de los diodos Schottky obtenidos teóricamente en base a su diseño, se muestran en la tabla AC.I.

TABLA AC.I
PARAMETROS DE LOS DIODOS SCHOTTKY

	Área	Is (A)	Rs (ohm)	ϕ_B (eV)	Cj(0) V
Diodo 1	243 μm^2	5.66 E-7	38.91	0.449	60.32 ff
Diodo 2	142 μm^2	3.30 E-7	66.69	0.451	35.187 ff

De acuerdo a estos datos, la resistencia en serie es diferente para cada uno de los diodos y por lo tanto, la capacitancia C_o también lo es, debido a que el contacto de forma cuadrada la incrementa, mientras que el contacto en forma de herradura, la disminuye, tal como se observa en la tabla I.

Las curvas de comportamiento I-V con polarización directa de los diodos se muestra en la Figura AC.5, en donde se puede observar que los dos diodos presentan curvas de comportamiento I-V muy similares. La diferencia se presenta en la pendiente de la curva para el diodo con menor área, la cual, tiende a disminuir. De esta manera, el área de contacto es el único parámetro que se puede ajustar y se necesita que sea grande para incrementar la corriente del diodo

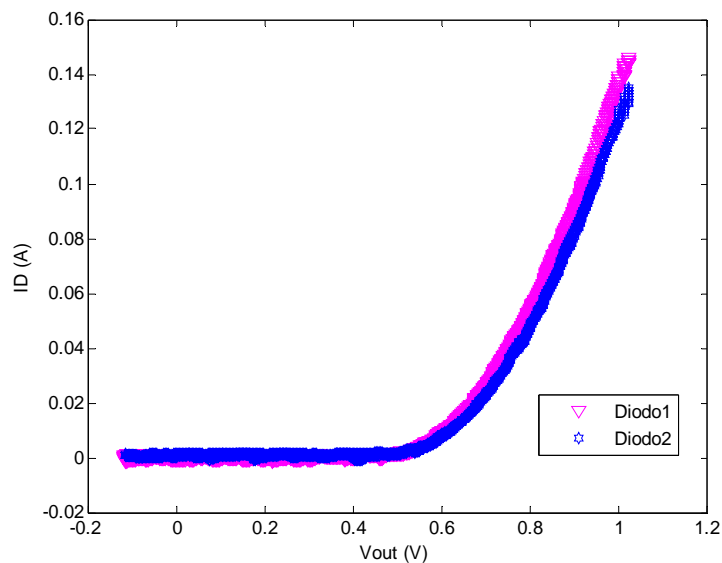


Figura AC.5 Curvas I-V de los diodos Schottky medidas con polarización directa.

Las curvas de comportamiento I-V con polarización inversa de los diodos se muestra en la Figura AC.6, en donde se puede observar el voltaje de rompimiento inverso. Cuando disminuye el área de contacto, el valor absoluto del voltaje de rompimiento se incrementa, debido a una mejor unión y resistencia R_s .

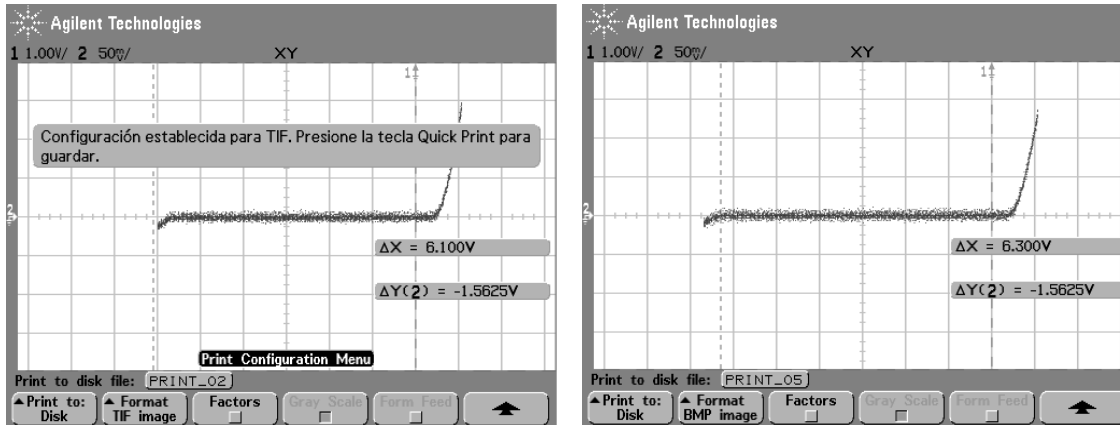


Figura AC.6 Curvas I-V de los diodos Schotky medidas con polarización inversa.

CIRCUITO ELEVADOR DE CARGA.

Para verificar el funcionamiento del diodo Schotky, se implementó un circuito elevador de carga (charge pump) del tipo Dickson, que se muestra en la Figura 7. Un circuito elevador de carga, se utiliza para obtener un voltaje de salida en DC mayor al voltaje de entrada, usando una frecuencia de conmutación alta; este consiste de diodos Schottky y capacitores para almacenar la energía mediante el cambio en el voltaje. Este circuito de almacenamiento de carga capacitiva, tiene la ventaja de poder ser implementado en un circuito integrado, cuando los requerimientos de potencia son relativamente pequeños, reduciendo costos, eliminando un voltaje de alimentación externo y reduciendo el uso de terminales.

El área de contacto de los diodos Schottky en este arreglo fue de $243 \mu\text{m}^2$. El circuito consiste de dos etapas y tres capacitores.

Asimismo, en esta prueba, se utilizaron diferentes frecuencias de conmutación para la transferencia de carga con el propósito de verificar el incremento del voltaje de salida con base en una frecuencia de conmutación más alta, dejando constante el valor de los capacitores.

En la Tabla AC.II, se presentan los resultados de los voltajes de salida, obtenidos de la medición directa en el circuito.

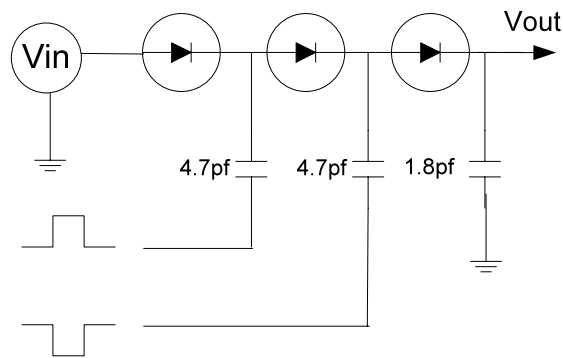


Figura 7. Circuito elevador de carga del tipo Dickson.

TABLA AC.II

RESULTADOS DE LOS VOLTAJE DE SALIDA DEL CIRCUITO ELEVADOR DE CARGA

Frecuencia	Vin	Vsal _{etapa 1}	Vsal _{etapa 2}	Vsal
1 MHz	3 V	3.16 V	5.02 V	5.2 V
2 MHz	3 V	3.17 V	5.15 V	5.36 V
3 MHz	3 V	3.31 V	5.36 V	5.52 V

Estos valores indican que la frecuencia de conmutación es un parámetro que se puede ajustar con el propósito de incrementar el voltaje de salida. Otro parámetro de ajuste, es el valor de los capacitores, solo que en este caso, se tiene una limitante cuando se necesita integrarse en un circuito integrado, debido a la gran demanda de área que estos requieren.

Por otra parte, el voltaje de salida se mantiene con una respuesta relativamente plana a partir de una frecuencia de conmutación de 3MHz.

De esta manera, una alternativa viable de incrementar el voltaje de salida en circuitos elevadores de carga, es conmutando una frecuencia mas alta.

CONCLUSIONES

La fabricación de diodos Schottky en tecnología de 1.2 um de Mosis es totalmente viable con base en las pruebas de DC realizadas a los diodos con diferente área de contacto. Las ventajas de estos diseños, es que pueden ser totalmente integrados en procesos comerciales CMOS estándar. En cuanto a su aplicación pueden integrarse diferentes circuitos elevadores de carga, como el que se implemento en este trabajo con el propósito de obtener voltajes mayores al voltaje de entrada y poder usarse como voltajes de referencia. Asimismo, su empleo, puede ser una alternativa de solución en diseños de alta conmutación en las bandas de muy alta frecuencia.

APENDICE D

ARCHIVO PARA LA PROGRAMACION DEL PIC 18F252

Achivo para el control del algoritmo LMS

;CPU INITIALIZATION

```
processor 18f252
include <p18f252.inc>
```

;PROCESSOR CONFIGURATION

```
_CONFIG _CONFIG1H, _OSCS_OFF_1H & _HSPLL_OSC_1H
_CONFIG _CONFIG2L, _BOR_ON_2L & _BORV_42_2L & _PWRT_ON_2L
_CONFIG _CONFIG2H, _WDT_OFF_2H & _WDTPS_1_2H
_CONFIG _CONFIG3H, _CCP2MX_OFF_3H
_CONFIG _CONFIG4L, _STVR_ON_4L & _LVP_OFF_4L & _DEBUG_OFF_4L
```

;DEFINITIONS

```
#define DIGITAL_BUS PORTB
#define DWCO PORTA,5
#define FCN_B PORTA,3
#define DOWN_B PORTA,2
#define UP_B PORTA,1
#define RED_L PORTC,2
#define GREEN_L PORTC,3
#define ADC_CLK PORTC,7
```

;GENERAL PURPOSE REGISTERS

```
cblock 0x00

CONT1, CONT2, CONT3, CONT4, CONT5, DC_STATUS, W_TEMP
STATUS_TEMP, ADC_PERIOD, BIT_WISE

endc
```

;RESET VECTOR

```
org 0x0000

BRA INIT_PROGRAM
```

;HIGH PRIORITY INTERRUPT VECTOR

```
org 0x0008

BCF INTCON,GIEH ;DOWNCOUNTER FUNCTION
MOVWF W_TEMP
MOVFF STATUS,STATUS_TEMP
BTFS DC_STATUS,0 ;LOGIC STATE OF DOWNCOUNTER
BRA ISR1
BCF DWCO
MOVLW 0xFF
MOVWF TMR1H
MOVLW 0xFF
```

```

MOVWF TMR1L
BCF DC_STATUS,0
BRA ISR_OUT
ISR1 BSF DWCO
MOVLW 0xFF
MOVWF TMR1H
MOVLW 0xFF
MOVWF TMR1L
MOVF BIT_WISE,W
SUBWF TMR1L,F
BSF DC_STATUS,0
ISR_OUT BCF PIR1,TMR1IF
MOVFF STATUS_TEMP,STATUS ;ISR OUT
SWAPF W_TEMP,F
SWAPF W_TEMP,W
RETFIE

```

;PERIPHERAL CONFIGURATION

org 0x100

INIT_PROGRAM

```

MOVLB 0x01 ;BANK 1 TO 5 FOR INDIRECT ADDRESSING
CLRF PORTA
CLRF PORTB
CLRF PORTC
MOVLW 0x1F ;PORTA CONFIGURATION
MOVWF TRISA
MOVLW 0x00 ;PORTB CONFIGURATION
MOVWF TRISB
MOVLW 0x73 ;PORTC CONFIGURATION
MOVWF TRISC
BSF RCON,IPEN ;INTERRUPT CONFIGURATION
CLRF INTCON
CLRF INTCON2
CLRF INTCON3
MOVLW 0x01
MOVWF PIE1
CLRF PIE2
MOVLW 0x01
MOVWF IPR1
CLRF IPR2
MOVLW 0x80 ;ADC CONFIGURATION
MOVWF ADCON0
MOVLW 0x4E
MOVWF ADCON1
MOVLW 0x02 ;TIMER 1 CONFIGURATION
MOVWF T1CON

```

;MAIN PROGRAM

```

BCF RED_L ;BOOT SECTION
BCF GREEN_L

```



```

BCF  DWCO
BCF  ADC_CLK
MOVLW 0x00      ;GET ADC PERIOD FROM LOCATION 0x00 OF
MOVWF EEADR      ;EEPROM MEMORY
BCF  EECON1,EEPGD
BCF  EECON1,CFG5
BSF  EECON1,RD
MOVFF EEDATA,ADC_PERIOD
BTFSS FCN_B      ;IF FCN KEY IS PRESSED GOTO PRG MODE
BRA  PRG_ADC
BSF  DC_STATUS,0  ;INITIAL CONDITIONS OF DOWNCOUNTER
MOVLW 0x3F
MOVWF BIT_WISE
MOVLW 0xFF
MOVWF TMR1H
MOVLW 0xFF
MOVWF TMR1L
MOVF  BIT_WISE,W
SUBWF TMR1L,F
BSF  T1CON,TMR1ON ;START COUNTING
BSF  INTCON,GIEH  ;ENABLE INTERRUPTS

STEP_ROUTINE
BCF  GREEN_L
MOVLW D'3'
CALL LONG_DELAY
BSF  GREEN_L
MOVLW D'255'     ;NUMBER OF SAMPLES
MOVWF CONT5
LFSR FSR0,0x100 ;DATA WILL BE SAVED IN BANK 1
SR1  BSF  ADCON0,ADON
MOVF  ADC_PERIOD,W
CALL  ADC_DELAY
BSF  ADCON0,GO_DONE
SR2  BTFSS ADCON0,GO_DONE
BRA  SR2
MOVFF ADRESH,POSTINC0
BCF  ADCON0,ADON
DECFSZ CONT5,F
BRA  SR1
BCF  GREEN_L
LFSR FSR0,0x100 ;RAM MEMORY POINTER
SR3  BTFSS FCN_B ;MAIN LOOP FOR STEP ROUTINE
BRA  RUN_ROUTINE
BTFSS DOWN_B
BRA  SR4
BTFSS UP_B
BRA  SR5
BRA  SR3
SR4  BSF  RED_L
DECF  FSR0L,F
MOVFF INDF0,DIGITAL_BUS
BTFSS DIGITAL_BUS,7
BRA  SR4_1
MOVLW 0xFF      ;BIT WISE FUNCTION
XORWF DIGITAL_BUS,W

```

```

        MOVWF BIT_WISE
        BRA SR4_2
SR4_1  MOVFF DIGITAL_BUS,BIT_WISE
SR4_2  MOVLW D'2'
        CALL LONG_DELAY
        BCF RED_L
        BRA SR3
SR5    BSF RED_L
        MOVFF PREINC0,DIGITAL_BUS
        BTFSS DIGITAL_BUS,7
        BRA SR5_1
        MOVLW 0xFF ;BIT WISE FUNCTION
        XORWF DIGITAL_BUS,W
        MOVWF BIT_WISE
        BRA SR5_2
SR5_1  MOVFF DIGITAL_BUS,BIT_WISE
SR5_2  MOVLW D'2'
        CALL LONG_DELAY
        BCF RED_L
        BRA SR3

RUN_ROUTINE
        BSF GREEN_L
        MOVLW D'3'
        CALL LONG_DELAY
RR1    BTFSS FCN_B ;STEP ROUTINE OPTION
        BRA STEP_ROUTINE
        BSF ADCON0,ADON
        MOVF ADC_PERIOD,W
        CALL ADC_DELAY
        BSF ADCON0,GO_DONE
RR2    BTFSC ADCON0,GO_DONE
        BRA RR2
        MOVFF ADRESH,DIGITAL_BUS
        BCF ADCON0,ADON
        BTG ADC_CLK
        BTFSS DIGITAL_BUS,7
        BRA RR3
        MOVLW 0xFF ;BIT WISE FUNCTION
        XORWF DIGITAL_BUS,W
        MOVWF BIT_WISE
        BRA RR1
RR3    MOVFF DIGITAL_BUS,BIT_WISE
        BRA RR1

PRG_ADC
        BCF RED_L
        BSF GREEN_L
PA1    BSF ADCON0,ADON
        MOVF ADC_PERIOD,W
        CALL ADC_DELAY
        BSF ADCON0,GO_DONE
PA2    BTFSC ADCON0,GO_DONE
        BRA PA2
        MOVFF ADRESH,DIGITAL_BUS
        BCF ADCON0,ADON

```

```

BTG   ADC_CLK
BTFSS DOWN_B
BRA   PA3
BTFSS UP_B
BRA   PA4
BRA   PA1
PA3   BSF   RED_L
      MOVLW D'1'
      CALL  LONG_DELAY
      BCF   RED_L
      INCF  ADC_PERIOD,F    ;STEP-DOWN ADC SAMPLING FREQUENCY
      CLRF  EEADR           ;SAVE NEW FREQUENCY IN EEPROM
      MOVFF ADC_PERIOD,EEDATA
      BCF   EECON1,EEPGD
      BCF   EECON1,CFGS
      BSF   EECON1,WREN
      MOVLW 0x55
      MOVWF EECON2
      MOVLW 0xAA
      MOVWF EECON2
      BSF   EECON1,WR      ;START WRITTING EEPROM MEMORY
PA3_1 BTFSC EECON1,WR
      BRA   PA3_1
      BCF   EECON1,WREN
      BRA   PA1
PA4   BSF   RED_L
      MOVLW D'1'
      CALL  LONG_DELAY
      BCF   RED_L
      DECF  ADC_PERIOD,F    ;STEP-UP ADC SAMPLING FREQUENCY
      CLRF  EEADR           ;SAVE NEW FREQUENCY IN EEPROM
      MOVFF ADC_PERIOD,EEDATA
      BCF   EECON1,EEPGD
      BCF   EECON1,CFGS
      BSF   EECON1,WREN
      MOVLW 0x55
      MOVWF EECON2
      MOVLW 0xAA
      MOVWF EECON2
      BSF   EECON1,WR      ;START WRITTING EEPROM MEMORY
PA4_1 BTFSC EECON1,WR
      BRA   PA4_1
      BCF   EECON1,WREN
      BRA   PA1

```

```

;END OF MAIN PROGRAM

```

```

;SUBROUTINES

```

```

;*****

```

```

LONG_DELAY
      MOVWF CONT4
LD4   MOVLW D'10'

```

```
      MOVWF CONT3
LD3   MOVLW D'200'
      MOVWF CONT2
LD2   MOVLW D'124'
      MOVWF CONT1
LD1   NOP
      DECFSZ CONT1,F
      BRA  LD1
      DECFSZ CONT2,F
      BRA  LD2
      DECFSZ CONT3,F
      BRA  LD3
      DECFSZ CONT4,F
      BRA  LD4
      RETURN
```

```
ADC_DELAY
      MOVWF CONT2
AD2   MOVLW D'4'
      MOVWF CONT1
AD1   NOP
      DECFSZ CONT1,F
      BRA  AD1
      DECFSZ CONT2,F
      BRA  AD2
      RETURN
```

```
;END OF SUBROUTINES
```

```
      END
```

```
;END OF PROGRAM
```

APENDICE E

**ARCHIVO PARA LA PROGRAMACION DEL PIC 12F675 PARA LA
GENERACION DE LOS PULSOS DE INYECCION Y TUNELEO**

Archivo para el contador de pulsos para la Inyección

```

;CPU CONFIGURATION

processor 12f675
include <p12f675.inc>
__CONFIG _INTRC_OSC_NOCLKOUT & _PWRTE_ON & _MCLRE_OFF & _WDT_OFF

;DEFINITIONS

#define SE    GPIO,2
#define IN_SIGN GPIO,5
#define BANK_0 BCF STATUS,RP0
#define BANK_1 BSF STATUS,RP0

;GENERAL PURPOSE REGISTERS

cblock 0x20

CONT1, CONT2, TEMP1, TEMP2

endc

;RESET VECTOR

org 0

GOTO INIT_PROGRAM

;INTERUPT VECTOR

org 4

RETURN

;PORT CONFIGURATION

INIT_PROGRAM
BCF INTCON,GIE ;DISABLE ALL INTERRUPTS
CLRF GPIO
BANK_1
MOVLW 0xFB
MOVWF TRISIO
BANK_0

;PERIPHERAL CONFIGURATION

MOVLW 0x07 ;COMPARATOR MODULE DISABLE
MOVWF CMCON
CLRF ADCON0
BANK_1
MOVLW 0x08 ;TMR0 DISABLE
MOVWF OPTION_REG
CLRF IOC ;KEYBOARD DISABLE
MOVLW 0xFF ;PULL-UPS ENABLE ON GPIO

```

```

MOVWF WPU
MOVLW 0x13      ;AN0 AND AN1 ARE ANALOG INPUTS
MOVWF ANSEL
CALL 3FFh      ;CLOCK SYNC AT 4MHZ
MOVWF OSCCAL
BANK_0
BCF SE

;MAIN PROGRAM
;*****
ADC_LOOP
  CLRF ADCON0      ;SELECT CH0
  BSF ADCON0,ADON ;GET ANALOG VALUE FROM CH0
  CALL ADC_SYNC
  BSF ADCON0,GO_DONE
  BTFSC ADCON0,GO_DONE
  GOTO $-01
  MOVFW ADRESH
  MOVWF TEMP1
  CLRW
  SUBWF TEMP1,W
  BTFSS STATUS,Z
  GOTO N_PULSE
  MOVLW 0x04
  MOVWF ADCON0      ;SELECT CH1
  BSF ADCON0,ADON ;GET ANALOG VALUE FROM CH1
  CALL ADC_SYNC
  BSF ADCON0,GO_DONE
  BTFSC ADCON0,GO_DONE
  GOTO $-01
  MOVFW ADRESH
  MOVWF TEMP1
  CLRW
  SUBWF TEMP1,W
  BTFSS STATUS,Z
  GOTO P_PULSE
  GOTO ADC_LOOP

P_PULSE
  BTFSC IN_SIGN      ;X-BAR FUNCTION
  GOTO N_PULSE_C
P_PULSE_C
  BSF SE      ;GENERATE POSITIVE PULSES
  MOVLW D'10'
  CALL P_PERIOD
  BCF SE
  MOVLW D'128'
  MOVWF TEMP2
  CLRC
  RRF TEMP1,W
  SUBWF TEMP2,W
  CALL P_PERIOD
  GOTO ADC_LOOP

N_PULSE

```

```

        BTFSZ IN_SIGN      ;X-BAR FUNCTION
        GOTO P_PULSE_C
N_PULSE_C
        BSF SE             ;GENERATE NEGATIVE PULSES
        MOVLW D'10'
        CALL P_PERIOD
        BCF SE
        MOVLW D'128'
        MOVWF TEMP2
        CLRC
        RRF TEMP1,W
        ADDWF TEMP2,W
        CALL P_PERIOD
        GOTO ADC_LOOP

;END OF MAIN PROGRAM

;SUBROUTINES
;*****
;
P_PERIOD
        MOVWF CONT2      ;PERIOD USED FOR GENERATING PULSES
        MOVLW D'248'
        MOVWF CONT1
        NOP
        DECFSZ CONT1,F
        GOTO $-02
        DECFSZ CONT2,F
        GOTO $-06
        RETURN

ADC_SYNC
        MOVLW D'10'      ;TIME REQUIRED TO CHARGE Cadc
        MOVWF CONT1
        NOP
        DECFSZ CONT1,F
        GOTO $-2
        RETURN

;END OF SUBROUTINES

        END

;END OF PROGRAM

Archivo para el contador de pulsos para el tuneleo
;*****
;
;CPU CONFIGURATION

```



```

processor 12f675
include <p12f675.inc>
__CONFIG _INTRC_OSC_NOCLKOUT & _PWRTE_ON & _MCLRE_OFF & _WDT_OFF

;DEFINITIONS

#define SE    GPIO,2
#define IN_SIGN GPIO,5
#define BANK_0 BCF STATUS,RP0
#define BANK_1 BSF STATUS,RP0

;GENERAL PURPOSE REGISTERS

    cblock 0x20

        CONT1, CONT2, TEMP1, TEMP2

    endc

;RESET VECTOR

    org 0

        GOTO  INIT_PROGRAM

;INTERUPT VECTOR

    org 4

        RETURN

;PORT CONFIGURATION

INIT_PROGRAM
    BCF  INTCON,GIE    ;DISABLE ALL INTERRUPTS
    CLRF GPIO
    BANK_1
    MOVLW 0xFB
    MOVWF TRISIO
    BANK_0

;PERIPHERAL CONFIGURATION

    MOVLW 0x07    ;COMPARATOR MODULE DISABLE
    MOVWF CMCON
    CLRF ADCON0
    BANK_1
    MOVLW 0x08    ;TMR0 DISABLE
    MOVWF OPTION_REG
    CLRF IOC    ;KEYBOARD DISABLE
    MOVLW 0xFF    ;PULL-UPS ENABLE ON GPIO
    MOVWF WPU
    MOVLW 0x13    ;AN0 AND AN1 ARE ANALOG INPUTS
    MOVWF ANSEL
    CALL 3FFh    ;CLOCK SYNC AT 4MHZ
    MOVWF OSCCAL

```

```

BANK_0
BCF SE

;MAIN PROGRAM
;*****
*

ADC_LOOP
    CLRF ADCON0 ;SELECT CH0
    BSF ADCON0,ADON ;GET ANALOG VALUE FROM CH0
    CALL ADC_SYNC
    BSF ADCON0,GO_DONE
    BTFSC ADCON0,GO_DONE
    GOTO $-01
    MOVFW ADRESH
    MOVWF TEMP1
    CLRW
    SUBWF TEMP1,W
    BTFSS STATUS,Z
    GOTO P_PULSE
    MOVLW 0x04
    MOVWF ADCON0 ;SELECT CH1
    BSF ADCON0,ADON ;GET ANALOG VALUE FROM CH1
    CALL ADC_SYNC
    BSF ADCON0,GO_DONE
    BTFSC ADCON0,GO_DONE
    GOTO $-01
    MOVFW ADRESH
    MOVWF TEMP1
    CLRW
    SUBWF TEMP1,W
    BTFSS STATUS,Z
    GOTO N_PULSE
    GOTO ADC_LOOP

P_PULSE
    BTFSC IN_SIGN ;X-BAR FUNCTION
    GOTO N_PULSE_C

P_PULSE_C
    BSF SE ;GENERATE POSITIVE PULSES
    MOVLW D'10'
    CALL P_PERIOD
    BCF SE
    MOVLW D'128'
    MOVWF TEMP2
    CLRC
    RRF TEMP1,W
    SUBWF TEMP2,W
    CALL P_PERIOD
    GOTO ADC_LOOP

N_PULSE
    BTFSC IN_SIGN ;X-BAR FUNCTION
    GOTO P_PULSE_C

N_PULSE_C
    BSF SE ;GENERATE NEGATIVE PULSES

```

```

    MOVLW D'10'
    CALL P_PERIOD
    BCF SE
    MOVLW D'128'
    MOVWF TEMP2
    CLRC
    RRF TEMP1,W
    ADDWF TEMP2,W
    CALL P_PERIOD
    GOTO ADC_LOOP

;END OF MAIN PROGRAM

;SUBROUTINES
;*****
;
P_PERIOD
    MOVWF CONT2           ;PERIOD USED FOR GENERATING PULSES
    MOVLW D'248'
    MOVWF CONT1
    NOP
    DECFSZ CONT1,F
    GOTO $-02
    DECFSZ CONT2,F
    GOTO $-06
    RETURN

ADC_SYNC
    MOVLW D'10'           ;TIME REQUIRED TO CHARGE Cadc
    MOVWF CONT1
    NOP
    DECFSZ CONT1,F
    GOTO $-2
    RETURN

;END OF SUBROUTINES

    END

;END OF PROGRAM

```