



**Centro de Investigación y de Estudios Avanzados  
del Instituto Politécnico Nacional  
Unidad Zacatenco**

**Caracterización de las propiedades funcionales de un  
acelerómetro CMOS-MEMS basado en el FGMOS**

Tesis que presenta

**Benito Granados Rojas**

para obtener el grado de

**Doctor en Ciencias**

en la especialidad de Ingeniería Eléctrica

Director de Tesis:  
Dr. Mario Alfredo Reyes Barranca

Ciudad de México

2021

This book was typeset using L<sup>A</sup>T<sub>E</sub>X software.

Copyright © 2021 Benito Granados-Rojas  
CINVESTAV-IPN

# Agradecimientos

*Agradezco a mi familia, compañeros y profesores por ser fuente de motivación e inspiración para la culminación de esta etapa. Mi hija Emma y mi esposa Yesenia son las estrellas que guían mi camino. Mis padres, Doña Carmen Rojas y Don Antonio Granados, fortalecen mis pasos.*

*Expreso mi gratitud absoluta al Dr. Mario Alfredo Reyes Barranca, una persona a quien estimo como a un amigo y a quien debo la consecución de este objetivo tan importante en mi vida. Agradezco igualmente a los revisores de este trabajo, Dr. Felipe Gómez, Dr. Gabriel Romero, Dr. Yasuhiro Matsumoto y Dr. Salvador Mendoza, ya que sus oportunas observaciones enriquecieron enormemente el resultado final del presente proyecto.*

*Mi gratitud se extiende también al personal académico del Laboratorio de Sistemas VLSI, especialmente al M. en C. Luis Martín Flores, una persona que contagia su entusiasmo por aprender y que junto con el Dr. Oliverio Arellano y el M. en I. Emilio Rafael Espinosa tuvieron siempre un momento para compartir conocimientos y discutir ideas. Agradezco también a la Coordinación Académica de la Sección de Electrónica del Estado Sólido, cuyos integrantes a través de los años cobijaron mi crecimiento profesional.*

*Me permito también agradecer y felicitar a mis compañeros de clase, que se convirtieron en mis amigos, colegas y compañeros de aventuras. Desde el primer día el Cinvestav me hizo sentir como en casa y la SEES se convirtió rápidamente en una familia. No menos importante es reconocer la labor del **Conacyt**, cuyos recursos y gestión hicieron posible este sueño cumplido.*

*A todos, muchas gracias*



# Contenido

Índice de figuras . . . . .	i
Índice de tablas . . . . .	vii
Resumen . . . . .	ix
Abstract . . . . .	xi
Objetivos . . . . .	xiii
Justificación . . . . .	xv
<b>1 Introducción</b>	<b>1</b>
1.1 Antecedentes . . . . .	2
1.1.1 Tecnología CMOS convencional . . . . .	4
1.1.2 Dispositivos MEMS y CMOS-MEMS . . . . .	7
1.1.3 FGMOS . . . . .	12
1.1.4 Metaheurísticas bio-inspiradas . . . . .	12
1.1.5 Algoritmos genéticos . . . . .	14
1.2 Estado del arte . . . . .	18
1.2.1 Dispositivos comerciales y proyectos académicos	18
1.2.2 Uso de algoritmos genéticos en el diseño de cir-	
cuitos integrados . . . . .	20
1.3 Conclusiones del capítulo . . . . .	21
<b>2 Aspectos teóricos</b>	<b>23</b>
2.1 Acelerometría . . . . .	23
2.2 Sensitividad . . . . .	24
2.3 Sistema masa-resorte . . . . .	26
2.4 Modelo dinámico . . . . .	30
2.4.1 Respuesta al escalón y respuesta a entrada lineal	32
2.4.2 Respuesta amortiguada . . . . .	36
2.5 El FGMOS en términos de su geometría . . . . .	38

2.6	Dos objetivos en conflicto . . . . .	47
2.7	Conclusiones del capítulo . . . . .	50
<b>3</b>	<b>Aspectos tecnológicos</b>	<b>53</b>
3.1	Composición de las capas metálicas . . . . .	53
3.2	Micro-maquinado superficial . . . . .	63
3.3	Conclusiones del capítulo . . . . .	67
<b>4</b>	<b>Diseño CMOS-MEMS</b>	<b>69</b>
4.1	Metodología de diseño . . . . .	69
4.2	Estructura capacitiva tridimensional . . . . .	73
4.2.1	Simulación multi-física . . . . .	81
4.2.2	Efectos gravitacionales sobre la masa sísmica . . . . .	82
4.3	Simulación y validación eléctrica . . . . .	84
4.3.1	Acondicionamiento de señal . . . . .	87
4.3.2	Validación eléctrica . . . . .	96
4.4	CAD y layout . . . . .	100
4.5	Conclusiones del capítulo . . . . .	108
<b>5</b>	<b>Diseño metaheurístico</b>	<b>109</b>
5.1	Optimización mono-objetivo . . . . .	110
5.2	Optimización multi-objetivo . . . . .	116
5.2.1	Codificación de variables . . . . .	117
5.2.2	Metaheurística bio-inspirada . . . . .	119
5.3	Resultados y simulación adicional . . . . .	126
5.4	Conclusiones del capítulo . . . . .	132
<b>6</b>	<b>Conclusiones generales</b>	<b>135</b>
6.1	Resultados y aportaciones . . . . .	137
6.2	Productos y publicaciones . . . . .	139
6.3	Trabajo futuro . . . . .	140
<b>Anexos</b>		<b>141</b>
	Anexo A: Parámetros tecnológicos . . . . .	141
	Anexo B: Código Matlab Livescript . . . . .	143
	Anexo C: Estructuras complementarias . . . . .	148

# Índice de figuras

1.1	Resumen del proceso de obtención de obleas de silicio cristalino. . . . .	4
1.2	Terminales del transistor MOSFET canal P y canal N, y proceso de formación del canal. . . . .	5
1.3	Transistores MOS complementarios en un mismo sustrato. . . . .	6
1.4	Capas disponibles en el proceso de fabricación C5 de ON Semiconductor. . . . .	7
1.5	Clasificación del acelerómetro capacitivo. . . . .	8
1.6	Acelerómetro capacitivo y sistema masa-resorte equivalente. . . . .	8
1.7	Alambrado externo entre dados independientes. . . . .	9
1.8	Integración monolítica CMOS-MEMS. . . . .	10
1.9	Liberación de un resorte metálico. . . . .	11
1.10	Transistor de compuerta flotante. . . . .	12
1.11	Resumen de algoritmos naturalmente inspirados más comunes. . . . .	14
1.12	Cromosoma incluyendo todas las variables codificadas en una misma cadena binaria. . . . .	16
1.13	Ubicación de los frentes de Pareto y los puntos óptimos ideales (utópicos). . . . .	17
1.14	Distribución de mercado de acelerómetros comerciales. . . . .	19
2.1	Unidad de medición inercial . . . . .	24
2.2	Esquemático de una estructura típica basada en un sistema masa-resorte MEMS para un sensor inercial. . . . .	27
2.3	Equivalencia entre tipos de resortes. . . . .	29

2.4	Validación por FEA del comportamiento de un resorte conformado por $n$ vigas individuales. Desplazamiento proporcional del extremo libre ante una misma fuerza para un número de vigas $n = 1, 2$ y $4$ . . . . .	31
2.5	Diagrama de cuerpo libre correspondiente a una masa $m$ y un único resorte con rigidez total equivalente $k$ . . . . .	31
2.6	Representación en lazo abierto del sistema masa-resorte. . . . .	32
2.7	Respuesta oscilatoria ante un escalón unitario en condiciones libres de gravedad y amortiguamiento por aire. . . . .	35
2.8	Error sinusoidal ante una rampa en condiciones libres de gravedad y amortiguamiento por aire. . . . .	35
2.9	Estados transitorio y estable de un acelerómetro con amortiguamiento ante una entrada de tipo escalón. . . . .	37
2.10	Respuesta amortiguada usual ante una entrada lineal, presentando error en estado estacionario. . . . .	38
2.11	Divisor de voltaje capacitivo equivalente. . . . .	40
2.12	Bosquejo de layout para un transistor de compuerta flotante (CAD). . . . .	41
2.13	Capas del capacitor poly-a-poly (por encima del óxido de campo). . . . .	42
2.14	Esquema simplificado del sensor inercial basado en FGMOS. . . . .	43
2.15	Componentes del sensor inercial basado en FGMOS). . . . .	44
2.16	Micrografía SEM de la estructura CMOS-MEMS. . . . .	45
2.17	Sistema masa-resorte con cuatro resortes y una estructura capacitiva. . . . .	47
2.18	Variables topológicas en el FGMOS y en la estructura capacitiva MEMS multicapa. . . . .	51
3.1	Distribución de las tres capas metálicas del proceso de $0.5\mu\text{m}$ de On Semi. . . . .	54
3.2	Pads y ventanas de Overglass. . . . .	56
3.3	Estructuras en metal 2 y 3 a través de una ventana de Overglass. . . . .	57
3.4	Todas las capas del proceso C5 tras haber realizado el micro-maquinado químico. . . . .	58
3.5	Micro-fotografía de muestras de materiales. . . . .	58



3.6	Puntos objetivo del análisis EDS. . . . .	59
3.7	Espectro EDS del punto P1 mostrando presencia de Aluminio. . . . .	60
3.8	Espectro EDS del punto P3 mostrando presencia de oxígeno y silicio. . . . .	60
3.9	Espectro EDS del punto P2 mostrando presencia de nitrógeno y titanio. . . . .	60
3.10	Perfil SIMS. . . . .	61
3.11	Estructura metálica degradada tras post-proceso de micromaquinado. . . . .	62
3.12	Daño estructural debido a tensiones superficiales. . . . .	63
3.13	Resultado de un ataque parcial (incompleto debido a una breve exposición). . . . .	66
3.14	Detalle de la estructura capacitiva totalmente liberada. . . . .	66
4.1	Metodología de diseño . . . . .	71
4.2	Chip en DIP-40 y dado de silicio. . . . .	72
4.3	Parámetros geométricos del capacitor de placas paralelas. . . . .	74
4.4	(a) estructura perforada y totalmente liberada (b) estructura de placa sólida (con restos de dióxido de silicio inaccesibles). . . . .	75
4.5	Parámetros geométricos de un dedo metálico. . . . .	76
4.6	Arreglo inter-digitado en las diferentes capas metálicas disponibles. Los dedos de Metal 2 se traslapan parcialmente sobre los dedos de Metal 1, de igual manera los dedos de Metal 3 se traslapan sobre los dedos de Metal 2. . . . .	77
4.7	Renderizado 3D de la estructura capacitiva . . . . .	78
4.8	Capacitancia para estructuras inter-digitadas desde 1 hasta 25 dedos. . . . .	79
4.9	Comparativa de arquitecturas capacitivas. . . . .	80
4.10	Simulación física del comportamiento capacitancia vs desplazamiento. . . . .	81
4.11	Desplazamiento prescrito en el eje z debido a una aceleración de 1 g en dirección hacia abajo. . . . .	82
4.12	Capacitancia total considerando y descartando los efectos gravitacionales. . . . .	83
4.13	Arquitectura del FGMOS y su equivalente capacitivo. . . . .	85

4.14	Equivalente capacitivo del dispositivo con múltiples compuertas de control. . . . .	86
4.15	Circuito de lectura de dos etapas. . . . .	88
4.16	Arreglo para simulación de la primera etapa. . . . .	89
4.17	Barrido de resistencia $R$ en búsqueda de una polarización conveniente para el nodo de drenador. . . . .	90
4.18	Punto de operación seleccionado para la característica drenador-fuente. . . . .	90
4.19	Variaciones de capacitancia de acuerdo con el desplazamiento. . . . .	91
4.20	Potencial flotante de acuerdo con el desplazamiento. . . . .	91
4.21	Interfaz gráfica auxiliar en la selección de parámetros. . . . .	92
4.22	Esquemático de simulación con entrada no lineal previamente computada. . . . .	93
4.23	Voltaje drenador-fuente como salida en función del potencial flotante. . . . .	94
4.24	Configuración de simulación para la segunda etapa. . . . .	95
4.25	Simulación de la característica del amplificador de fuente común. . . . .	96
4.26	Flujo de señales. . . . .	97
4.27	Característica voltaje vs aceleración. . . . .	97
4.28	Layout del FGMOS y el amplificador de fuente común. . . . .	99
4.29	Características de simulación y medición. . . . .	99
4.30	Capas de la estructura capacitiva variable. . . . .	101
4.31	Layout de cada una de las capas metálicas en la estructura capacitiva. . . . .	101
4.32	Layout del transistor de compuera flotante. . . . .	103
4.33	Layout del amplificador de fuente común. . . . .	103
4.34	Layout de la región que incluye al FGMOS, el amplificador y la estructura capacitiva. . . . .	103
4.35	Layout del acelerómetro principal. . . . .	104
4.36	Layout del chip completo. . . . .	105
4.37	Diversas estructuras de prueba incluidas en el proyecto. . . . .	105
4.38	Micrografía óptica del chip fabricado. . . . .	106
4.39	Micrografía óptica de la región que incluye al FGMOS, el amplificador y la estructura capacitiva. . . . .	107
4.40	Detalle de los resortes en un acelerómetro de dos ejes. . . . .	107

5.1	Interpretación del gen y el cromosoma. . . . .	112
5.2	Población: 100, $P_C$ : 0.7, $P_M$ : 0.01, aptitud máxima: 82.22, aptitud media con grandes variaciones a través de las generaciones. . . . .	115
5.3	Población: 200, $P_C$ : 0.7, $P_M$ : 0.01, aptitud máxima: 83.19, la aptitud media se establece en un rango medio indicando mayor diversidad entre los individuos de la población. . . . .	115
5.4	Población: 200, $P_C$ : 0.8, $P_M$ : 0.05, aptitud máxima: 82.71. Con tasas altas de mutación aparecen problemas de convergencia rápida, aún cuando la aptitud media permanece baja, esto resulta crítico cuando se tiene un espacio de búsqueda con múltiples óptimos locales. . . . .	116
5.5	Aproximación al espacio de búsqueda. . . . .	120
5.6	Diagrama de flujo del algoritmo multi-objetivo . . . . .	122
5.7	Creación de nuevos individuos. . . . .	122
5.8	Decodificación y evaluación de nuevos individuos. . . . .	123
5.9	Conjunto de soluciones no-dominadas. . . . .	124
5.10	Solución más cercana al óptimo ideal. . . . .	125
5.11	Evolución del número de soluciones no dominadas. . . . .	127
5.12	Contribución de cada ejecución en el Frente de Pareto final de acuerdo al número de soluciones no dominadas. . . . .	128
5.13	Frente de Pareto definitivo en el análisis. . . . .	129
5.14	Modelo CAD de la estructura capacitiva interdigital. . . . .	131
5.15	Potencial flotante de acuerdo con la capacitancia de la estructura MEMS. . . . .	131
5.16	Coincidencia entre la simulación SPICE y la corriente de drenador calculada evaluando el modelo sujeto a optimización. . . . .	132
5.17	Aproximación a la respuesta a una entrada oscilatoria dentro del rango de desplazamiento de la estructura capacitiva. . . . .	133
5.18	Configuración y conexión del FGMOS utilizado para simulación SPICE. . . . .	133
6.1	Esquema del proceso realizado. . . . .	136
6.2	Desempeño cualitativo. . . . .	138

6.3	Layout de una variante de acelerómetro. . . . .	148
6.4	Layout de un prototipo de giroscopio. . . . .	148
6.5	Gripper actuado electrostáticamente. . . . .	149
6.6	Gripper actuado por dilatación térmica. . . . .	149
6.7	Prototipo de oscilador de anillo. . . . .	150
6.8	Prototipo de foto-diodo basado en FGMOS. . . . .	150
6.9	Celda de prueba de transistores bipolares (fabricados en tecnología CMOS). . . . .	151
6.10	Detalle de un transistor bipolar. . . . .	151

# Índice de tablas

1.1	Resumen de trabajos académicos basados en acelerómetros MEMS y CMOS-MEMS . . . . .	19
3.1	Parámetros estructurales. . . . .	55
3.2	Subestructuras metálicas. . . . .	57
5.1	Parámetros de diseño . . . . .	111
5.2	Codificación de variables (optimización mono-objetivo). . . . .	114
5.3	Parámetros computados (resultado final). . . . .	117
5.4	Rango y codificación de variables (optimización multi-objetivo). . . . .	119
5.5	Resumen de resultados. . . . .	126
5.6	Resumen de resultados en ordenamiento final. . . . .	128
5.7	Topología de la solución final. . . . .	130



# Resumen

En el presente trabajo se busca establecer un procedimiento para automatizar parte del proceso de diseño de un acelerómetro capacitivo por medio de la implementación de un algoritmo metaheurístico bio-inspirado y partiendo de un análisis de los parámetros que modelan el desempeño de un sensor inercial. Dicho sensor está pensado para cumplir con las especificaciones y normas de diseño que permitan su fabricación bajo el proceso CMOS estándar de  $0.5\mu\text{m}$ , lo que da lugar a un dispositivo micro-electromecánico integrado y monolítico del tipo conocido como CMOS-MEMS. A lo largo del trabajo de investigación se aborda principalmente el caso de un micro-sensor inercial cuyo principio de transducción se basa en los cambios de capacitancia y potencial eléctrico propios de un transistor MOS de compuerta flotante (FGMOS), sin embargo, se hace destacar que los procedimientos y técnicas propuestos a lo largo del documento tienen un espectro de aplicación factible sobre una variedad de sensores y actuadores no solo del tipo inercial sino también dispositivos con otras características electromecánicas. El algoritmo seleccionado para determinar el conjunto final de valores en los parámetros topológicos del dispositivo puede ser caracterizado como un *algoritmo genético* y de su implementación se desprende un diseño óptimo desde el punto de vista de la *optimización evolutiva multi-objetivo* (EMOO).





# Abstract

In this work it is established a method to partially automate the design process for a capacitive accelerometer by implementing a bio-inspired meta-heuristic algorithm and starting from an analysis of the parameters participating in the modeling of the performance of an inertial sensor. Such sensor is intended to meet the requirements and design rules that enable its fabrication in the standard 0.5-micron CMOS process from which is obtained a monolithical micro-electromechanical integrated circuit in the fashion of the CMOS-MEMS devices. This research has a main interest in micro-sensors which transductive principle is related to the capacitance and electric potential variations associated with the floating-gate transistor (FGMOS), nevertheless, we anticipate suitability of the proposed methods and techniques to a variety of devices either inertially driven or with other electromechanical properties. The algorithm selected to determine the set of values for the topological parameters of the device can be characterized as a *genetic algorithm* and its implementation results in an optimal design as from the perspective of the *evolutionary multi-objective optimization* (EMOO).



# Objetivo General

Dar continuidad al trabajo realizado dentro del grupo de Sistemas VLSI respecto al diseño de sensores inerciales basados en el Transistor de Compuerta Flotante FGMOS, obteniendo a partir de las características y puntos de operación de este tipo de dispositivos, una metodología de automatización del diseño bajo los criterios de optimalidad dictados por la Optimización Evolutiva Multi-Objetivo.

## Objetivos particulares

- Profundizar en el modelado del transistor FGMOS como elemento principal de transducción de sensores inerciales, con base en los conocimientos previamente adquiridos en el diseño de circuitos integrados VLSI.
- Detallar las implicaciones que presenta el post-proceso de micro-maquinado superficial utilizado para eliminar capas de sacrificio y liberar estructuras metálicas móviles, analizar el impacto sobre las propiedades mecánicas y eléctricas de circuitos integrados fabricados en tecnología CMOS, buscando minimizar componentes que comprometen su integridad.
- Realizar una revisión de los métodos clásicos de diseño iterativo y adaptar los mismos a una versión basada en objetivos en donde todas las características eléctricas y mecánicas puedan ser modeladas en términos de la geometría y la terminología topológica de layout como lo es la mínima longitud de diseño  $\lambda$ .

- Obtener un modelo dinámico pertinente para el estudio de un sensor integrado monolíticamente tal como el acelerómetro CMOS-MEMS.
- Generar el diseño y simulación de electrónica integrada para el acondicionamiento y procesamiento de señales a fin de tener un dispositivo sensor monolítico con señales de salida de fácil lectura y en acuerdo con los valores típicos de señal y alimentación de los sistemas comerciales.
- Participar activamente en la reciente tendencia de diseño óptimo automatizado, mediante el estudio, desarrollo e implementación de un algoritmo meta-heurístico bio-inspirado, como lo es en particular el *algoritmo genético*.

# Justificación

Ante la creciente demanda de dispositivos semiconductores dirigidos a la *sensorización* de ambientes y monitorización del bienestar personal, que en conjunto con las nuevas tecnologías de redes inteligentes, salud, movilidad y entretenimiento, el grupo de trabajo del Laboratorio VLSI decide dar continuidad a los proyectos de investigación en el área micro-sistemas, particularmente en el diseño, simulación y caracterización de sensores inerciales capacitivos basados en el transistor MOS de compuerta flotante dentro de un marco tecnológico y de fabricación de dispositivos micro-electromecánicos integrados CMOS-MEMS.

Derivado de los satisfactorios resultados que el grupo de trabajo ha obtenido en los últimos años siguiendo la hipótesis de factibilidad, conveniencia y oportuna aplicación del FGMOS como elemento principal de transducción en la conversión de movimiento mecánico acelerado a una proporcional señal eléctrica se propone en el presente trabajo profundizar en los siguientes rubros: 1. La composición de las capas metálicas que se encuentran disponibles en la tecnología de fabricación CMOS, su interacción con los decapantes necesarios para el post-proceso de micro-maquinado superficial y el impacto que tiene la presencia de ciertos materiales en el diseño micro-mecánico. 2. El modelado dinámico y respuesta a estímulos del acelerómetro capacitivo basado en tecnología CMOS-MEMS. 3. El modelado matemático del conjunto formado por el transductor integrado y la estructura capacitiva móvil propios de un acelerómetro CMOS-MEMS en términos enteramente geométricos y de topología. 4. Un análisis en la pertinencia del uso de los algoritmos metaheurísticos bio-inspirados como una herramienta al alcance del ingeniero de diseño de circuitos integrados para automatizar bajo criterios de optimalidad la selección de parámetros de diseño.

Trabajos previos publicados tanto por el grupo de trabajo como por terceros sugieren una creciente integración de las denominadas técnicas de Optimización Evolutiva Multi-Objetivo en el desarrollo de circuitos integrados analógicos y digitales, habilitando al diseñador para encontrar una solución óptima en términos del mejor compromiso para dos o mas objetivos en conflicto, como lo son la reducción de área de diseño utilizada y el aumento de la sensibilidad del instrumento. El presente trabajo estudia la novedosa implementación de un Algoritmo Genético en el diseño de un sensor MEMS, específicamente en el caso de un acelerómetro basado en el FGMOS y tomando en cuenta los factores de impacto antes mencionados como variables de los modelos matemáticos de los objetivos, criterios y restricciones de diseño. El resultado final de este trabajo es un algoritmo y una metodología de uso para automatizar parcialmente o totalmente el diseño de micro-sistemas.

El mencionado mecanismo computacional constituye una alternativa al método tradicional de diseño iterativo, lo cual podría repercutir positivamente en los tiempos y costos de las diferentes etapas de prototipado de sensores inerciales CMOS-MEMS.

# Capítulo 1

## Introducción

Al paso de los años la tecnología de circuitos integrados se ha diversificado enormemente dando lugar a una gran cantidad de dispositivos con características muy variadas y que se añaden día con día a un sin fin de aplicaciones. Los denominados sistemas micro-electromecánicos (MEMS) o también llamados “micro-sistemas”, si bien en un sentido más amplio no están directamente catalogados como circuitos integrados, comparten con estos muchos de los procesos y herramientas que permiten su creación, incluyendo pero no limitándose a plataformas de diseño, técnicas de fabricación y métodos de caracterización. Es así que los sistemas micro-electromecánicos tienen en esencia la morfología de un circuito integrado, tal como lo es contar con un sustrato, generalmente cristalino, y un conjunto de capas metálicas superpuestas por encima de la superficie del mismo y que a su vez se separan unas de otras por medio de depósitos de material dieléctrico.

El atributo más significativo de los dispositivos MEMS en general y que con certeza los distingue de los circuitos integrados convencionales, es su capacidad de interactuar con su medio circundante no solo a través de señales eléctricas sino por medio de variedad de estímulos mecánicos, electromagnéticos y químicos, entre otros. Se puede decir entonces, que

ya sea tanto a escala macroscópica como microscópica, dependiendo de la aplicación, el micro-sistema buscará producir y/o percibir señales de una naturaleza *física* tales como lo son un desplazamiento mecánico, un cambio de presión, una reacción química o la presencia de radiación y partículas. Tal como se puede ver en (Abarca-Jiménez et al. 2018), (Reyes Barranca et al. 2010) y (Domínguez-Sánchez et al. 2017), trabajos previos que han emanado de este grupo de investigación han abordado y verificado la aplicación de sistemas micro electromecánicos en la medición o aprovechamiento de algunas de la mencionadas magnitudes físicas.

En el presente trabajo así como en los antes citados destaca el uso del transistor MOS de compuerta flotante (FGMOS) cuyo mecanismo es de uso generalizado en circuitos de muy alta escala de integración (VLSI) y su sencillez en términos de diseño topológico lo vuelven un fuerte candidato para explorar el uso de algoritmos heurísticos y así proponer una solución óptima en términos numéricos partiendo de un conjunto de objetivos de diseño que se busca satisfacer. Entonces, a continuación se presentan las generalidades del diseño VLSI y se detalla el proceso de diseño de un sensor inercial CMOS-MEMS, se analizan las propiedades funcionales de un acelerómetro de características típicas, se propone el modelado matemático de un conjunto de metas y restricciones de diseño y describe la implementación de una metaheurística bio-inspirada para consolidar un diseño semi-automatizado en contraste con un diseño convencional.

## **1.1 Antecedentes**

El desarrollo de las técnicas de fotolitografía, ataque químico y de depósito y crecimiento de películas de diversos materiales llevó a mediados del



siglo XX a la concepción y fabricación de los primeros dispositivos integrados. Este acontecimiento forma parte del nacimiento de una industria que no ha detenido su expansión y crecimiento hasta nuestros días y cuya relevancia en la actualidad es total, siendo que la economía, la educación, la salud y el entretenimiento dependen enormemente de la industria electrónica y cada una de ellas avanza en la medida que esta última lo hace.

Un circuito integrado es, en el sentido más amplio, un conjunto de dispositivos electrónicos, tanto activos como pasivos, que residen sobre el mismo sustrato, logrando así interconexión directa y el máximo aprovechamiento del espacio, ya sea área o volumen, designado para la tarea a realizar. Es especialmente relevante cómo a través de los años se han superado constantemente los límites tecnológicos y se ha llegado a una descomunal densidad de componentes por centímetro o milímetro cuadrado del sustrato llegando a la necesidad de clasificar a estos dispositivos en función de la denominada escala de integración. La escala de integración mide esta densidad y hablar de una alta (LSI) o muy alta escala de integración (VLSI) nos permite estimar las capacidades que dicho dispositivo tendrá una vez en operación.

Cuando se habla de un dispositivo integrado VLSI se habla de miles y hasta millones de dispositivos activos individuales que coexisten dentro de la misma plataforma, habilitando al diseñador para ejecutar aplicaciones con un alto grado de complejidad con un consumo relativamente bajo de energía. Estos dispositivos, sin embargo, por su reducido tamaño y características eléctricas requieren de una muy sofisticada red industrial y logística que, a través de muy altos estándares de calidad, permite la fabricación y manejo de elementos altamente sensibles a la contaminación y condiciones ambientales. Detrás de cada circuito integrado o microchip, como también se le conoce, existe una cadena de

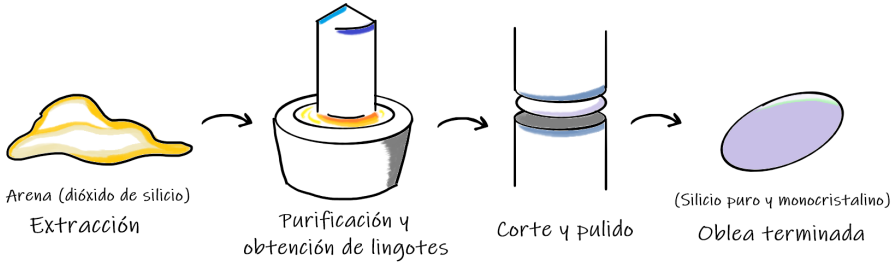


Figura 1.1: Resumen del proceso de obtención de obleas de silicio cristalino.

valor que extrae y transforma minerales y otros recursos naturales, los purifica y manipula a nivel prácticamente atómico para formar estructuras funcionales que denotan una sinergia sin precedentes y que ponen a nuestro alcance, de manera práctica, los fenómenos que solo se explican por medio de un profundo análisis de las interfaces entre materiales y las propiedades electrónicas de los mismos. La primera etapa del proceso industrial se resume en la Figura 1.1. El camino de la denominada tecnología CMOS recién obteniendo una placa de silicio puro y cristalino también conocida como oblea, la misma usualmente se encuentra disponible comercialmente con un dopaje inicial de baja concentración de impurezas tipo p o tipo n, lo que sirve como base para producir en ella transistores de efecto de campo canal N y canal P, respectivamente.

### 1.1.1 Tecnología CMOS convencional

Dentro de los llamados transistores de efecto de campo existe un tipo cuyo desarrollo se ha visto potenciado gracias a sus características como lo son un bajo consumo de potencia y una muy marcada compatibilidad con los procesos de fabricación planar (basada en el depósito de películas delgadas superpuestas), el MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor). Este es un dispositivo noble que presenta un conveniente comportamiento lineal o exponencial según los potenciales que se

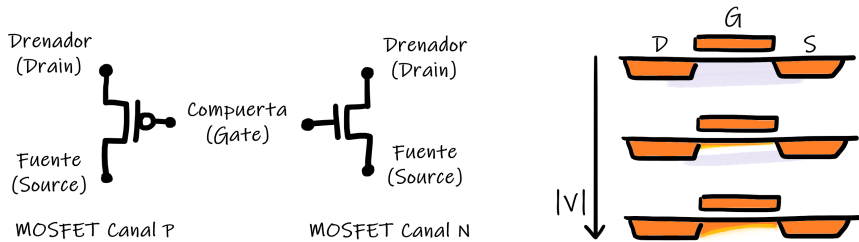


Figura 1.2: Terminales del transistor MOSFET canal P y canal N, y proceso de formación del canal.

apliquen en sus terminales. De manera ideal, su característica de salida permite controlar la magnitud de una corriente eléctrica (entre drenador y fuente) en función de un voltaje de entrada (potencial que se aplica a la terminal de compuerta). A medida que el potencial en compuerta (gate) se incrementa en magnitud, los portadores de polaridad contraria que se encuentran en el sustrato se ven atraídos y comienzan a formar un canal que comunica las terminales de drenador (drain) y fuente (source) (Figura 1.2). Sin embargo esta estructura en su forma más simple permite trabajar únicamente dentro de un rango estrecho de voltajes que limita sus aplicaciones tanto analógicas como digitales, esto se soluciona interconectando dispositivos MOS con ambos tipos de polaridad (canal N y canal P).

Una innovación que permitió a las obleas de silicio y por ende a los circuitos integrados en general acceder a dispositivos de mayor complejidad circuital tales como compuertas lógicas y amplificadores fue la introducción del denominado *pozo*, el cual se obtiene a través de una combinación de procesos de fotolitografía y de implantación iónica y consiste en obtener una región de conductividad contraria dentro de la previamente dopada superficie de la oblea, es decir, generar una pequeña porción de sustrato tipo N sobre la oblea tipo P o viceversa (Figura 1.3). En general al tratar señales tanto analógicas como digitales es conve-

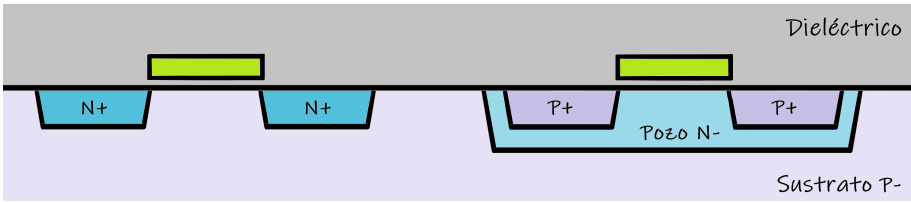


Figura 1.3: Transistores MOS complementarios en un mismo sustrato.

niente contar con dispositivos MOS complementarios o CMOS, es decir, que combinan ambos tipos de transistor MOS, ya que pueden manipularse de una manera más precisa los puntos y regímenes de operación de cada uno de los dispositivos.

Otro aspecto importante al seleccionar el proceso con el que se va a trabajar en el marco de la tecnología CMOS es la cantidad de capas metálicas disponibles que permiten la interconexión entre dispositivos. En el caso particular de este trabajo la tecnología base para todos los diseños e implementaciones es la tecnología C5 de ON Semiconductor, la cual se caracteriza por aceptar una longitud de canal mínima de  $0.6\mu\text{m}$  en los transistores MOS y por contar con dos capas de silicio policristalino (Poly) y tres más de una aleación metálica por encima del sustrato, lo que la clasifica como una tecnología 2P3M. Dichas capas se interconectan por medio de *vias* (pequeños nodos verticales que hacen contacto con dos capas a la vez) y es en general la capa inferior de Poly la que se emplea para producir la compuerta de los transistores MOS como se observa en la Figura 1.4. Las capas de polisilicio cuentan con una alta concentración de portadores por lo que se les considera cuasi-metales. Tanto las capas de polisilicio como las de metal se encuentran embebidas en un depósito de dióxido de silicio, el cual las envuelve completamente y cumple la función de un aislante eléctrico. Por encima de todo se encuentra una capa protectora de nitruro de silicio llamada Overglass, esta capa es un vidrio que protege a los dispositivos del ambiente

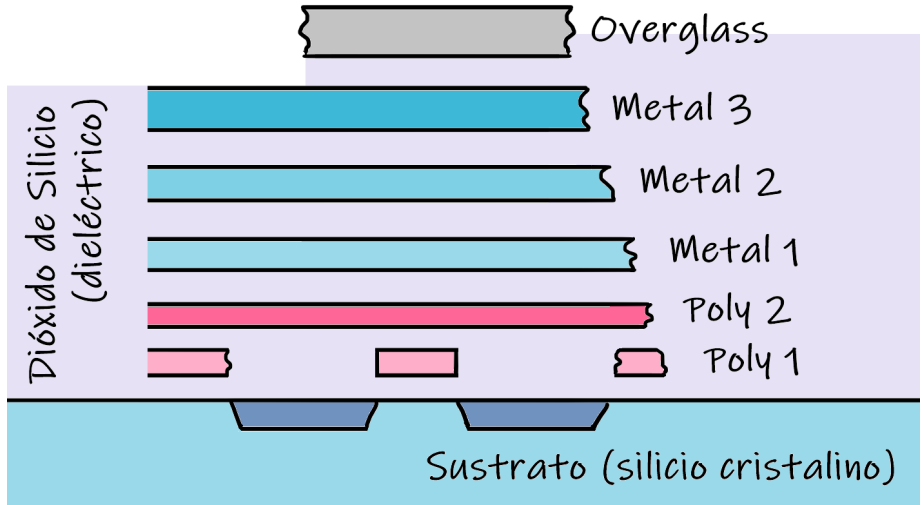


Figura 1.4: Capas disponibles en el proceso de fabricación C5 de ON Semiconductor.

y solo cuenta con aberturas en las posiciones por encima de los nodos de conexión con el exterior. Para acceder a estos nodos también conocidos como *pads* se expone la capa superior de metal denominada Metal 3 a través de un proceso de ataque por iones reactivos (RIE). La utilidad de las tres capas metálicas en la formación de estructuras MEMS se expone a continuación, sin embargo, su composición y propiedades es motivo de una más amplia discusión en apartados posteriores.

### 1.1.2 Dispositivos MEMS y CMOS-MEMS

Los micro-sistemas se pueden clasificar de diferentes formas, por ejemplo, en función de su utilidad, ya sea como micro-sensores o micro-actuadores, es decir, convirtiendo una señal física externa en una señal eléctrica o viceversa, respectivamente. También es posible clasificarlos de acuerdo a su *principio de transducción*, es decir, conociendo cuál es la magnitud física que se intercambia con una señal eléctrica, de esta manera los hay capacitivos, térmicos, químicos, etc.

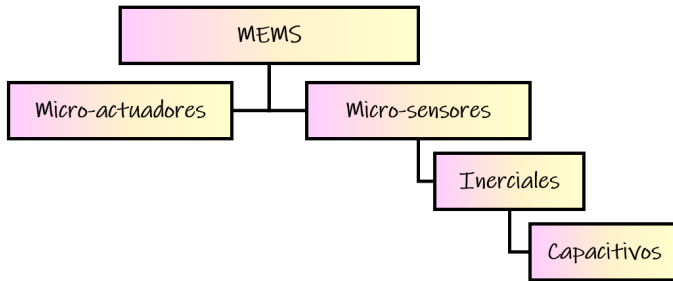


Figura 1.5: Clasificación del acelerómetro capacitivo.

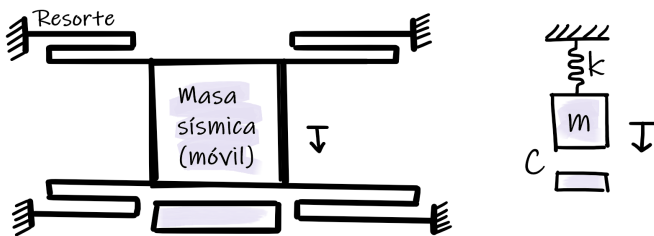


Figura 1.6: Acelerómetro capacitivo y sistema masa-resorte equivalente.

El objeto de estudio en este caso es un acelerómetro capacitivo que entra dentro de la categoría de micro-sensores inerciales que se muestra en la Figura 1.5. Los sensores inerciales relacionan una variable eléctrica con un desplazamiento acelerado debido a una fuerza externa aplicada. En este caso, lo que se obtiene es una variación en la capacitancia presente entre dos elementos metálicos. Esto generalmente se logra haciendo suspender un bloque móvil de masa  $m$  relativamente grande y que se sujeta a un juego de resortes con rigidez equivalente  $k$  a la vez que respecto a un segundo bloque fijo, también metálico, se forma un capacitor variable, también llamado varactor, de capacitancia  $C$ . La capacitancia varía de manera inversamente proporcional a la distancia que separa los bloques, misma distancia que es proporcional a la fuerza, aceleración y desplazamiento que experimenta la también llamada *masa sismica* (Figura 1.6).

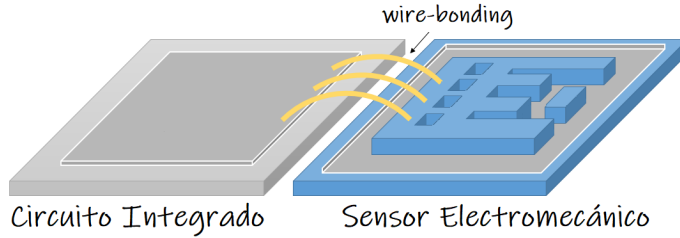
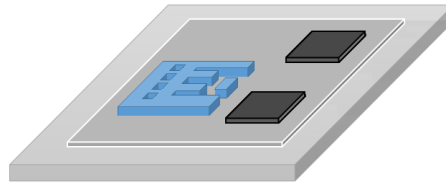


Figura 1.7: Alambrado externo entre dispositivos independientes.

La idea de fabricar dispositivos MEMS incluyendo estructuras tales como vigas, resortes y engranajes a nivel microscópico utilizando un proceso similar al de fabricación de circuitos integrados (basado en una sucesión de depósitos metálicos y fotolitografía) no es nueva y ha estado desarrollándose de manera parcialmente independiente a la par de la tecnología CMOS. Existe una variedad de plataformas donde no se construye ningún elemento electrónico activo sobre el sustrato que controle o detecte las señales, en cambio, se fabrican estructuras puramente electromecánicas con las dimensiones y materiales apropiados para cada aplicación, de ahí surge la necesidad de conectar circuitos electrónicos externos para llevar a cabo el acondicionamiento, lectura e interpretación de las señales, usualmente un circuito integrado adjunto. Si bien ambos dispositivos pueden ser encapsulados juntos para su presentación comercial final, es necesario realizar un paso intermedio que consiste en un proceso de alambrado que comunica pads de ambos dispositivos, a este proceso se le conoce como wire-bonding (Figura 1.7) y es similar al que se utiliza para comunicar a cualquier chip con los pines de su encapsulado final.

Una alternativa es por supuesto, proponer un diseño electromecánico compatible con las capas metálicas de la tecnología CMOS, las cuales originalmente están concebidas únicamente para la interconexión de componentes. En caso de utilizarse dichas capas para implementar también



Circuito Integrado CMOS-MEMS

Figura 1.8: Integración monolítica CMOS-MEMS.

las estructuras electromecánicas de un MEMS, se habla entonces de un dispositivo CMOS-MEMS. Con esto se facilita la integración del elemento transductor con los componentes electrónicos y de procesamiento de señal en un mismo dado (corte de la oblea con un circuito integrado individual) tal como se aprecia en la Figura 1.8.

Existen casos en los que la estructura MEMS, además de no sobrepasar una determinada área de diseño en milímetros cuadrados, resulta ser totalmente compatible con las capas y materiales disponibles en el proceso de fabricación CMOS estándar. Teniendo en cuenta el análisis que se realiza en (Kaajakari 2009) se puede afirmar que entre las ventajas que conlleva integrar de manera monolítica el dispositivo CMOS-MEMS sobresalen una reducción en las capacitancias parásitas, una reducción en los costos de interconexión y encapsulado, un significativo aumento en el rédito de piezas por oblea y en general una mayor sinergia entre dispositivos, todo esto ejerciendo contrapeso ante a una limitada variedad de aplicaciones y la necesidad de procesos adicionales posteriores a la fabricación.

Una vez que se opta por conjuntar monolíticamente ambos subsistemas, es decir, la electrónica integrada y la estructura micro-electromecánica, surge la necesidad de liberar esta última de las restricciones mecánicas que supone el dieléctrico propio de la fabricación CMOS. Para retirar efectivamente el volumen de dióxido que envuelve a las ca-



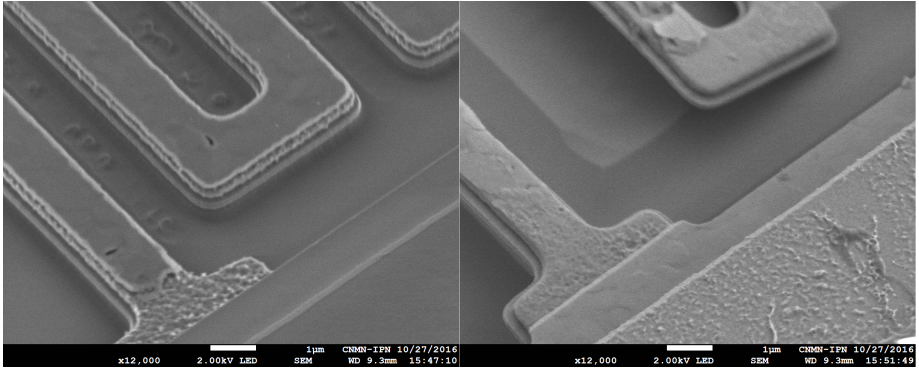


Figura 1.9: Liberación de un resorte metálico.

pas metálicas se recurre usualmente a un ataque químico basado en ácido fluorhídrico (HF) adicionado con compuestos que lo hacen más selectivo y disminuyen su razón de ataque sobre el aluminio, componente principal de las capas metálicas disponibles. Para poder efectuar este ataque es necesario considerar en el diseño una ventana abierta en la capa de Over-glass por encima de la estructura que se desea liberar. A este proceso se le conoce como micro-maquinado superficial pues sucede principalmente por encima de la superficie del sustrato. En oposición nos encontramos con el micro-maquinado volumétrico en el cual se busca atacar al sustrato mismo (silicio cristalino) para formar membranas y ventanas útiles en otro tipo de aplicaciones.

Tras una exitosa disolución del dióxido de silicio y como se puede observar en la Figura 1.9, las estructuras mecánicas quedan expuestas y libres para desplazarse salvo en sus puntos de anclaje. Esto permite producir vigas y resortes que responden de manera conveniente a las aceleraciones presentes aunque también de manera indeseada a esfuerzos residuales del proceso de fabricación.

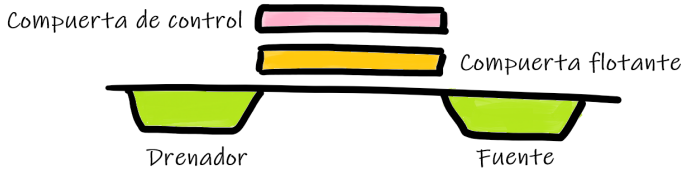


Figura 1.10: Transistor de compuerta flotante.

### 1.1.3 FGMOS

Los transistores de compuerta flotante, así como otros dispositivos de la familia CMOS, se diseñan configurando capas de distintos materiales en una estructura topológica determinada. El transistor MOS de compuerta flotante, también conocido como FGMOS, ha sido principalmente utilizado en la fabricación de dispositivos de almacenamiento digital (Baker 2005 pp. 113,466). En dicho caso, la información se coloca dentro del dispositivo en forma de carga eléctrica que se transfiere hacia y desde (programación y borrado) la llamada terminal de compuerta flotante. La característica principal del FGMOS es incluir una estructura de doble compuerta de polisilicio (Figura 1.10), apiladas una sobre otra y donde la más cercana al canal se encuentra aislada eléctricamente de todas las otras terminales y pads, sin embargo, la terminal flotante puede ser inducida electrostáticamente para alcanzar un potencial que de hecho será el responsable de formar el canal y controlar la conducción de corriente a través del transistor.

### 1.1.4 Metaheurísticas bio-inspiradas

Se conoce como heurística a los mecanismos de búsqueda computacionales que pretenden encontrar, dentro de un espacio multidimensional de variables, la solución o conjunto de soluciones que mejor comportamiento presenten ante una *función objetivo*. La función objetivo es el modelo matemático de un parámetro de desempeño dependiente de

una o más de las variables en el problema de ingeniería. Usualmente se busca minimizar o maximizar a una o varias de las funciones objetivo de manera que se alcance un óptimo, ya sea local o global, en el desempeño general de la solución. Existe un tipo de heurística que va *más allá* del dominio numérico incorporando ideas tomadas directamente de la naturaleza, en particular imitando al comportamiento de entes vivientes y es por eso que se les conoce como metaheurísticas bio-inspiradas.

Dentro del campo de la *optimización multi-objetivo* y en particular de los sistemas naturalmente-inspirados, existe una amplia variedad de técnicas que se pueden clasificar de acuerdo a su elemento principal que es en el cual basan su inspiración y conceptos. Existen algoritmos que recuerdan y emulan la forma en que se comportan las poblaciones, ya sea la trayectoria que siguen grupos de individuos (particle swarm), la forma en la que estos consiguen su alimento (ant colony, artificial bee colony) o incluso la manera en que la información genética cambia a través del tiempo (genetic algorithms, evolutionary strategy). Existen también los sistemas que imitan procesos físico-químicos por lo que se les considera naturalmente-inspirados. En la Figura 1.11 se resumen brevemente los mecanismos más allegados al presente trabajo.

Este caso de estudio representa una aproximación a la Optimización Evolutiva Multi-Objetivo (EMOO) con aplicación en el campo del diseño de layout CMOS. Si bien los algoritmos bio-inspirados del estado del arte usualmente atienden problemas computacionales bastante sofisticados (no siempre en el dominio de la ingeniería y el mundo real) y se refuerzan y mejoran continuamente comparándose unos con otros. Los parámetros y características del algoritmo seleccionado para el presente desarrollo no pretenden mejorar el desempeño del algoritmo en sí, sino apoyar al ingeniero de diseño en la búsqueda de un diseño preliminar razonablemente óptimo bajo un conjunto de criterios y establecer el método correspondiente para validar los resultados.

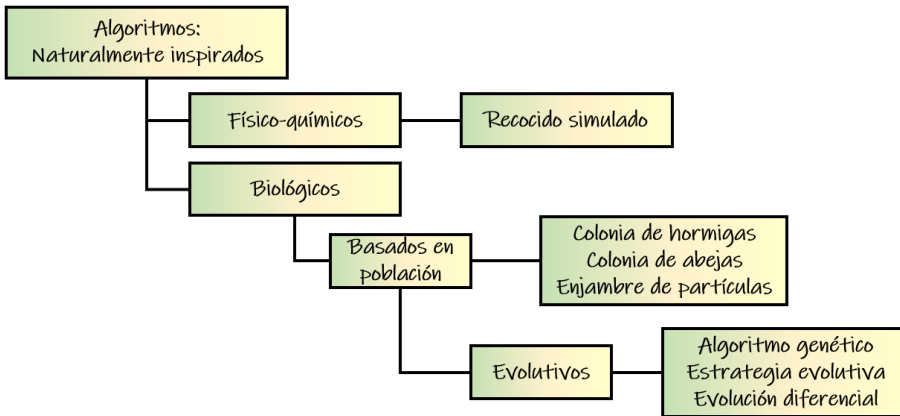


Figura 1.11: Resumen de algoritmos naturalmente inspirados más comunes.

### 1.1.5 Algoritmos genéticos

Los llamados algoritmos genéticos son un versátil grupo de técnicas metaheurísticas bio-inspiradas basadas en el proceso evolutivo natural, al cual emulan computacionalmente y que a través de la optimización evolutiva multi-objetivo son comúnmente utilizados en problemas de optimización en ingeniería (Coello 2015) y en diversos problemas de logística (Murata et al. 1996). Este tipo de métodos iterativos de búsqueda son bien conocidos por manejar de manera efectiva grandes cantidades de parámetros de modelado en problemas con hasta unos pocos miles de variables (Yang et al. 2008) y hasta un par de docenas de funciones objetivo (Lopez-Jaimes et al. 2015). Esto hace a la EMOO un campo de investigación fértil en la actualidad. Otro tópico relevante dentro de este contexto es el apropiado manejo de restricciones durante el modelado matemático de un problema particular, esto se debe a las múltiples limitaciones naturales y tecnológicas que los problemas de diseño de ingeniería usualmente involucran.

Cuando se trata con un problema de diseño en ingeniería, ya sea mecánico, microelectrónico o algún otro predominantemente basado en

la geometría, especialmente aquellos donde la forma y relación de aspecto de los elementos diseñados puede ser deconstruida en partes más pequeñas y fundamentales, y donde cada una de estas partes cuenta con un conjunto particular de parámetros. La decisión de utilizar algoritmos genéticos se relaciona con sus ya conocidos mecanismos para la codificación, manipulación y selección iterativa de parámetros que de otra manera son ajustados manualmente por el diseñador. El algoritmo es en sí mismo un sofisticado intento de emular computacionalmente el complejo proceso biológico mediante el cual una determinada población de individuos combina su información genética buscando alcanzar cierta ventaja o incremento en el desempeño de alguna tarea ante una situación dada conforme pasa el tiempo y cada generación sustituye a la anterior.

En términos de un algoritmo genético, cuando éste se aplica a un problema de diseño de ingeniería, cada una de las variables es codificada en cierto número de bits, usualmente una cadena binaria lo suficientemente larga y acorde con la naturaleza física de la variable y su rango de utilidad en los números reales dentro del espacio de búsqueda del algoritmo. Llamamos  *cromosoma*  (Figura 1.12) al arreglo de  $n$  variables convenientemente definidas en longitud y posición que son concatenadas en una sola cadena binaria. Este arreglo contiene todas las variables que se desprenden del modelo matemático del problema para cada una de las funciones objetivo. Un cromosoma a su vez representa a un  *individuo*  de entre la población, siendo que cualquiera de sus características particulares puede ser extraída de la secuencia de bits y utilizada para evaluar numéricamente las funciones objetivo asociadas con los requerimientos del diseño.

Para un problema con un solo objetivo, cuando se evalúa una combinación particular de valores de las variables, ya sea continuos o discretos, la función objetivo de  $n$  variables de la expresión 1.1 describe la

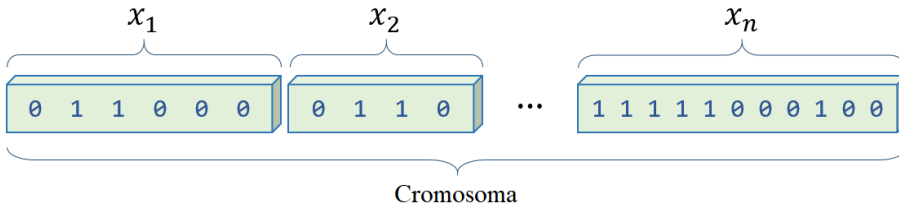


Figura 1.12: Cromosoma incluyendo todas las variables codificadas en una misma cadena binaria.

llamada *aptitud* del individuo seleccionado, esto es, qué tan bien el individuo se desempeña cuantitativamente para alcanzar el objetivo modelado. Durante el proceso evolutivo los individuos son seleccionados aleatoriamente y probados evaluando la función objetivo con sus valores para determinar su aptitud, además, se implementan mecanismos para determinar cuál elemento de entre la población es el de mejor desempeño en una generación dada (elitismo). Algunos otros operadores que usualmente se utilizan son la *mutación*, consistente en alterar arbitrariamente el código genético de un individuo para desviar su tendencia evolutiva, evitando caer en máximos o mínimos locales y la *cruza* para combinar características e información genética de dos o más individuos interpolando sus cromosomas. Como resultado iterativo de los procesos mencionados, se produce, al paso de las generaciones, un acercamiento a un óptimo global.

$$\text{fitness} = f(x_1, x_2, \dots, x_n) \quad (1.1)$$

En el caso de una tarea de diseño multi-objetivo, es útil implementar este tipo de métodos evolutivos cuando todos y cada uno de los objetivos que se persiguen implican algún tipo de conflicto entre ellos, de manera que incrementar la aptitud o desempeño para una meta en particular va en detrimento de las demás. Esta es la razón por la que un análisis de Pareto se añade al proceso para encontrar a la mejor solución y no nece-

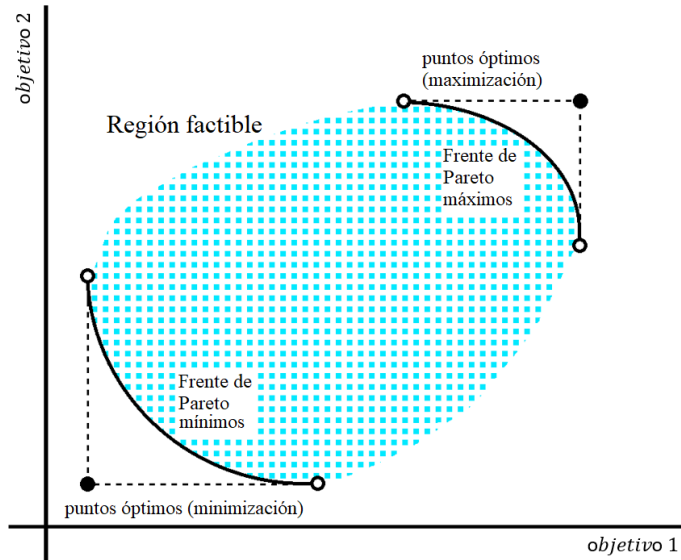


Figura 1.13: Ubicación de los frentes de Pareto y los puntos óptimos ideales (utópicos).

sariamente a un óptimo ideal. La mejor solución es aquella con la mejor relación o compromiso entre dos o más objetivos. Usualmente el punto más cercano del *frente de Pareto* a la solución ideal es la que se selecciona como la solución final, pues para un problema con dos objetivos como el que se muestra en la Figura (1.13) el óptimo global no puede ser alcanzado en ambos objetivos al mismo tiempo (Coello 2001). El frente de Pareto se construye a partir del conjunto de *soluciones no dominadas* para un espacio de búsqueda determinado. Una solución no dominada es aquella para la cual no existe alguna otra solución que sea mejor (en aptitud) en todos los atributos a la vez. Esta solución domina a algunas otras siendo mejor en al menos uno de los objetivos e igual o mejor en todos los demás.

## 1.2 Estado del arte

### 1.2.1 Dispositivos comerciales y proyectos académicos

Una gran variedad de dispositivos de medición inercial están disponibles en el mercado, se cubre de manera prácticamente total todo el espectro de aplicaciones, lo que permite contar con dispositivos de gama baja principalmente pensados para el ámbito académico de pre-grado y también con sensores de alta calidad con especificaciones apropiadas para sistemas de instrumentación científica, industrial y militar.

Al momento de adquirir un dispositivo inercial y en particular un acelerómetro es conveniente destacar las especificaciones básicas para ubicar adecuadamente a los candidatos. Entre estos requerimientos a cubrir se encuentran el rango de operación, es decir, los límites dentro de los cuales la lectura es confiable, la resolución y sensibilidad del dispositivo, las cuales permiten calcular la señal eléctrica de salida que corresponde a un determinado estímulo y los valores de alimentación, que determinan el consumo de energía de cada elemento. Un análisis de 64 acelerómetros disponibles en el mercado en el año 2019 arroja las siguientes estadísticas:

- Rangos de aceleración: 1 G – 120 G
- Valores de alimentación: 3 V a 6 V (más comunes 3.3 V y 5 V).
- Consumo de corriente: 700 nA – 24 mA
- Resolución en dispositivos digitales: 10 – 24 bits
- Sensitividad: 5 mV/G@100 G a 1 V/G@1.7 G

Uno de los principales criterios de selección es la compatibilidad con sistemas analógicos o digitales, lo cual suele estar dado en función de la aplicación (Figura 1.14).



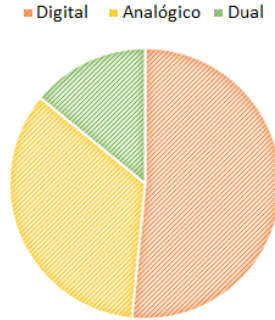


Figura 1.14: Distribución de mercado de acelerómetros comerciales.

En cuanto a trabajos académicos relacionados con el desarrollo de sensores inerciales y en particular con acelerómetros de 1 o 2 ejes con fabricación MEMS y CMOS-MEMS, un análisis resumido en la Tabla 1.1 muestra una mayoría de implementaciones en el rango de las bajas aceleraciones y una sensibilidad en el orden de 1 V, ambas características coinciden con los alcances y objetivos del presente trabajo.

Sensibilidad	Rango de operación	Publicación
1.22 V/G	$\pm 3$ G	Yuntao 2009
2.1 V/G	10 G	Chih-Ming 2009
0.1 $\mu$ A/G	$\pm 33$ G	Benxian 2009
0.7 V/G	–	Kim 2012
0.4 fF/G	7.5 G	Daisuke 2014
0.8 fF/G	6 G	Sheng-Hsiang 2014
0.6 V/G	1 G	Daisuke 2015
0.13 V/G	20 G	Gonseth 2015
20 fF/G	20 G	Yamare 2015
1.78 V/G	0.1 G	Kevitha 2016
0.8 V/G	$\pm 2$ G	<b>Granados 2017</b>
35 fF/G	$\pm 5$ G	Zakriya 2018

Tabla 1.1: Resumen de trabajos académicos basados en acelerómetros MEMS y CMOS-MEMS

## **1.2.2 Uso de algoritmos genéticos en el diseño de circuitos integrados**

Si bien los dispositivos analizados y mostrados previamente corresponden al sector comercial y sus métodos de diseño y fabricación no son de dominio público, al igual que en el presente trabajo, se han estado llevando a cabo esfuerzos para integrar la filosofía, elementos y conceptos de la optimización computacional heurística en el proceso de diseño de sensores inerciales.

De una manera particularmente interesante para el contexto del presente trabajo, se puede encontrar que en los reportes de Melnik et al, Darnoby et al y Kryvyy et al, se propone respectivamente lo siguiente: un sistema para optimizar dimensiones de un acelerómetro MEMS que alcance ciertos estándares de sensibilidad y robustez que se validan mediante simulación multifísica en ANSYS, permitiendo mediante un script automatizar el análisis modal (Melnik et al. 2013), un algoritmo para diseñar módulos MEMS generales, tales como micro-actuadores, micro-sensores y etapas de acondicionamiento, con base en su geometría y dimensiones (Darnoby et al. 2008) y un análisis de los factores que determinan la efectividad de un algoritmo genético como parte del diseño de un sistema micro-electromecánico (Kryvyy et al. 2009).

De manera similar, en los trabajos previos de nuestro grupo se promueve la noción de compatibilidad entre los dispositivos CMOS-MEMS y los algoritmos genéticos, más específicamente con miras al desarrollo de dispositivos monolíticos basados en el transistor MOS de compuerta flotante (Granados-Rojas et al. 2018) y más adelante se propone analizar lo que sería una relación viable entre las dimensiones y la rigidez de un resorte de vigas útil para el sistema masa-resorte de un acelerómetro CMOS-MEMS convencional, esto con base en la optimalidad de Pareto (Granados-Rojas et al. 2020).

## 1.3 Conclusiones del capítulo

La tecnología CMOS-MEMS es una alternativa viable para la generación de dispositivos de instrumentación inercial, especialmente en proyectos académicos con recursos limitados. Dicha tecnología híbrida habilita a investigadores e ingenieros de diseño independientes para acceder a un prototipo MEMS de bajo costo que permita realizar pruebas de concepto.

Se retoma como elemento vínculo entre las tecnologías CMOS y MEMS al transistor de compuerta flotante. Dicho dispositivo permite integrar capacitores variables dentro de un elemento activo de manejo de corriente, por lo que se consolida su naturaleza como transductor principal dentro de la línea de investigación del grupo de trabajo.

En general, para tratar con problemas de diseños topológico y de predominante carácter geométrico como lo son los habituales en diseño mecánico y micro-electrónico, los algoritmos de cómputo evolutivo y en particular los algoritmos genéticos son de singular relevancia. La idea fundamental de dichos algoritmos es codificar variables físicas en cadenas numéricas discretas con las cuales se puede realizar un proceso de optimización ya sea heurística o meta-heurística. Siendo el diseño topológico de micro-dispositivos una técnica con valores usualmente discretos (múltiplos enteros de un tamaño mínimo de característica), el algoritmo genético tradicional parece ser una herramienta ad-hoc para realizar la búsqueda automática de parámetros que satisfagan la previamente definida función objetivo.



# Capítulo 2

## Aspectos teóricos

### 2.1 Acelerometría

Como se ha mencionado antes, los MEMS, también llamados micro-sistemas se clasifican en dos grandes grupos, uno de ellos dedicado a proponer diversos tipos de sensores y módulos de detección por lo que en general se les denomina micro-sensores. Uno de los más comunes tanto en el mercado como en el contexto académico dado su amplio espectro de aplicaciones es el acelerómetro. El acelerómetro es el dispositivo electrónico ideado para trasladar una magnitud física inercial como lo es la aceleración a una cantidad eléctrica, la cual finalmente se reinterpreta ya sea como una aceleración en sí misma o como una proporción del efecto que tiene la gravedad sobre el dispositivo y que influye de una manera u otra en medida de la posición angular del mismo.

Es común encontrar a los acelerómetros acompañados de otros dispositivos de naturaleza similar, ya que a través de la denominada fusión de sensores es posible determinar características de un sistema dinámico que por separado no resultan totalmente accesibles. Este es el caso de la IMU, que por sus siglas en inglés se refiere a una Unidad de Medición In-

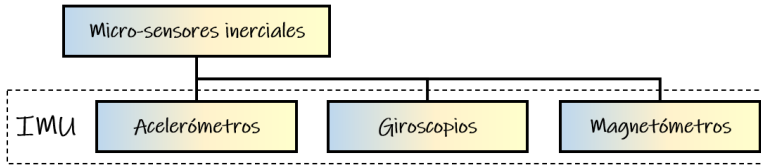


Figura 2.1: Unidad de medición inercial

ercial. La unidad IMU convencional incluye, mas no está limitada, a los siguientes elementos: acelerómetros, giroscopios y brújulas electrónicas (magnetómetros). Es por ello que resultan particularmente útiles y de uso común en aplicaciones de navegación autónoma y robótica móvil.

Los acelerómetros capacitivos basan su funcionamiento en una secuencia de transducciones que permiten pasar desde una aceleración y por tanto un desplazamiento mecánico hasta un valor de voltaje o señal digital. Si bien no toda la trayectoria de esta secuencia representa una transducción completamente lineal, podemos afirmar que efectivamente la magnitud de la señal eléctrica de salida es proporcional a la magnitud de la aceleración.

## 2.2 Sensitividad

Un parámetro de especial relevancia dentro de los sensores en general es la sensitividad, la cual nos indica qué magnitud alcanzará la señal eléctrica de salida de un micro-sistema ante un estímulo unitario de la señal de entrada. Es decir, se relaciona ampliamente con la función de transferencia del sistema y nos ofrece un criterio para seleccionar de entre una variedad de dispositivos dependiendo del rango dinámico de la aplicación. En un acelerómetro una alta sensitividad no es necesariamente deseable, sino que ésta debe ser acorde con la máxima magnitud conocida de aceleración a la que se someterá el dispositivo durante su

aplicación. Una alta sensibilidad permite alcanzar valores de tensión o corriente eléctrica lo suficientemente amplias para su medición, a partir de aceleraciones relativamente pequeñas. Por el contrario, una sensibilidad baja puede llegar a ser útil en ambientes donde se sabe que interesan estímulos de gran magnitud que requieren poca amplificación para ser detectados y transducidos al dominio eléctrico. La sensibilidad  $S$  puede interpretarse entonces como la ganancia del micro-sistema y como se verá más adelante, para fines específicos de este proyecto se considera como la razón de cambio en la corriente de drenador de un transistor MOS de compuerta flotante, en función de los cambios de capacitancia de una estructura MEMS.

Tomando en cuenta la aceleración  $g$  como la que produce la gravedad de la tierra ( $g = 9.81\text{m/s}^2$ ), en micro-sistemas analógicos pensados para trabajar con baja aceleración (hasta un par de veces la aceleración  $g$ ), una sensibilidad apropiada se encontraría en el orden de  $1\text{V/g}$ , es decir, el sistema entrega un voltaje que equivale ya sea a una fracción significativa o un pequeño múltiplo de 1 volt, cuando sobre el dispositivo se ejerce hasta una vez la aceleración  $g$ . Una tensión así es fácilmente detectable junto con sus variaciones de hasta unos pocos milivolts por la siguiente etapa en el sistema de medición. Dicha siguiente etapa puede ser algún acondicionamiento adicional (amplificación, filtrado, etc.) o incluso un convertidor analogico-digital (ADC) para integrar el acelerómetro como elemento de percepción a un sistema digital mayor. Existen por otro lado, sensores que monolíticamente asumen también la digitalización de la señal, por lo que su salida no es directamente un voltaje analógico sino una cantidad numérica discreta, en este caso, además de la sensibilidad se vuelve relevante el concepto de resolución.

La resolución es la cantidad mínima de variación en la señal de entrada que al ser detectada produce un cambio en la salida. Por lo tanto es común encontrar la resolución de un acelerómetro digital expresada

como cierta cantidad  $N$  de LSB/g, donde LSB se refiere por sus siglas en inglés al bit menos significativo de una cuenta binaria y  $N$  es la cantidad de cifras que avanzó la cuenta binaria ante una aceleración equivalente a  $g$ . En otras palabras, la mínima aceleración que se puede percibir con un dispositivo digital sería  $g/N \text{ m/s}^2$  y por tanto aquella donde la cuenta digital se incrementa o disminuye de un entero binario al siguiente.

## 2.3 Sistema masa-resorte

La tecnología conocida como CMOS-MEMS combina en un mismo chip (dado de silicio) las capacidades de ambas tecnologías, es decir, la circuitería CMOS convencional y las estructuras de los sistemas microelectromecánicos (MEMS). Cuando se habla de sensores inerciales, la micro-estructura básica utilizada para medir aceleración tiene la morfología de un sistema masa-resorte, acoplado a uno o más capacitores variables cuya capacitancia cambia proporcionalmente al desplazamiento de la masa, también llamada masa sísmica por su comportamiento oscilatorio. En la medida en que esta masa sísmica incrementa su proximidad a alguna otra placa metálica, es decir, la distancia  $d$  que las separa se reduce, la capacitancia (ecuación 2.1) del capacitor de placas paralelas crece. La capacitancia es por otra parte, también proporcional al área  $A$  de las placas o superficies que se enfrentan y a la permitividad eléctrica  $\epsilon$  del medio ( $\epsilon_0$  para aire o vacío). La configuración que presentan en conjunto el sistema masa-resorte (móvil) y el capacitor variable se muestra en la Figura 2.2.

$$C = \frac{\epsilon_0 A}{d} \quad (2.1)$$

Como se mostró en (Granados-Rojas et al. 2016) las estructuras capacitivas empleadas podrían no ser tan simples como un capacitor de



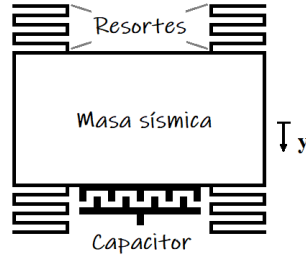


Figura 2.2: Esquemático de una estructura típica basada en un sistema masa-resorte MEMS para un sensor inercial.

placas paralelas, en cambio, se puede aprovechar las cantidad de capas metálicas con las que cuenta el proceso de fabricación para generar intrincadas estructuras tridimensionales con múltiples componentes capacitivas. Sin embargo, dichas estructuras pueden llegar a tratarse como la superposición de varios capacitores de placas paralelas en los cuales al despreciarse los efectos de borde aún se conserva una aproximación bastante cercana al efecto total.

En el proceso CMOS-MEMS y en particular para un acelerómetro, una vez teniendo un chip CMOS previamente diseñado y fabricado para llevar a cabo las tareas de control electrónico y de procesamiento de señales, se procede a un post-proceso de ataque ya sea físico o químico para eliminar las capas de dieléctrico que rodean a las estructuras MEMS (capas de sacrificio) y así permitirles libre movimiento ante la presencia de un movimiento acelerado. Como es de esperarse estas estructuras metálicas son de hecho las capas metálicas disponibles en el proceso para la interconexión de componentes, también conocidas como capas estructurales. Como se analizó en Granados-Rojas et al. 2019 y se presentará más adelante, la composición de estas capas varía de acuerdo con el proceso de fabricación y en particular para el proceso C5 se cuenta con una película externa de nitruro de titanio (TiN) que impacta en la rigidez, masa, conductividad y durabilidad de los elementos electromecánicos.

Sin embargo, la gran mayoría de los procesos de fabricación cuentan únicamente con el material base que consiste en una aleación de aluminio (Al) y cobre (Cu) con este último en una proporción menor al 5%, razón para realizar cálculos y estimaciones alrededor de las propiedades del aluminio puro en la mayoría de las aplicaciones.

Cada uno de los cuatro resortes mostrados en el esquema de la Figura 2.2 se conforma de una serie de vigas metálicas, cada una de ellas con una rigidez asociada modelada como en la expresión 2.2 de una manera similar a la manera en que opera una viga individual según la Ley de Hooke. A fin de determinar la rigidez  $k$  del elemento de longitud  $L$  resulta útil aplicar la expresión 2.3 que corresponde a la deflexión de una viga empotrada por un extremo (cantiléver), con módulo de Young  $E$  y un momento de inercia  $I$  determinados cuando una carga (fuerza)  $P$  actúa sobre el extremo libre.

$$F = k\Delta y \quad (2.2)$$

$$k = \frac{F}{\Delta y}$$

$$\Delta y_b = \frac{PL^3}{3EI} \quad (2.3)$$

La Figura 2.3 representa una analogía entre un resorte tradicional (embobinado) y una viga en cantiléver. Debe en este caso, considerarse también el efecto de tener un arreglo de múltiples vigas, conectadas por los extremos para formar un único resorte planar (vigas en serie), así como tener a la masa suspendida por múltiples resortes en paralelo.

De las expresiones 2.2 y 2.3 se puede deducir que la rigidez  $k_b$  de una única viga es tal como en la expresión 2.4, mientras que la ecuación 2.5, es una aproximación a la rigidez total equivalente  $k_s$  de un resorte

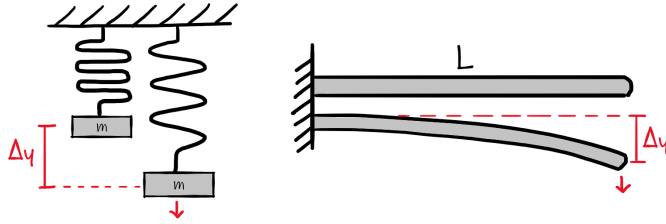


Figura 2.3: Equivalencia entre tipos de resortes.

correspondiente a un arreglo de  $n$  vigas de longitud  $L$  conectadas en serie, despreciando la longitud de las uniones entre vigas por ser mucho menor que  $L$ . Se asume también que la longitud de cada viga es muchas veces mayor que su ancho y espesor. La Figura 2.4 presenta resultados de un análisis por elemento finito (FEA) para estimar el desplazamiento de  $n$  vigas conectadas en serie ante una fuerza aplicada en su extremo libre, validando así la expresión 2.5.

$$k_b = \frac{3EI}{L^3} \quad (2.4)$$

$$k_s \approx \frac{3EI}{nL^3} \quad (2.5)$$

Las ecuaciones 2.6 y 2.7 son respectivamente, la rigidez total equivalente para dos resortes  $a$  y  $b$  conectados en paralelo y en serie, respectivamente. Como fue visto previamente en la Figura 2.2, los cuatro resortes trabajan en conjunto para alcanzar una rigidez total, tal como se describe en la ecuación 2.8.

$$k_{a||b} = k_a + k_b \quad (2.6)$$

$$k_{a-b} = \frac{k_a k_b}{k_a + k_b} \quad (2.7)$$

$$k = (k_1 || k_2) - (k_3 || k_4)$$

$$k = \frac{(k_1 + k_2)(k_3 + k_4)}{k_1 + k_2 + k_3 + k_4} \quad (2.8)$$

De las ecuaciones 2.1, 2.3 y 2.8 se desprende una correlación entre la capacitancia  $C$  y el desplazamiento  $\Delta y$  de la masa sísmica suspendida por un resorte equivalente de rigidez  $k$ , cuya fuerza de restauración se opone a fuerza externas que aceleran al dispositivo.

## 2.4 Modelo dinámico

Una expresión general para la dinámica de la masa sísmica y por lo tanto, para la variación de distancia de separación entre terminales del capacitor variable, puede ser deducida a partir de un diagrama de cuerpo libre (tal como el de la Figura 2.5) y la Segunda Ley de Newton. Utilizando la notación usual para sistemas dinámicos, establecemos la expresión 2.9, donde  $\ddot{x}$  describe el desplazamiento acelerado en el eje  $x$  de una masa  $m$  sobre la cual actúan un estímulo externo  $u(t)$  y la fuerza de restitución de un resorte con rigidez  $k$ .

$$m\ddot{x} = u(t) - kx$$

$$m\ddot{x} + kx - u(t) = 0 \quad (2.9)$$

Cuando se aplica la Transformada de Laplace a la ecuación 2.9 se obtiene la expresión 2.10 en la que se asumen condiciones iniciales cero, es decir,  $x_0 = 0$  y  $\dot{x}_0 = 0$ . Como es usual, a la relación o razón entre la salida y la entrada de un sistema dinámico se le conoce como Función

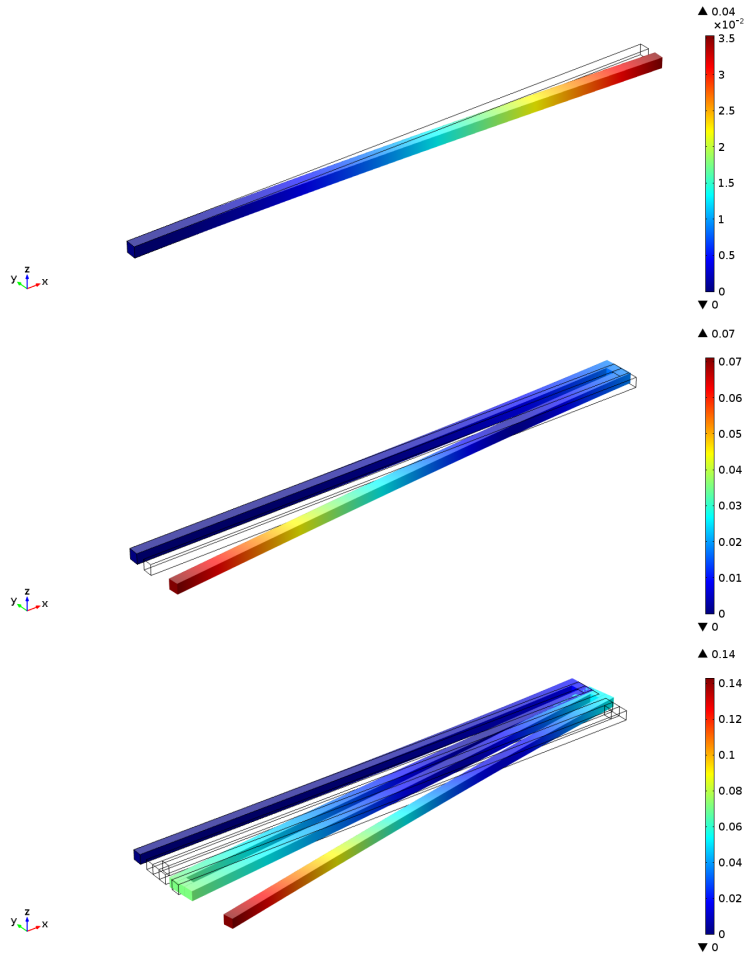


Figura 2.4: Validación por FEA del comportamiento de un resorte conformado por  $n$  vigas individuales. Desplazamiento proporcional del extremo libre ante una misma fuerza para un número de vigas  $n = 1, 2$  y  $4$ .

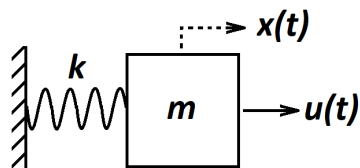


Figura 2.5: Diagrama de cuerpo libre correspondiente a una masa  $m$  y un único resorte con rigidez total equivalente  $k$ .

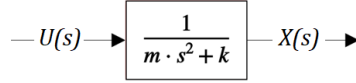


Figura 2.6: Representación en lazo abierto del sistema masa-resorte.

de Transferencia. Ya que el máximo exponente en el denominador de la función de transferencia de la expresión 2.11 es 2, podemos caracterizar al sistema como uno de segundo orden. La representación en lazo abierto del sistema (Figura 2.6) es suficiente para determinar la respuesta del mismo a un estímulo del tipo escalón unitario.

$$\mathcal{L}\{m\ddot{x} + kx - u(t)\} = m[s^2\mathcal{X}(s) - sx_0 - \dot{x}_0] + k\mathcal{X}(s) - \mathcal{U}(s) = 0$$

$$\mathcal{X}(s)[ms^2 + k] = \mathcal{U}(s) \quad (2.10)$$

$$\frac{\mathcal{X}(s)}{\mathcal{U}(s)} = \frac{1}{ms^2 + k} \quad (2.11)$$

### 2.4.1 Respuesta al escalón y respuesta a entrada lineal

En un primer análisis donde se desprecian los efectos de la gravedad y del amortiguamiento debido a los pequeños intersticios llenos de aire, condición que bien puede ser explorada para aplicaciones aeroespaciales, la respuesta al escalon se presenta en la expresión 2.12, donde  $\mathcal{X}(s)$  es la transformada de Laplace de la posición  $x(t)$  de la masa sísmica siendo  $x_0 = 0$  el punto de equilibrio del resorte con rigidez  $k$ , por otra parte,  $1/s$  corresponde a la transformada de Laplace del escalón unitario  $u(t)$ .

$$\mathcal{X}(s) = \frac{1}{s} \frac{1}{(ms^2 + k)} \quad (2.12)$$

Por medio de un desarrollo en fracciones parciales se obtiene la expresión 2.13 que es una forma final para  $\mathcal{X}(s)$  y a la que se puede aplicar la transformada inversa de Laplace para conocer la dinámica del sistema en el dominio del tiempo.

$$\mathcal{X}(s) = \frac{1}{k} \left( \frac{1}{s} - \frac{s}{s^2 + \frac{k}{m}} \right) \quad (2.13)$$

La expresión dinámica (2.14), como posición  $x$  de la masa  $m$ , es una función del tiempo y debe ponerse en contexto con valores apropiados de  $k$  y  $m$  que correspondan con los típicos de un sistema microelectromecánico.

$$x(t) = \frac{1}{k} \left( 1 - \cos \left( \sqrt{\frac{k}{m}} t \right) \right) \quad (2.14)$$

Las dimensiones típicas para la masa móvil y resortes, en diseños de acelerómetros MEMS, van desde los 50 hasta los 500  $\mu\text{m}$ , debido al tamaño de los dados de silicio, que usualmente tienen entre 1 y 4  $\text{mm}^2$  de superficie. Resortes con vigas de aproximadamente 100  $\mu\text{m}$  de largo ( $l_b$ ) y 3  $\mu\text{m}$  de ancho ( $w_b$ ), con una masa sísmica cuadrada de 100  $\mu\text{m}$  por lado, es una buena aproximación a valores usuales de dispositivos CMOS-MEMS, donde una parte del área de diseño se destina a la electrónica de control y procesamiento y un gran porcentaje de superficie se dedica a la conexión con el exterior por medio de alambrado (wire-bonding).

Del mismo modo que con la ecuación 2.14, podemos calcular las respuestas tanto en el espacio de Laplace (2.15) como en el dominio del tiempo (2.16) ante un estímulo lineal que aumenta en el tiempo, es decir una rampa de la forma  $u(t) = t$ .

$$\mathcal{X}(s) = \frac{1}{k} \left( \frac{1}{s^2} - \sqrt{\frac{m}{k}} \frac{\sqrt{\frac{m}{k}}}{s^2 + \frac{k}{m}} \right) \quad (2.15)$$

$$x(t) = \frac{1}{k} \left( t - \sqrt{\frac{m}{k}} \sin \sqrt{\frac{m}{k}} t \right) \quad (2.16)$$

Considerando estructuras de aluminio con un espesor  $t_{M3} = 0.77 \mu\text{m}$  tal como el que se tiene en tercera capa metálica (Metal 3), un resorte de 10 vigas tendría una rigidez  $k$  calculada como sigue en la expresión 2.17 a partir de la ecuación 2.5 donde el momento de inercia es  $I = t_{M3} w_b^3 / 12$  y  $E = 70 \text{ GPa}$  es el módulo de Young típico del aluminio. La masa del elemento oscilatorio también puede ser calculada con estos parámetros, para obtener el resultado de la expresión 2.18 a partir del volumen de la misma y la densidad  $\rho_{Al}$  como  $2700 \text{ kg/m}^3$ .

$$k = \frac{3(70 \times 10^9 \text{ Pa})(1.7325 \times 10^{-24} \text{ m}^4)}{(10)(100 \times 10^{-6})^3} \approx 0.0364 \text{ N/m} \quad (2.17)$$

$$m = \rho V = (2700 \text{ kg/m}^3)(1 \times 10^{-4} \text{ m})^2(0.77 \times 10^{-6} \text{ m}) \quad (2.18)$$

$$m \approx 2.8 \times 10^{-11} \text{ kg}$$

Como se puede apreciar en las figuras 2.7 y 2.8 simulando el comportamiento del sistema con los parámetros típicos, los resultados están en muy razonable acuerdo con las expresiones 2.17 y 2.18. Se destaca que al no incluir los efectos de amortiguamiento, un error oscilatorio se hace presente en todo momento y puede llegar a evitar que el dispositivo MEMS trabaje de manera estable, afectando su respuesta de salida.



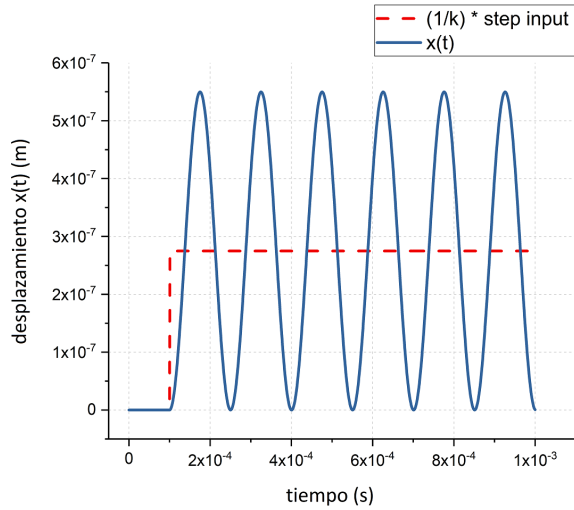


Figura 2.7: Respuesta oscilatoria ante un escalón unitario en condiciones libres de gravedad y amortiguamiento por aire.

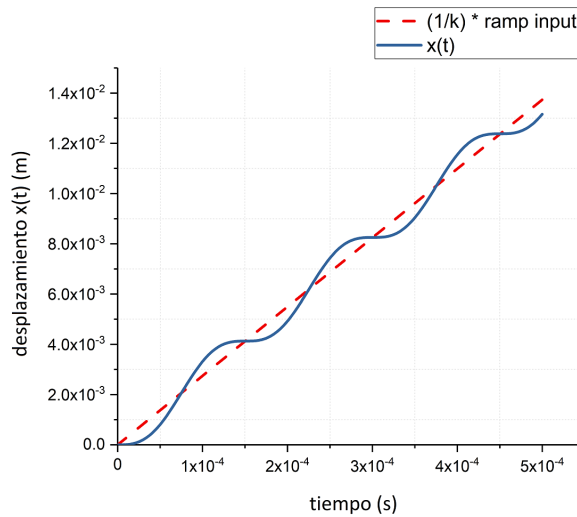


Figura 2.8: Error sinusoidal ante una rampa en condiciones libres de gravedad y amortiguamiento por aire.

Este resultado es particularmente importante en sensores con etapa electrónica basada en el transistor de compuerta flotante ya que la función de transferencia del divisor de voltaje capacitivo reportado en (Abarca-Jiménez et al. 2013) y (Abarca-Jiménez et al. 2018) es de orden cero y no se logrará ninguna atenuación sobre las indeseables componentes de alta frecuencia.

## 2.4.2 Respuesta amortiguada

Si bien los resultados anteriores reflejan algunas desventajas y problemas que un dispositivo de esta naturaleza podría enfrentar cuando se somete a condiciones de vacío y micro-gravedad, a manera de comparativa incluiremos a continuación en la función de transferencia de la ecuación 2.19 el coeficiente de amortiguamiento  $b$  propio de un sistema de segundo orden y que en este contexto representaría la presencia de pequeños volúmenes de aire entre las terminales del capacitor variable, por lo que a escala micrométrica se presentaría un amortiguamiento no despreciable.

$$\frac{\mathcal{X}(s)}{\mathcal{U}(s)} = \frac{1}{ms^2 + bs + k} \quad (2.19)$$

Como puede ser visto en la Figura 2.9, la respuesta estacionaria amortiguada del sistema ante una señal de entrada del tipo escalón, depende únicamente de la ganancia total del sistema en lazo abierto, ya que una vez superado el estado transitorio, la característica dinámica se mantiene prácticamente constante a lo largo del tiempo mientras el estímulo externo se sostenga. Por otra parte, en la Figura 2.10 se aprecia que, si bien la característica de salida sigue fielmente a la pendiente del estímulo de entrada, existirá un considerable error en estado estacionario, que afortunadamente es estable en magnitud y puede de antemano tenerse en

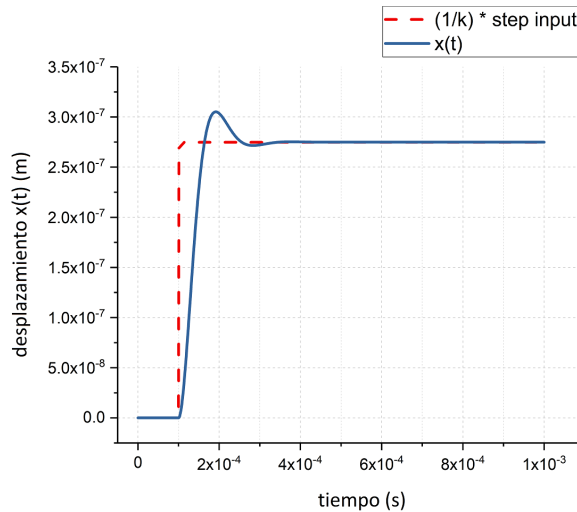


Figura 2.9: Estados transitorio y estable de un acelerómetro con amortiguamiento ante una entrada de tipo escalón.

cuenta para determinar la salida final correcta a partir de la medición. En ambos casos, dadas las dimensiones, masas y constantes de rigidez extremadamente pequeñas, los tiempos que abarca el estado transitorio son totalmente despreciables en la mayoría de las aplicaciones.

Para todos los modelos derivados del análisis hasta este punto, es importante considerar que las fuerzas presentes en la masa sísmica, son de naturaleza inercial y están en concordancia con los pequeños valores de masa y rigidez propios de un micro-sistema. La fuerza necesaria para alcanzar los desplazamientos típicos en el orden de 1 micrómetro, están en el orden de los nano-Newtons ( $1 \times 10^{-9}$ N), estos valores y por lo tanto magnitudes de aceleración cercanas a  $\pm 1g$  se consideran a lo largo de este trabajo. Estas complejidades implican la necesidad de una cierta cantidad de amortiguamiento o resistencia ofrecida por el aire cuando se trabaja con sensores inerciales bajo las técnicas tradicionales. Aplicaciones de instrumentación aeroespacial podrían requerir un mayor análisis y la pertinencia de aprovechar o no los dispositivos

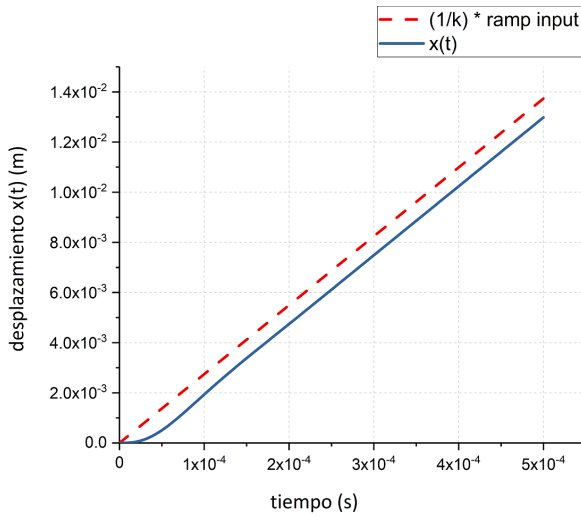


Figura 2.10: Respuesta amortiguada usual ante una entrada lineal, presentando error en estado estacionario.

CMOS-MEMS en este contexto es un tema que en el futuro se podría esclarecer mediante la inclusión de más y nuevas variables en el proceso de diseño optimizado mediante heurísticas computacionales.

## 2.5 El FGMOS en términos de su geometría

Cuando se habla de transistores MOS canal N convencionales en régimen de saturación, es decir, cuando ( $V_{DS} \geq V_{GS} - V_{TH}$ ,  $V_{GS} \geq V_{TH}$ ,  $V_S = V_B = 0$ ) (Baker 2005, p. 144), la corriente de drenador  $I_D$  que circula por el canal (entre las terminales de drenador y fuente) está dada por la ecuación 2.20, donde el parámetro  $\beta$  propio de cada dispositivo está dado por  $\beta = KP_n \cdot W/L$ , siendo  $KP_n$  el parámetro de transconductancia del transistor canal N determinado por el producto de la movilidad electrónica del semiconductor  $\mu_n$  y la capacitancia del óxido de compuerta  $C_{ox}$ ,  $W$  y  $L$  son el ancho y largo de la compuerta y por lo tanto del canal del transistor desde una vista superior. A este nivel de modelado,

los efectos de modulación del canal son despreciados con el objetivo de simplificar la implementación de un mecanismo metaheurístico. Sin embargo, la discusión posterior mostrará que, considerando un valor típico en el factor de modulación del canal, se alcanza plena concordancia entre los resultados del algoritmo y las simulaciones SPICE del mismo.

$$I_D = \frac{\beta}{2}(V_{GS} - V_{TH})^2 = \frac{KP_n}{2} \cdot \frac{W}{L}(V_{GS} - V_{TH})^2$$

$$I_D = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L}(V_{GS} - V_{TH})^2 \quad (2.20)$$

En diseños de transistores CMOS, los parámetros W y L toman particular relevancia dado que la geometría del layout es el único campo donde el ingeniero de diseño puede intervenir libremente. Esto aplica para la mayoría de los procesos de fabricación donde existen reglas y restricciones muy definidas incluyendo la cantidad y tipos de materiales disponibles, así como la resistencia de hoja y espesor de cada capas y el orden en el que se pueden apilar.

En el caso de transistores MOS de compuerta flotante debemos considerar al voltaje efectivo aplicado en la compuerta flotante, llamado también potencial flotante  $V_{FG}$  el cual es el que controla la corriente eléctrica de drenador  $I_D$  y es proporcional al voltaje  $V_{CG}$  que se aplica en la llamada compuerta de control. Como se observa en las ecuaciones 2.21 y 2.22, se deduce el factor de acoplamiento capacitivo  $k_C$  a partir del divisor de voltaje mostrado en la Figura 2.11.

Si bien los modelos utilizados desprecian los efectos negativos de posible carga eléctrica atrapada en la terminal flotante, en el presente trabajo se abordan dos mecanismos para minimizar su incidencia. Por una parte se diseñaron celdas específicas para implementar la ruta de descarga descrita en (Rodríguez-Villegas et al. 2007), por otro lado se

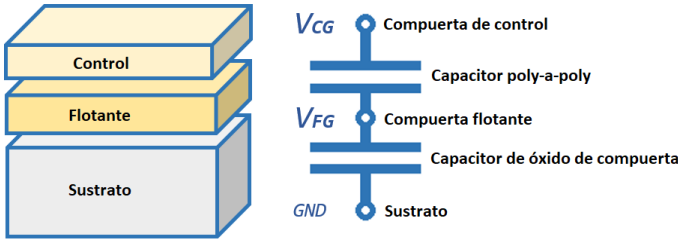


Figura 2.11: Divisor de voltaje capacitivo equivalente.

cuenta con una compuerta de control secundaria para realizar el ajuste fino del voltaje de umbral en cada dispositivo de compuerta flotante.

$$V_{FG} = k_c \cdot V_{CG} \quad (2.21)$$

$$k_c = \frac{C_{pp}}{C_{pp} + C_{ox}} \quad (2.22)$$

$C_{ox}$  y  $C_{pp}$  son respectivamente las capacitancias presentes entre sustrato y compuerta flotante y entre compuerta flotante y compuerta de control. Capacitancias parásitas tales como compuerta-drenador y compuerta-fuente son despreciadas en este modelo. Retomando la ecuación 2.20 y aplicando el factor de acoplamiento capacitivo se puede expresar la corriente como:

$$I_D = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} (k_c V_{CG} - V_{TH})^2 \quad (2.23)$$

Hasta ahora, los parámetros dependientes de la geometría son todos capacitivos y relacionados con la razón  $W/L$ . Una vista superior del diseño topológico (layout) de un transistor de compuerta flotante (Figura 2.12) revela otros detalles de diseño que deben ser considerados. Como se puede apreciar, debido a las reglas de diseño y los requerimientos de la fotolitografía, no sería apropiado colocar el capacitor Poly 1 - Poly 2 (compuerta flotante – compuerta de control) justo por encima de la ter-

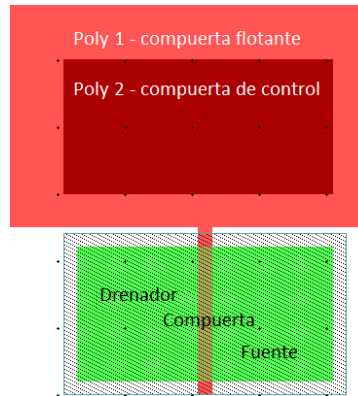


Figura 2.12: Bosquejo de layout para un transistor de compuerta flotante (CAD).

minal de compuerta, en cambio, la terminal de polisilicio superior (Poly 2, rojo más oscuro) se coloca sobre un área extendida de Poly 1 a un costado de la región activa del transistor. Este patrón rectangular en la capa de Poly 2 constituye la compuerta de control y está directamente conectada al exterior a través de contactos y pads. La terminal de compuerta flotante (rojo claro) tiene un patrón de geometría formado por dos cuadriláteros, uno delgado con dimensiones ( $W \gg L$ ) que de hecho constituye la compuerta convencional del transistor y por tanto forma el canal entre drenador y fuente, el segundo rectángulo es una placa de silicio bastante mayor con un área conveniente para formar el capacitor Poly 1 – Poly 2. En la imagen se aprecian nodos de contacto y terminales que parecen conectar la terminal flotante con otros elementos no flotantes, sin embargo, como se describirá más adelante, la compuerta flotante se encuentra totalmente aislada, es decir, rodeada solo por dieléctrico (dióxido de silicio) y aire.

Retomando la Figura 2.12, un punto adicional para resaltar es que dentro del proceso de fabricación C5, el óxido de compuerta  $t_{ox}$  (fina capa de dióxido de silicio debajo de la compuerta del transistor MOS) es de un espesor de aproximadamente 13.5nm, bastante delgado en com-

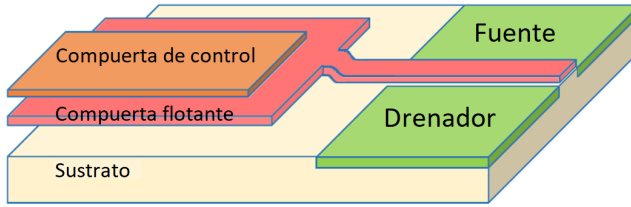


Figura 2.13: Capas del capacitor poly-a-poly (por encima del óxido de campo).

paración con el óxido de campo  $t_{fox}$  (aproximadamente 400nm). Por lo tanto, para un análisis más detallado, el cálculo del factor de acomodamiento capacitivo  $k_C$  debe incluir un sistema de dos capacitores en paralelo. Como se muestra en la Figura 2.13 durante las primeras etapas del proceso de fotolitografía se hace crecer una delgada capa de silicio policristalino (Poly 1). Esta capa crece tanto en la región de compuerta (al centro de la región activa) como por encima del óxido de campo. A pesar de que estas dos regiones de óxido tienen un espesor diferente no existen esfuerzos mecánicos significativos en el pequeño escalón que se forma en el extremo donde ambas regiones se unen.

Además, la compuerta de control (fabricada en la capa de silicio policristalino superior, Poly 2) debido a reglas de diseño debe diseñarse con un margen mínimo por dentro del área de Poly 1, formándose así un capacitor poly-a-poly. El espesor del dieléctrico entre las capas de Poly 1 y Poly 2 es  $t_{pp} \approx 39\text{nm}$ , en el proceso de fabricación C5.

Como se describe en (Granados-Rojas et al. 2017), (Abarca-Jiménez et al. 2018) y (Abarca-Jiménez et al. 2013), el transistor de compuerta flotante (FGMOS) puede ser utilizado como elemento principal de transducción cuando se trata de sensores inerciales capacitivos, más aún, en (Granados-Rojas et al. 2016) se presenta una estructura interdigital alternativa que busca alcanzar mayor capacitancia en un área de diseño menor y por tanto un incremento de la sensibilidad basado puramente en la geometría de las partes fijas y móviles del capacitor variable.



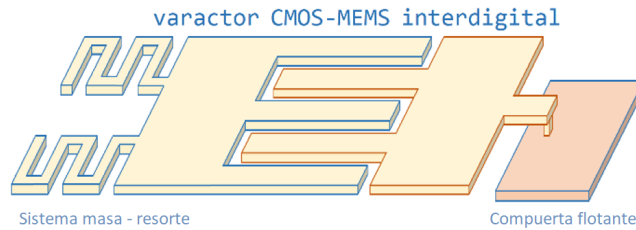


Figura 2.14: Esquema simplificado del sensor inercial basado en FGMOS.

La Figura 2.14 muestra una simplificación de cómo es que interactúan la parte fija y móvil del capacitor variable mientras la terminal flotante se mantiene eléctricamente aislada. La estructura capacitiva consta de dos terminales eléctricas enfrentadas por encima del plano del sustrato, una de ellas es fija mientras que la otra se encuentra suspendida por un sistema de resortes. Al tratarse de un proceso CMOS-MEMS, dichos resortes no son libres de moverse justo después de su fabricación aún en presencia de un movimiento acelerado, sino que han de ser posteriormente liberados mediante un procedimiento de micro-maquinado superficial.

La simplificación de la Figura 2.14 consiste en mostrar únicamente unos pocos dedos en cada terminal a la vez que una única capa de metal (por ejemplo, Metal 1), siendo que la estructura final diseñada consta de un par de docenas de dedos abarcando las tres capas metálicas del proceso C5.

A manera de resumen de la relación entre la parte mecánica y los dispositivos electrónicos, la Figura 2.15 reúne los componentes y subsistemas de un sensor CMOS-MEMS convencional basado en el transistor de compuerta flotante FGMOS. De este esquema resalta la inclusión de un voltaje fijo  $V_Y$  aplicado directamente a la terminal móvil. Hasta este punto, la compuerta de control formada por el capacitor poly-a-poly y la estructura móvil, con sus respectivos potenciales aplicados, trabajan

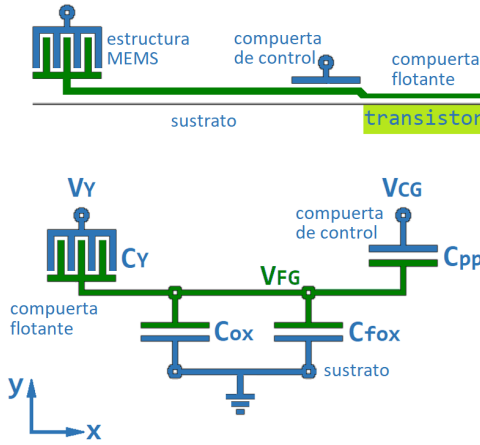


Figura 2.15: Componentes del sensor inercial basado en FGMOS).

en conjunto sobre una misma terminal flotante, lo que nos lleva a reformular las ecuaciones 2.21 y 2.22 en una nueva expresión como la suma ponderada de los efectos parciales, tal como se ve en la ecuación 2.24, donde  $C_Y$  es la capacitancia total de la estructura MEMS, que fue introducida a manera de modelo simplificado en (Granados-Rojas et al. 2016) y (Granados-Rojas et al. 2017) despreciando los fenómenos capacitivos de borde y los efectos gravitacionales.

$$V_{FG} = \frac{C_Y V_Y + C_{pp} V_{CG}}{C_Y + C_{pp} + C_{ox} + C_{fox}} \quad (2.24)$$

La micrografía mostrada en la Figura 2.16 revela la estructura interdigital cuya capacitancia en función del desplazamiento  $\Delta y$  a lo largo del eje y está modelada por la expresión 4.1 que se detalla más adelante.

La mencionada micrografía se obtuvo mediante la técnica SEM (microscopía electrónica de barrido) y cabe mencionar que, al momento de obtener la imagen, el chip presentado ha pasado ya por un procedimiento previo de micro-maquinado superficial. La estructura capacitiva de triple capa es la misma descrita más adelante en este trabajo y primeramente

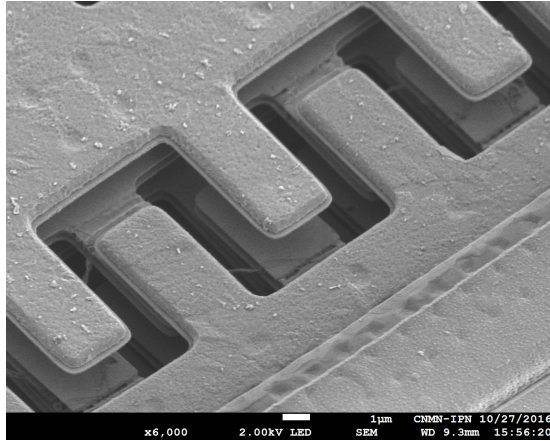


Figura 2.16: Micrografía SEM de la estructura CMOS-MEMS.

presentada en (Granados-Rojas et al. 2016), éste capacitor variable está diseñado para alcanzar variaciones de aproximadamente  $5.0 \pm 1$  fF en presencia de aceleraciones de hasta  $\pm 1G$ .

Como se ha mencionado antes, en el diseño topológico de dispositivos CMOS, los únicos parámetros a los que tiene acceso el ingeniero de diseño son aquellos que definen las dimensiones de cada estructura o pista de interconexión, si bien tienen que tomarse en cuenta la cantidad y espesor de las capas disponibles, estos últimos son parámetros fijos establecidos por la tecnología de fabricación.

De acuerdo con la estructura capacitiva mencionada, las variables relacionadas con la geometría son: la cantidad  $n$  de dedos interdigitados a lo largo del eje  $x$ , el ancho  $W_f$  y largo  $L_f$  de cada uno de los dedos,  $d_{ox}$  es la separación óxido que separa las capas metálicas, es decir, la distancia que separa Metal 1 de Metal 2 y Metal 2 de Metal 3, este óxido es químicamente removido en el proceso de micro-maquinado y la misma distancia de separación se vuelve un espacio de aire. El parámetro  $d_{fin}$  es la separación también de aire que queda entre un dedo y el siguiente en dirección del eje  $x$ , mientras que  $d_{tip}$  es la separación entre la punta

de un dedo y la placa que queda al frente en la dirección del eje  $y$ , ésta última distancia es la que se tiene en el estado de aceleración cero y se ve incrementada o disminuida a razón del desplazamiento  $\Delta y$  en la parte móvil del capacitor variable bajo la acción de un movimiento acelerado.

Además de las variables, el modelo considera algunos parámetros geométricos y físicos constantes, tales como la permitividad eléctrica del vacío  $\epsilon_0$  ( $\epsilon_{\text{aire}} \approx 1$ ) y los espesores de las capas metálicas  $t_{M1}$ ,  $t_{M2}$  y  $t_{M3}$ . Para las capas metálicas disponibles en el proceso C5 de OnSemi, los espesores son 0.64, 0.57 y 0.77  $\mu\text{m}$ , respectivamente.

Sabiendo que la capacitancia de un arreglo de placas paralelas es la mostrada en la ecuación 2.25, la ecuación 2.24 puede ser reformulada en términos de los parámetros geométricos, donde la  $i$ -ésima área  $A_i$  del capacitor  $C_i$  se puede modelar con las dimensiones  $W_i$  y  $L_i$  en el plano horizontal y con el espesor  $t_i$  de óxido dieléctrico entre las capas de semiconductor o conductor que corresponda. La ecuación 2.26 toma en cuenta a la capacitancia  $C_Y$  y describe al potencial flotante actuando sobre el canal del transistor MOS en términos de los parámetros de diseño topológico, siendo  $W_{pp}$  y  $L_{pp}$  las dimensiones del capacitor poly-a-poly con espesor de dieléctrico  $t_{pp}$ .

$$C_i = \frac{\epsilon_0 A_i}{d_i} = \frac{\epsilon_0 W_i L_i}{t_i} \quad (2.25)$$

$$V_{FG} = \frac{C_Y V_Y + \frac{\epsilon_0 W_{pp} L_{pp}}{t_{pp}} V_{CG}}{C_Y + \epsilon_0 \left[ \frac{W_{pp} L_{pp}}{t_{pp}} + \frac{W_{ox} L_{ox}}{t_{ox}} + \frac{W_{fox} L_{fox}}{t_{fox}} \right]} \quad (2.26)$$

El propósito de esta investigación es proponer la implementación de un algoritmo heurístico de optimización para procesar el conjunto de datos que conforman todas las variables y parámetros geométricos discutidos.

## 2.6 Dos objetivos en conflicto

Como se revisó en (Granados-Rojas et al. 2018) una alta sensibilidad es una característica deseada en el desempeño de sensores inerciales. Para el caso particular de un acelerómetro, este parámetro puede ser definido en términos de qué tanto la señal de salida cambia, usualmente un voltaje, de acuerdo con la también cambiante magnitud de la aceleración presente. Dado un movimiento acelerado se producirá un desplazamiento en la masa sísmica del sensor, la cual está usualmente suspendida por dos o más resortes metálicos. Considerando una estructura como la que se muestra en la Figura 2.17 dicho desplazamiento y por ende la variación de capacitancia, serán de una magnitud proporcional a la masa de prueba y aceleración de la misma e inversamente proporcional a la rigidez equivalente del sistema de resortes.

Las dimensiones de cada uno de los elementos de la Figura 2.17 son propuestas por el ingeniero de diseño y susceptibles de optimización en búsqueda de un mejor desempeño del dispositivo.

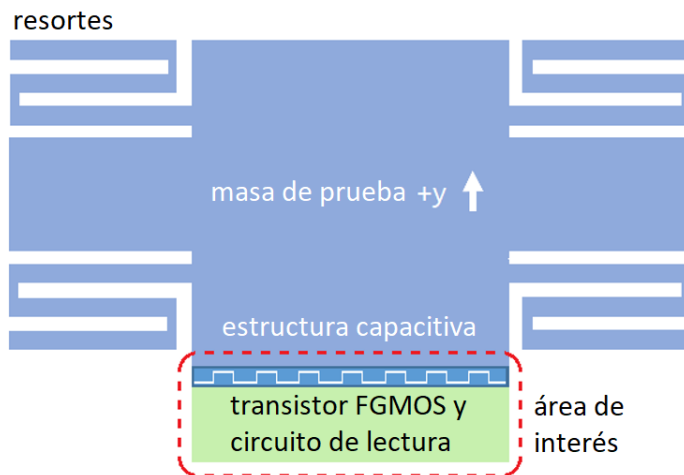


Figura 2.17: Sistema masa-resorte con cuatro resortes y una estructura capacitiva.

Esto comprende el tamaño de la masa sísmica y por lo tanto su masa total, la cantidad de vigas que conforman cada resorte y el largo y ancho de cada una de las mismas, la cantidad y dimensiones de los dedos que conforman la estructura capacitiva, entre otros parámetros. Siendo que el modelado y posterior optimización paramétrica de los resortes queda de momento fuera del alcance de este trabajo, se procede a analizar de manera principal la interacción entre la estructura capacitiva MEMS y el transistor MOS de compuerta flotante que sirve como elemento activo de transducción.

Se considera a las magnitudes capacitivas analizadas directamente proporcionales al área de las superficies conductoras o semiconductoras involucradas y siendo también la corriente de drenador  $I_D$  directamente proporcional al potencial flotante  $V_{FG}$  y por lo tanto proporcional a las capacitancias en ambos, la estructura MEMS y el dispositivo activo de compuerta flotante, estamos entonces en condiciones de afirmar que un incremento en la sensibilidad  $S_{acc}$  está en conflicto con la disminución deseable del área de diseño  $A_D$ .

En otras palabras, para un desplazamiento dado de la masa sísmica (debido a una aceleración), entre más grande sea la estructura capacitiva más grande serán los cambios en la capacitancia, el potencial flotante y la corriente de drenador, lo que corresponde a una mayor sensibilidad, lo cual es un atributo deseado y se define tal como en la ecuación 2.27. Sin embargo, por otra parte, para una estructura cuya capacitancia es grande también lo será su área de diseño, la cual siempre se espera que sea pequeña por cuestiones de economización de espacio en chip. La ecuación 2.28 introduce los términos capacitivos y potenciales eléctricos pertinentes para el modelo matemático que representa la razón de cambio de la corriente de drenador en función de la capacitancia.

$$S_{\text{acc}} = \frac{\partial I_D}{\partial C_Y} \quad (2.27)$$

$$S_{\text{acc}} = K P_n \cdot \frac{W}{L} \cdot \left( \frac{V_Y C_Y + V_{CG} C_{pp}}{C_Y + C_{pp} + C_{ox} + C_{fox}} - V_{TH} \right) \cdot \left( \frac{V_Y C_{pp} + V_Y C_{ox} - V_{CG} C_{pp}}{(C_Y + C_{pp} + C_{ox} + C_{fox})^2} \right) \quad (2.28)$$

Lograr la fabricación de dispositivo altamente sensitivo en una muy pequeña área de diseño, resulta en ocasiones no factible por múltiples motivos, por lo tanto se busca un método para sistemáticamente seleccionar los parámetros topológicos y geométricos que permitan alcanzar un muy buen compromiso entre ambos objetivos.

Una vez que el potencial flotante  $V_{FG}$  de la ecuación 2.24 es reformulado de acuerdo con la estructura de la Figura 2.15 e incorporado en la expresión 2.23, la sensibilidad  $S_{\text{acc}}$  debe ser interpretada como una razón de cambio, siendo la capacitancia de la estructura capacitiva MEMS  $C_Y$  la única magnitud variable. Esta sensibilidad se mide en  $\mu A/fF$ . Por otra parte, en la ecuación 2.29 se modela el área de diseño ocupada tanto por la estructura MEMS como por el transistor FGMOS. La mencionada área de diseño consiste de un acumulado de diferentes regiones de interés incluyendo entre otras la del capacitor poly-a-poly (compuerta de control) y la superficie superior de cada uno de los dedos junto con el espacio de aire que los separa. El área utilizada por pistas de interconexión, pads y otras regiones activas se descarta en esta etapa del análisis, de manera que se simplifican los modelos matemáticos de las funciones a optimizar y se permite enfocarse en el rol del transistor MOS de compuerta flotante como elemento de transducción.

$$A_D = WL + W_{FG}L_{FG} + n (W_F L_F + 2d_{tip} W_F) + (n - 1) (d_{fin} (L_F + 2d_{tip})) \quad (2.29)$$

En acuerdo con la Figura 2.18, el área de diseño  $A_D$  depende del ancho  $W_{FG}$  y largo  $L_{FG}$  de la placa extendida de la compuerta flotante en adición a las dimensiones ya mencionadas antes como parte de la estructura MEMS y el transistor principal. Cabe además mencionar que las dimensiones  $W_{CG}$  y  $L_{CG}$ , largo y ancho respectivamente de la compuerta de control no afectan al área total ya que el capacitor poly-a-poly se encuentra totalmente circunscrito dentro de la placa inferior de Poly 1. Para el área del transistor en sí mismo se toma en cuenta únicamente a la superficie del canal y no a la región activa entera (drenador y fuente), debido a que esta última depende fuertemente de las reglas de diseño específicas para cada fabricación (incluyendo traslapes, número de contactos activos, etc.) y sobretodo por no tener un impacto significativo en la sensibilidad eléctrica a diferencia de la región del canal.

## 2.7 Conclusiones del capítulo

Los conceptos típicos de acelerometría tales como sensibilidad y rango dinámico son de uso generalizado e indispensables para la adecuada selección de un dispositivo comercial en función de las necesidades del proyecto. Así mismo, la arquitectura del sensor inercial básico, es decir, el sistema masa-resorte acompañado de una estructura capacitiva variable es bastante conocida. Lo mencionado constituye la base para las aportaciones del presente trabajo, relacionadas con el modelo dinámico, la reinterpretación del problema de diseño en términos de un modelo geométrico discreto y la introducción del algoritmo genético de optimización multi-objetivo como herramienta de apoyo al diseñador.



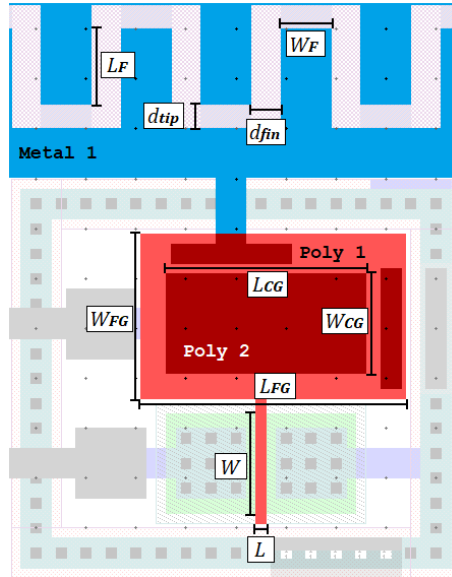


Figura 2.18: Variables topológicas en el FGMOS y en la estructura capacitiva MEMS multicapa.

El modelado dinámico, particularmente de estados transitorios ante estímulos comunes, asiste al diseñador en la toma de decisiones en cuanto al rango dinámico del dispositivo y pone a consideración las limitaciones mecánicas que el sistema masa-resorte puede presentar en función de la aplicación práctica a la que se dirige el proyecto.

Un ejemplo de criterio de selección del rango dinámico, de manera similar a un parámetro de relación señal a ruido, sería la presencia y magnitud del error en estado estacionario, ya sea constante u oscilatorio, el cual es ineludible en sistemas típicos de segundo orden ante una entrada lineal, en este caso de aceleración. Dicha situación se acentúa en condiciones críticas de ingravidez o falta de presión, propias de aplicaciones de la industria aeroespacial.

Por otra parte, dentro de los aspectos teóricos se ha comentado anteriormente que en general los diseños topológicos de dispositivos CMOS

se conforman de un agregado de líneas y placas a través de las diferentes capas disponibles, cada una de ellas con un ancho y longitud con magnitud múltiplo entero de la denominada  $\lambda$  de diseño (longitud mínima de característica). En este trabajo se reinterpreta directamente la sensibilidad del dispositivo, una de sus principales características, como una expresión discreta, donde todas y cada una de las variables recae en una de dos clasificaciones: por un lado se encuentran las *constantes físicas y de diseño*, por ejemplo, la permitividad eléctrica y los espesores de capas metálicas fabricables, respectivamente. Por otro lado, las que se consideran *variables discretas*, todas ellas manipulables por el diseñador, sin embargo, restringidas a ser un número entero de lambdas.

El mencionado modelo discreto de sensibilidad sumado a un muy intuitivo modelo de área de diseño, el cual simplemente acumula las superficies ocupadas por los elementos del sistema tal como se apreciarían en una vista superior, constituyen los dos objetivos en conflicto del principal problema de diseño de un acelerómetro típico, es decir, maximizar la sensibilidad (parámetro que usualmente aumenta con la capacitancia) a la vez que se disminuye el área que se destina al diseño (que se prefiere menor aunque igualmente aumenta con la capacitancia). A este tipo de problemas se les asigna una solución en función del mejor compromiso posible entre ambos objetivos, dado que no existe una solución ideal que satisfaga completamente a ambos, en particular para este diseño microelectrónico, dicha solución no solo sale del conjunto de soluciones matemáticamente definidas por los modelos, sino que aún existiendo, es muy probable que no fuera factible, es decir, que no podría fabricarse físicamente con los procesos CMOS establecidos.

# Capítulo 3

## Aspectos tecnológicos

### 3.1 Composición de las capas metálicas

CMOS-MEMS es un conjunto de técnicas para desarrollar sensores y actuadores físicamente contruidos a una muy pequeña escala dentro del dado (chip) de silicio, donde un circuito integrado CMOS ha sido previamente fabricado. Generar estructuras mecánicas microscópicas es relativamente sencillo cuando se aprovechan las ventajas de contar con las diferentes capas metálicas, pertenecientes al proceso de fabricación CMOS convencional. Como se ha presentado en Granados-Rojas et al. 2016, tecnologías de fabricación tales como el proceso C5 de On-Semi (longitud mínima de canal  $0.5\mu\text{m}$ ) incluyen el depósito de hasta tres capas metálicas con espesores típicos en el orden de 1 micrómetro, separadas por películas intercaladas de dióxido de silicio ( $\text{SiO}_2$ ), las cuales sirven como aislante eléctrico, previniendo posibles cortos circuitos durante la interconexión de los distintos módulos del circuito integrado.

Es común encontrar en diferentes procesos de fabricación que las mencionadas capas metálicas están conformadas por una aleación de aluminio y cobre, con este último en una proporción de aproximadamente

el 5%, por lo tanto, para propósitos de diseño electrónico la resistividad se considera muy similar a la del aluminio puro, de igual manera se consideran las propiedades del aluminio para los fenómenos de rigidez mecánica y comportamiento térmico. De cualquier manera, no todos los procesos de fabricación CMOS se manejan con la misma composición química, incluso, hay procesos que incluyen diferentes configuraciones entre sus diferentes capas metálicas.

La mayoría de los micro-sensores y micro-actuadores CMOS-MEMS forman sus estructuras mecánicas con las capas metálicas disponibles en el proceso CMOS y por conveniencia, independientemente de la funcionalidad y geometría del micro-sistema, se acostumbra enumerar la capas como Metal 1, Metal 2, etc. partiendo desde el extremo inferior (cercano al sustrato) hacia la parte superior, tal como se ve en la Figura 3.1. Además, para determinar la masa aproximada de una determinada estructura metálica, deben considerarse los espesores especificados para cada capa de la tecnología. La Tabla 3.1, resume los parámetros estructurales enlistados en el manual de reglas de diseño de la tecnología C5 (ON-Semiconductor 2011).

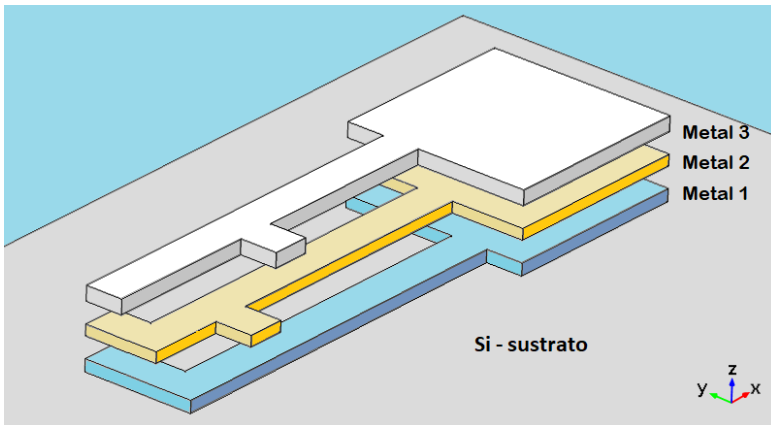


Figura 3.1: Distribución de las tres capas metálicas del proceso de  $0.5\mu\text{m}$  de On Semi.

<b>Parámetro</b>	<b>Espesor (<math>\mu\text{m}</math>)</b>
Metal 3	0.770
Dieléctrico entre M2 y M3	1.100
Metal 2	0.570
Dieléctrico entre M1 y M2	1.100
Metal 1	0.640
Óxido de campo (bajo M1)	0.375

Tabla 3.1: Parámetros estructurales.

El espesor de cada capa y su respectiva rigidez mecánica toman especial relevancia en los sensores inerciales del tipo CMOS-MEMS, dado que la corriente eléctrica medida e interpretada como valor de aceleración está estrechamente relacionada con las variaciones capacitivas que a su vez son proporcionales al desplazamiento de las vigas en voladizo que participan en el sistema masa-resorte.

Otro tópico a considerar es la manera en la que se recibe a los microchips recién fabricados, es decir, tal como el proveedor lo entrega para un posterior proceso de micro-maquinado. Como se muestra en la Figura 3.2, los dispositivos CMOS se mantienen sobre la superficie de silicio cristalino (Si) del sustrato mientras se hace crecer una película gruesa de dióxido de silicio ( $\text{SiO}_2$ ) por encima. El dióxido de silicio protege a los dispositivos electrónicos y los aísla eléctricamente de los metales que se depositan por encima. Al apilar múltiples capas metálicas y enlazarlas mediante conectores del tipo vía, se puede generar una trayectoria conductiva desde el sustrato hasta el exterior. La capa que se deposita en la parte superior por encima de todas las demás en el chip está compuesta por nitruro de silicio ( $\text{Si}_3\text{N}_4$ ) que cubre completamente al dispositivo excepto por pequeñas ventanas que se colocan a petición del ingeniero de diseño de manera que la capa de metal superior (por ejemplo, Metal 3) quede expuesta para realizar el proceso de cableado, también conocido como wire-bonding. Estas ventanas, también denominadas pads, tienen

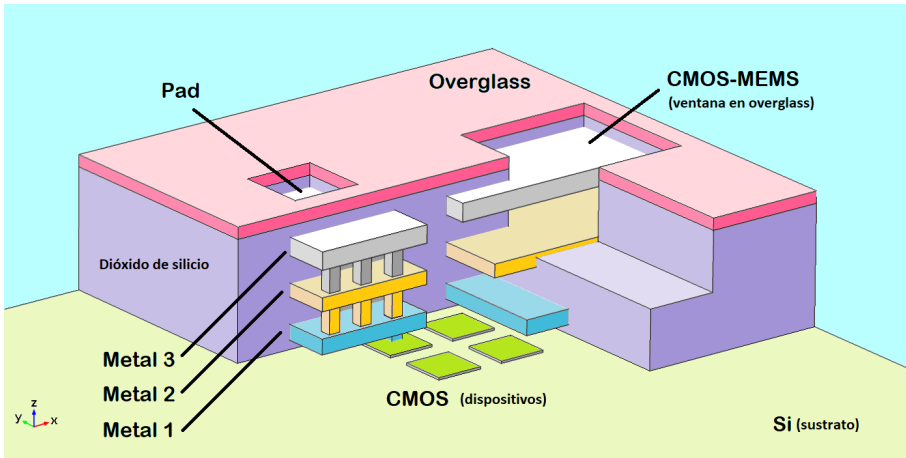


Figura 3.2: Pads y ventanas de Overglass.

un tamaño estándar en cada una de las tecnologías de fabricación y se producen a través de un proceso de decapado físico altamente direccional, tal como lo es el decapado por iones reactivos (RIE). Además, en algunos procesos de fabricación, se permite al diseñador incluir ventanas de tamaño personalizado donde sea que éstas se necesiten, y esto resulta especialmente útil para alcanzar capas metálicas inferiores y así liberarlas de la capa de óxido circundante aplicando ataques químicos que suelen tener una tasa de ataque mucho mayor para dióxido de silicio que para el nitruro de silicio, las capas metálicas y el sustrato cristalino.

En la Figura 3.3 se muestra un chip con una ventana de Overglass de tamaño personalizado. Se puede notar que las diferentes estructuras metálicas enmascaran el ataque físico por RIE protegiendo al óxido que queda por debajo. Se asume también que debido a la cantidad de tiempo en que se ejecutó el ataque se logró penetrar el óxido hasta una altura ligeramente por debajo de la capa de Metal 2. Como se ha mencionado antes, no todos los procesos de fabricación usan la misma composición en sus capas metálicas, el proceso C5 incluye un recubrimiento de nitruro de titanio (TiN) (On-Semiconductor 1999) sobre sus capas metálicas.

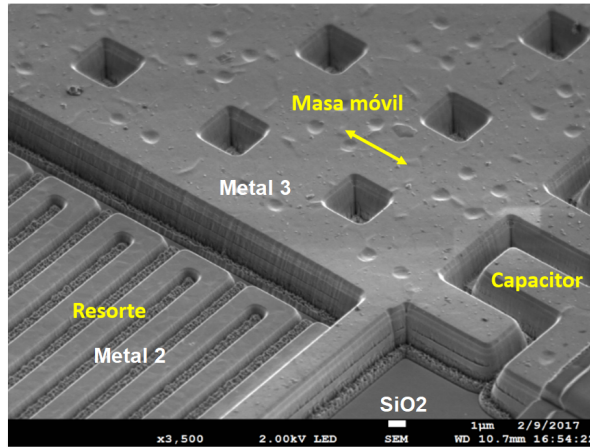


Figura 3.3: Estructuras en metal 2 y 3 a través de una ventana de Overglass.

Parametro	Subestructura (desde arriba)
Metal 3	AlCu/TiN
Metal 2	TiN/AlCu/TiN
Metal 1	TiN/AlCu/TiN

Tabla 3.2: Subestructuras metálicas.

Dado que las funciones de trabajo del aluminio y del nitruro de titanio son bastante similares (aproximadamente 4.5eV) (Bai et al. 2005), (Lima et al. 2012), las principales características de una estructura TiN/AlCu/TiN se relacionan con lograr un buen contacto óhmico y con la protección mecánica de la capa de sí misma. Tras haber ejecutado el proceso de micro-maquinado, la existencia de las sub-estructuras mencionadas en la Tabla 3.2 se vuelve más evidente. Esto también se confirma en imágenes tales como la Figura 3.4, se resalta el hecho de que la capa de Metal 3 no cuenta con una cubierta superior de nitruro de titanio. Silox Vapox III fue la solución aplicada para el ataque químico del dióxido de silicio.

A fin de seleccionar el decapante químico adecuado y así estimar apropiadamente los tiempos del post-proceso, debe tenerse en cuenta la existencia o falta de la película de nitruro de titanio. Cabe señalar que las

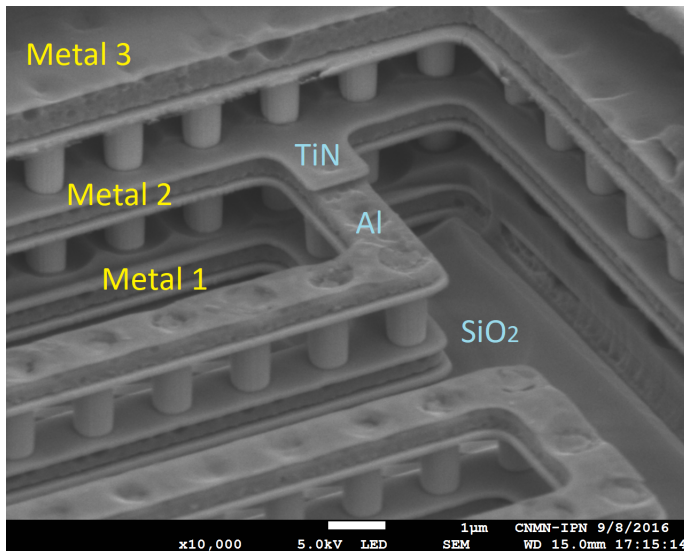


Figura 3.4: Todas las capas del proceso C5 tras haber realizado el micro-maquinado químico.

propiedades de la película protectora (TiN) no se reportan directamente en la documentación que incluye el kit de diseño para la tecnología C5, sin embargo, pudieron corroborarse tanto su existencia como algunas de sus características a través de tres diferentes técnicas. Primeramente, por medio de una inspección visual en la micro-fotografía óptica de la Figura 3.5, se percibe fácilmente el tono amarillo característico del material sobre la muestra de Metal 2.

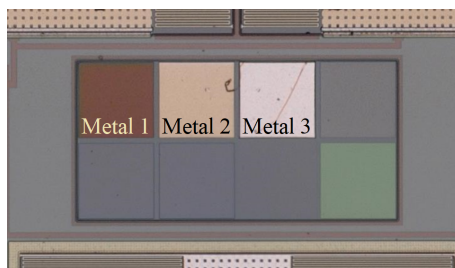


Figura 3.5: Micro-fotografía de muestras de materiales.



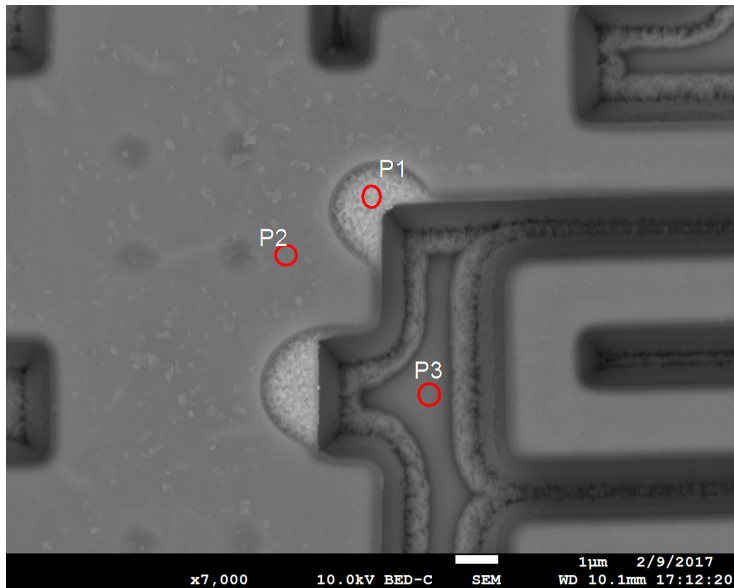


Figura 3.6: Puntos objetivo del análisis EDS.

Una segunda técnica utilizada para confirmar la presencia del nitruro de titanio consiste en un análisis por espectroscopía por dispersión de electrones (EDS), apuntando a tres puntos diferentes sobre distintas regiones del circuito integrado. En la Figura 3.6 los puntos P<sub>1</sub>, P<sub>2</sub> y P<sub>3</sub> están localizados sobre aluminio, la película de TiN por encima y la capa de SiO<sub>2</sub> subyacente, respectivamente. Las figuras 3.7, 3.8 y 3.9 muestran los espectros EDS obtenidos, destacando la presencia de componentes de aluminio, nitrógeno y titanio, y oxígeno y silicio, respectivamente.

Finalmente, una aproximación al espesor de la película de nitruro de titanio se puede obtener mediante la técnica de espectrometría de masas por iones secundarios (SIMS) en la modalidad de tiempo de vuelo. El análisis se ejecutó sobre la capa de Metal 3. El perfil SIMS mostrado en la Figura 3.10 confirma la estructura Al/TiN/SiO<sub>2</sub> que era esperada, con el recubrimiento únicamente por la parte inferior y con un espesor en el orden de 100 nm.

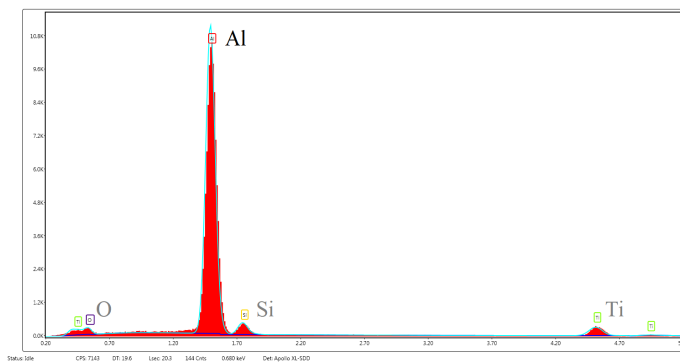


Figura 3.7: Espectro EDS del punto P1 mostrando presencia de Aluminio.

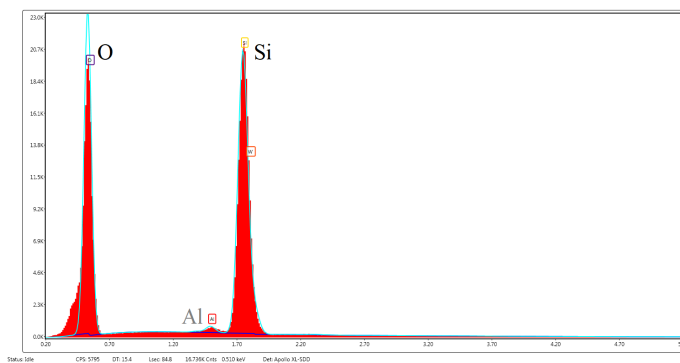


Figura 3.8: Espectro EDS del punto P3 mostrando presencia de oxígeno y silicio.

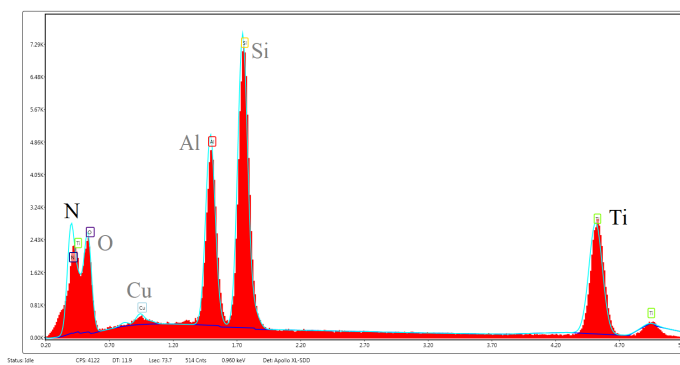


Figura 3.9: Espectro EDS del punto P2 mostrando presencia de nitrógeno y titanio.

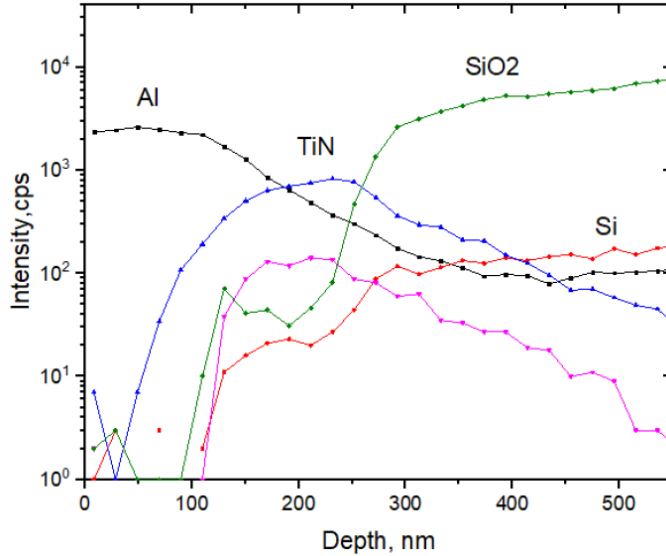


Figura 3.10: Perfil SIMS.

La presencia del nitruro de titanio (TiN) se ha vuelto problemática durante los procesos de micro-maquinado basados en ácido fluorhídrico (HF), debido a que no se alcanza una muy alta razón de ataque del dióxido de silicio por sobre las películas metálicas, lo que sugiere que ante una degradación de las mismas se produce pérdida de adherencia y el eventual desprendimiento del recubrimiento de nitruro de titanio. Durante el proceso experimental resultaron afectadas diversas estructuras metálicas, las cuales perdieron integridad cuando la película protectora de nitruro se desprendió por completo de la superficie de aluminio, dejando esta última expuesta y con un espesor significativamente menor que lo previsto para fines de mantener la rigidez mecánica. En la imagen de la Figura 3.11 (así como también previamente en la Figura 3.4) se aprecia el aparente desprendimiento total de las películas protectoras en especial en la parte superior de la capa de Metal 2. Una mayor anchura en las estructuras metálicas podría prevenir el desprendimiento de las películas ante la falta de una optimización en el proceso químico de micromaquinado.

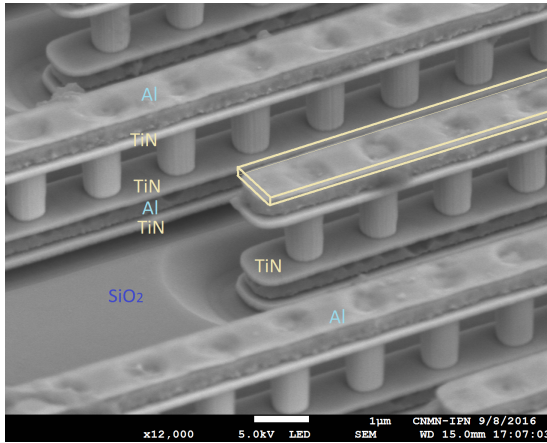


Figura 3.11: Estructura metálica degradada tras post-proceso de micromaquinado.

Otro efecto indeseable es el esfuerzo mecánico residual debido a la tensión entre capas de los distintos materiales conforme se integran durante el proceso de fabricación. La Figura 3.12 muestra la deformación que se presenta una vez liberada la estructura MEMS, dicho esfuerzo mecánico puede ser suficiente para fracturar una ya debilitada viga metálica tras el proceso de micro-maquinado.

Recapitulando, la técnica CMOS-MEMS es una alternativa de bajo costo para integrar las funcionalidad de un circuito integrado con las estructuras mecánicas propias de los micro-sistemas, logrando esta integración un nivel tal que se considera un dispositivo monolítico. Sin embargo, cabe señalar que cuando el módulo MEMS se trabaja en un chip dedicado por separado, suele haber a disposición capas metálicas bastante más adecuadas para el trabajo mecánico en cuanto a espesor y rigidez. Por otro lado, la existencia de la película protectora de nitruro de titanio no es totalmente compatible con los procesos de ataque químico húmedo debido a una posible baja adherencia con la superficie de aluminio a la que se encuentra cubriendo. Hay que considerar por supuesto que, si bien el nitruro de titanio es un material versátil, no está

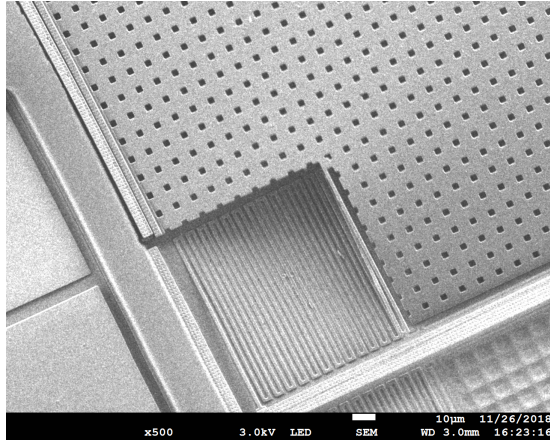


Figura 3.12: Daño estructural debido a tensiones superficiales.

pensado dentro de la tecnología CMOS convencional para soportar los procesos de decapado propios de la técnica CMOS-MEMS, queda entonces tener su presencia como un criterio a considerar para la selección de la plataforma de fabricación y su respectiva metodología de diseño.

## 3.2 Micro-maquinado superficial

El proceso de micro-maquinado superficial tiene como objetivo retirar la gruesa película de dióxido de silicio depositada por encima del sustrato. Dicha película cumple con aislar eléctricamente las capas metálicas y semiconductoras que conforman al circuito integrado a la vez que brinda soporte mecánico a las mismas. El dióxido de silicio envuelve totalmente las líneas metálicas y por tanto también cubre las estructuras micro-electromecánicas evitando que se desplacen libremente.

Si bien el dióxido de silicio se puede retirar por medios físicos y químicos, una forma sencilla de liberar una estructura mecánica embebida consiste en aplicar una solución atacante a través de alguna pequeña ventana de acceso que previamente se solicita durante el proceso de fabri-

cación. Los pasos a seguir para realizar el micro-maquinado se presentan a continuación.

1. Precalentar el horno a 120°C.
2. Enjuagar cristalería con agua filtrada y secar con nitrógeno.
3. Preparar las soluciones de enjuague:
  - 25% propanol 75% agua.
  - 50% propanol 50% agua.
  - 75% propanol 25% agua.
  - 100% propanol.
4. Colocar chip en caja de Petri de Plástico.
5. Exponer el chip a Vapox Silox (1 gota, dadas las dimensiones del chip) durante aproximadamente 15 minutos.
6. Sumergir el chip en cada enjuague y agitar suavemente durante aproximadamente 1 minuto.
7. Colocar el chip en una caja de Petri de Pyrex.
8. Secar el chip en el horno a 120°C durante aproximadamente 15 minutos.

Es importante notar que el vidrio convencional del que está hecha la cristalería de laboratorio está también compuesta por dióxido de silicio, por lo que el atacante químico debe manejarse en contenedores de plástico. Por otra parte, se resalta también que el enjuague (retirar el exceso de atacante) es un proceso que se divide en cuatro etapas incrementando gradualmente la proporción de propanol en cada paso, ya que

de manera experimental se mostró que enjuagar directamente desde un inicio con propanol puro produce la cristalización de algunos residuos por lo que las muestras se vuelven inservibles. Sin embargo es necesario llegar a enjuagar por completo con una sustancia relativamente volátil para asegurar que no permanezcan gotas líquidas del enjuague atrapadas por debajo de las estructuras debido a la tensión superficial. Este proceso de secado se refuerza introduciendo la muestra en un horno durante algunos minutos.

Retomando la estructura mostrada en la Figura 3.3, se aprecia una imagen por medio de microscopía SEM a través de la ventana de micro-maquinado, en un momento previo al ataque químico. Por otra parte, en la Figura 3.13 se hace una comparativa entre la estructura recién salida de fábrica y la misma después de un ataque parcial. Se puede apreciar un notorio deterioro de la integridad de las superficies metálicas, en partículas la partes de aluminio y se hace evidente la mayor resistencia que presenta la película protectora de nitruro de titanio. Cabe recordar que el decapante es una solución basada en ácido fluorhídrico, el cual es un conocido atacante del aluminio, sin embargo, la sustancia utilizada se comercializa con aditivos que disminuyen la tasa de ataque haciéndola significativamente más selectiva para con el dióxido de silicio.

La Figura 3.14 muestra en detalle la estructura capacitiva MEMS, es decir, región donde los dedos capacitivos se enfrentan dejando en todo momento un espacio de separación ocupado por aire. Dicho espacio, otrora ocupado por dióxido de silicio es suficiente para permitir libre desplazamiento de la masa móvil, así, en presencia de aceleración un conjunto de dedos se acerca o aleja del otro conjunto, aumentando y disminuyendo la capacitancia entre ambas terminales, respectivamente.

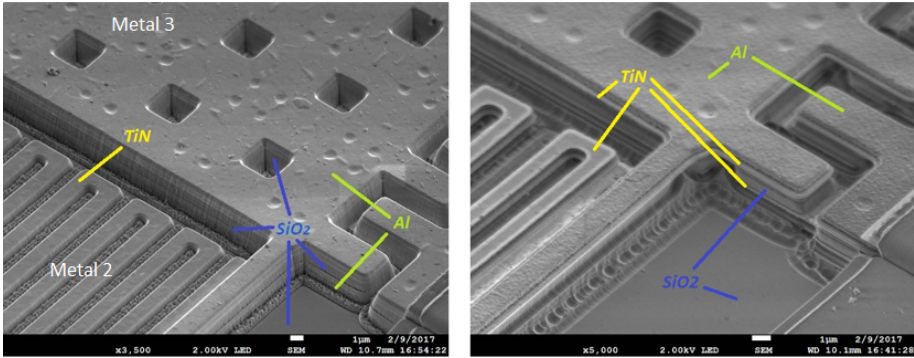


Figura 3.13: Resultado de un ataque parcial (incompleto debido a una breve exposición).

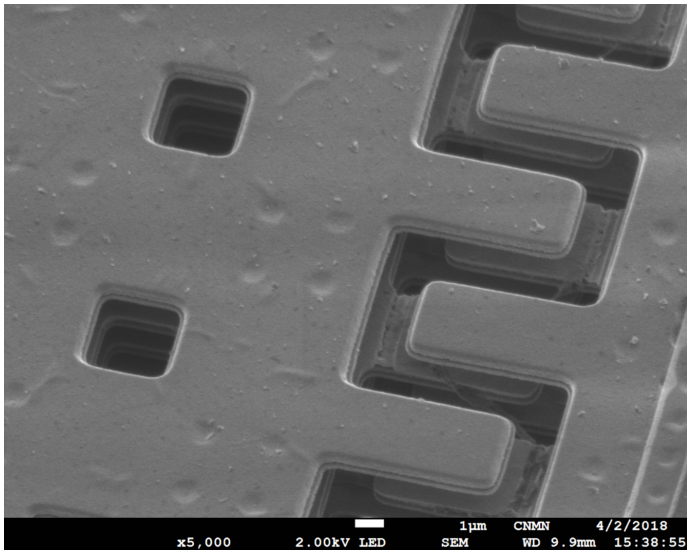


Figura 3.14: Detalle de la estructura capacitiva totalmente liberada.



### 3.3 Conclusiones del capítulo

En el presente capítulo se abordó un análisis de las propiedades de las capas metálicas disponibles en el proceso de fabricación CMOS. Esto toma relevancia dado que la composición química, espesor y rigidez de las distintas capas de material metálico determinan el tipo y dimensiones de las estructuras mecánicas que pueden aprovecharse para el desarrollo de un dispositivo CMOS-MEMS.

Uno de los aportes particulares del presente trabajo al grupo de investigación es la confirmación de la existencia del nitruro de titanio (TiN) como recubrimiento en la mayoría de las capas y una breve caracterización de su espesor. Esto representa una cuestión de importancia significativa a considerarse para futuros diseños pues en diversos medios y trabajos relacionados es común encontrar diseños que basan su expectativa de sensibilidad y rango dinámico en estructuras fabricadas puramente de aluminio, lo cual por propiedades mecánicas llevará a una desviación en los resultados debido a las diferencias de rigidez entre ambos materiales.

Si bien en la literatura existen indicios del uso del TiN en el depósito de capas metálicas para el proceso de fabricación C5 de On-Semi, esta información no pudo ser confirmada a través del kit de diseño ni directamente por el proveedor, cuyo representante manifestó proteger propiedad intelectual, algo comprensible dado que la tecnología CMOS no está en sí misma pensada para satisfacer las especificaciones mecánicas de un sistema CMOS-MEMS.

Eventualmente el diseñador de sistemas CMOS-MEMS puede considerar proporcionalmente en sus cálculos la rigidez típica de todos y cada uno de los componentes de las capas metálicas a su alcance, sin embargo, para el proceso de micro-maquinado, la existencia de materiales distintos al aluminio puro suponen un nuevo reto, siendo que múltiples soluciones decapantes se comercializan con una razón de ataque óptima

para eliminar apropiadamente las capas de sacrificio tales como el óxido de silicio, a la vez que protegen al aluminio, sin garantizar en cambio la integridad de otros compuestos metálicos que en este caso representan un porcentaje significativo del espesor total de la capa, dejando al final una viga metálica inesperadamente delgada con un momento de inercia ante la torsión sustancialmente distinto al esperado.

# Capítulo 4

## Diseño CMOS-MEMS

### 4.1 Metodología de diseño

La metodología de diseño CMOS-MEMS combina tres principales líneas de trabajo las cuales se refuerzan unas a otras de manera iterativa. Cada una de estas líneas se identifica fácilmente a partir de las herramientas que se utilizan tanto de software como en el laboratorio. A grandes rasgos, debido a que se analiza un sistema electro-mecánico, se presenta la necesidad de realizar cuando menos un análisis eléctrico y uno mecánico, tomando en cuenta la sinergia inherente de la integración CMOS-MEMS. Las dos primeras etapas antes mencionadas se complementan con una versión definitiva de la topología del sistema a través de una herramienta de diseño asistido por computadora (CAD), la cual en virtud de la tecnología seleccionada para su posterior fabricación, permite acceder a las librerías y reglas de diseño pertinentes.

Tal como se observa en la Figura 4.1, el proceso iterativo comienza con el planteamiento de los alcances del dispositivo, es decir, las especificaciones de dimensiones y sensibilidad que se busca alcanzar, a partir del área de diseño disponible se propone una primera estructura capaci-

tiva acompañada del respectivo sistema masa resorte. Simultáneamente se proponen las etapas electrónicas de acondicionamiento que permitan transducir los valores de capacitancia estimados en valores de voltaje lo suficientemente elevados para ser correctamente registrados por los sistemas subsecuentes más allá del acelerómetro. El primer diseño básico de la estructura electro-mecánica puede ser dibujado ya sea en software de tipo CAD general o directamente en la interfaz de layout electrónico tal como lo es L-Edit de Tanner, a partir de ahí es posible exportar una plantilla bidimensional de cada una de las capas metálicas que conforman la estructura móvil para posteriormente importar el archivo en un editor y/o simulador mecánico basado en análisis por elemento finito (FEA por sus siglas en inglés).

Una vez que el análisis mecánico (generalmente estacionario) confirma las capacidades de flexión y torsión de la estructura metálica se puede consolidar un diseño mecánico definitivo, sin embargo, es común encontrarse con pequeñas discrepancias atribuibles a los efectos de resistencia mecánica que normalmente se desprecian en las etapas tempranas del diseño, sobretodo en regiones de junta entre diversos bloques metálicos. Es entonces que el proceso se vuelve iterativo y tras una serie de ejecuciones se alcanza un razonable acuerdo entre los resultados de ambas plataformas, la de diseño de layout y la de simulación mecánica. En el caso particular de este trabajo, todas las simulaciones físicas basadas en FEA fueron realizadas en la plataforma de COMSOL Multiphysics, la cual es una suite de simulación multi-física de modelos 3D abarcando no solo el aspecto mecánico sino también la componente electromagnética de los mecanismos y materiales puestos a prueba.

Por parte del diseño electrónico, también se ajustan los valores dimensionales plasmados para cada transistor MOSFET en L-Edit a partir de los resultados de simulación que se obtienen de un análisis en PSpice utilizando la lista de parámetros tecnológicos directamente extraídos y

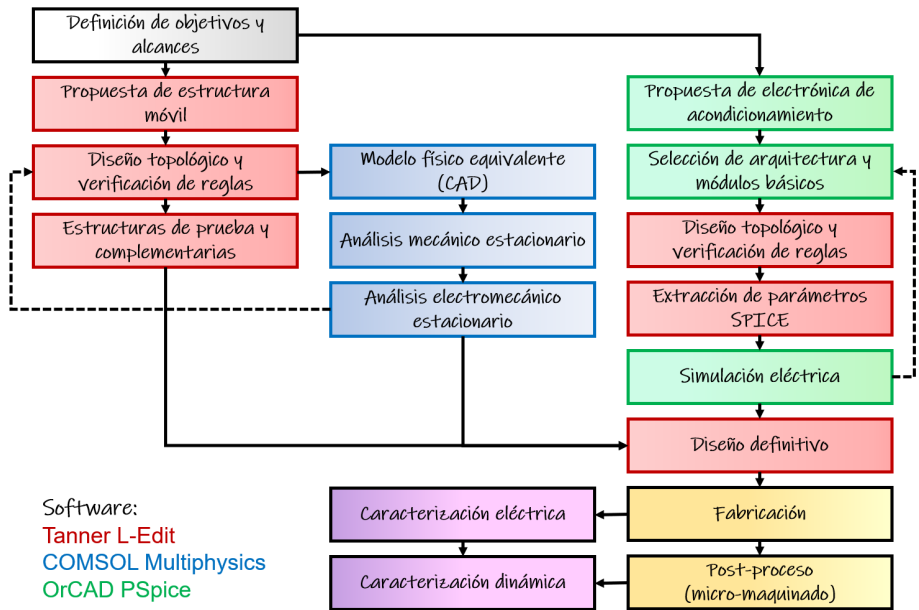


Figura 4.1: Metodología de diseño

provistos por el fabricante, en general, de corridas previas y recientes de la misma tecnología. Con cada modificación al layout que se realiza en L-Edit, corresponde realizar una verificación de reglas de diseño, las cuales nos indican que los materiales y estructuras propuestas tienen las dimensiones y distancias de separación en los rangos permitidos lo que permite su fabricación en términos de los depósitos y procesos fotolitográficos propios de la tecnología planar.

Con el diseño consolidado en ambas partes, eléctrica y mecánica, se procede a solicitar su fabricación a través de un proveedor de logística para conformar las llamadas Obleas Multi-proyecto (MPW). Este procedimiento consiste en recopilar múltiples diseños de circuitos integrados VLSI generados alrededor del mundo (principalmente como parte de proyectos académicos) y asignarles espacio en una misma oblea de silicio, lo cual reduce significativamente costos y permite a estudiantes e investigadores acceder a una gran variedad de tecnologías, cada una

de ellas con requerimientos y prestaciones específicas. El proveedor, en este caso, la compañía MOSIS, fundada como un spin-off de la Universidad del Sur de California, tiene a su vez la contratación de la fabricación con diversos productores de silicio y de circuitos integrados denominados comúnmente como foundries por su nombre en inglés. En este caso particular y como se ha mencionado antes, se solicitó la fabricación en la tecnología de  $0.5\mu\text{m}$  del fabricante On-Semiconductor.

La Figura 4.2 muestra el producto terminado, tal como se entrega por parte de los proveedores en los formatos disponibles para esta tecnología: dado de silicio ( $2 \times 2 \text{ mm}$ ) y encapsulado DIP de 40 pines, listo para prototipado o soldadura. El diseño de las principales estructuras que conforman al chip, así como su implementación a través de la plataforma CAD se presentan en los próximos apartados de este capítulo.

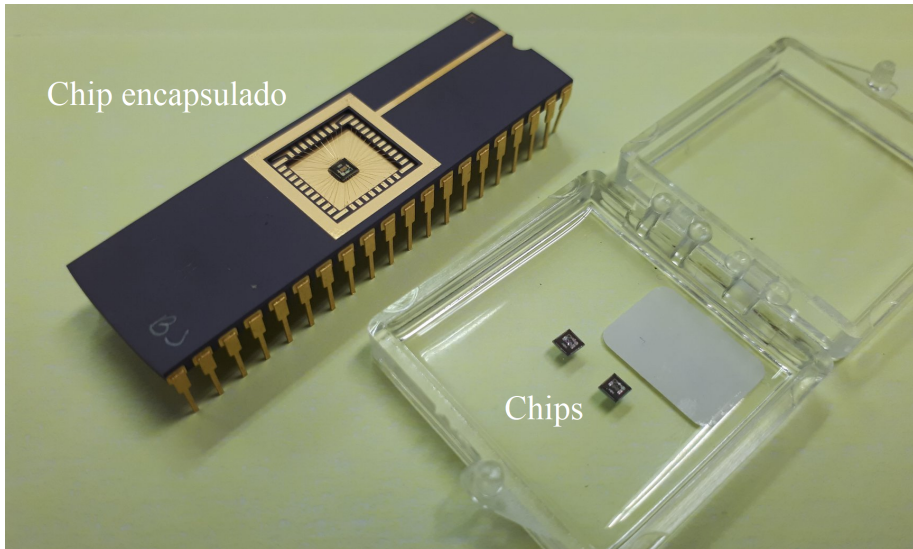


Figura 4.2: Chip en DIP-40 y dado de silicio.

## 4.2 Estructura capacitiva tridimensional

El proceso de fabricación CMOS estándar provee a los diseñadores de sistemas VLSI de diversas técnicas para producir capacitores integrados de alta calidad, generados a partir de las capas de metal y silicio policristalino propias de la tecnología. La más popular de estas técnicas es aquella que involucra una placa de Poly 2 por encima de otra similar de Poly 1, separadas en este caso por un espesor de aproximadamente 40 nm de dióxido de silicio ( $\text{SiO}_2$ ). En función de las diferentes tecnologías (cada una recibiendo su nombre del mínimo largo de canal que se puede formar para un MOSFET) se tiene un número distinto de capas metálicas disponibles, la tecnología de  $0.5 \mu\text{m}$  de On-Semiconductor (2-Poly, 3-Metal), en la que el canal tiene de hecho una longitud mínima de  $0.6 \mu\text{m}$ , se ha mostrado suficiente en capacidad y confiabilidad para desarrollar dispositivos CMOS-MEMS, especialmente en aquellos donde la masa sísmica metálica actúa como transductor capacitivo.

En (Abarca-Jiménez et al. 2013), (Dominguez-Sanchez et al. 2014) y (Abarca-Jiménez et al. 2014), han sido descritas diversas estructuras capacitivas para medición inercial y algo que las distingue es el haber aprovechado entre dos y tres de las capas metálicas disponibles para generar un circuito electrónico con acoplamiento capacitivo con una masa móvil suspendida por resortes, logrando así la mencionada integración monolítica al interior del chip CMOS convencional en lugar de recurrir a una tecnología MEMS dedicada. De manera similar a los trabajos mencionados se presentan a continuación la características de una estructura capacitiva CMOS-MEMS que hace uso de las tres capas metálicas disponibles para implementar un capacitor variable inter-digitado.

El diseño de la estructura que se aborda en este apartado debe ser considerado como parte de la masa sísmica, ubicándose en uno de los extremos de la misma y por lo tanto, desplazándose en la misma proporción

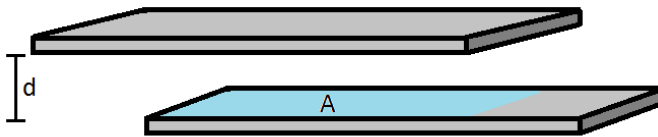


Figura 4.3: Parámetros geométricos del capacitor de placas paralelas.

que el sistema masa-resorte en acuerdo con la magnitud de la aceleración presente. Para propósitos de partir de un modelo simple, retomamos la expresión para la capacitancia del capacitor de placas paralelas que se introdujo en la ecuación 2.25. Éste tipo de capacitor se puede formar a partir de dos placas de diferentes dimensiones, sin embargo, y como se muestra en la Figura (4.3), cuando se desprecian los efectos de borde, la capacitancia efectiva corresponde únicamente al área de traslape entre ambas placas y la distancia que las separa.

Para el análisis típico, consideramos que el valor de la permitividad eléctrica relativa del aire (que rodea a la estructura completamente) es 1. En el caso particular de los chips fabricados en la tecnología CMOS de  $0.5 \mu\text{m}$  tomamos  $1.1 \mu\text{m}$  como la distancia que hay entre las capas de Metal 1 y Metal 2, así como entre Metal 2 y Metal 3, tal como aparece en el manual de reglas de diseño (ON-Semiconductor 2011).

Es importante recordar que los dispositivos eléctricos tanto activos como pasivos que se integran dentro de un chip CMOS se encuentran totalmente embebidos en una gruesa película de dióxido de silicio cubierta por una capa superior de pasivación de nitruro de silicio, en la cual se abren ventanas para hacer pasar al atacante químico necesario para liberar las estructuras móviles.

Otro aspecto relacionado con el proceso de decapado, también conocido como micro-maquinado, es la necesidad de contar con perforaciones a lo largo y ancho de las placas de la masa sísmica, dado que el área de ésta es significativamente grande en comparación con la distancia que



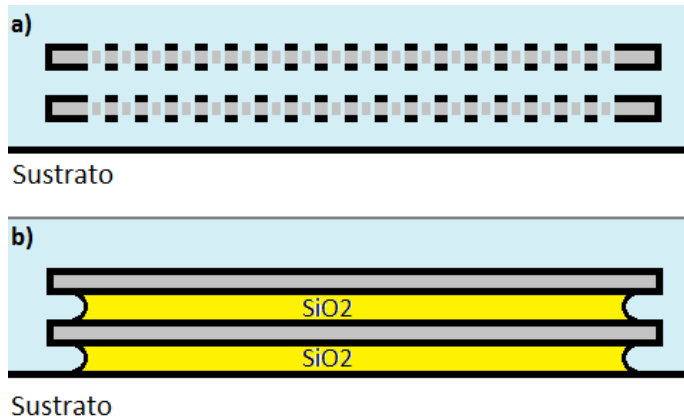


Figura 4.4: (a) estructura perforada y totalmente liberada (b) estructura de placa sólida (con restos de dióxido de silicio inaccesibles).

separa las distintas capas metálicas, por lo que se requiere contar con una forma de hacer llegar el decapante químico a todos los rincones bajo la superficie de cada placa metálica. Optar por una única placa uniforme evitaría lograr un decapado completo del dióxido de silicio debido a la tensión superficial del atacante y las reducidas dimensiones entre componentes (Figura 4.4). Esta es también la razón por la que es conveniente utilizar capacitores inter-digítados, descartando los capacitores formados por dos placas sólidas y sin perforaciones en toda su extensión.

El capacitor unitario que puede ser definido en términos de los dedos que forman el inter-digítado, es aquel que consta de dos pequeñas placas metálicas ya sea, una sobre otra (cada una en una capa) o enfrentadas una al lado de la otra (ambas en la misma capa del proceso de fabricación). En acuerdo con las reglas de diseño, existe una distancia mínima en la que dos líneas o superficies metálicas adyacentes dentro de la misma capa se pueden aproximar, éste es el caso de la distancias  $d_{fin}$  y  $d_{tip}$  que son la distancia de separación entre dos dedos de la misma capa y la separación desde la punta de un dedo hasta la placa metálica frente a él, respectivamente. Además, se definen a  $W_f$  como el ancho de cada dedo

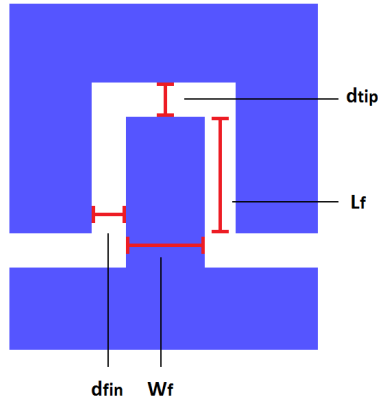


Figura 4.5: Parámetros geométricos de un dedo metálico.

individual desde una vista superior como la que ofrece la Figura 4.5 y a  $L_f$  como el largo de la parte del dedo que en una posición central inicial se traslaparía con el dedo de las capas superiores o inferiores, de manera que para el primer elemento capacitivo en el que se ve involucrado un dedo individual, el área  $A$  del capacitor formado por dedos de dos capas contiguas en sentido vertical está dada por el producto de  $W_f$  y  $L_f$ . La Figura 4.6 muestra un arreglo de múltiples dedos a lo largo de las tres diferentes capas y cómo se intercalan para formar traslapes tanto en el eje  $z$  como a lo largo del eje  $x$  de la estructura. En este punto los colores de la figura representan únicamente a las diferentes capas metálicas del proceso de fabricación, no así distintas terminales eléctricas.

El segundo elemento capacitivo que está en función del mismo dedo es el que se forma entre dos dedos situados uno junto a otro a lo largo del eje  $x$ , cada uno de ellos sujeto a dos diferentes terminales eléctricas a pesar de estar fabricados en la misma capa de material metálico. En este caso el área del capacitor está dada por el largo  $L_f$  previamente descrito y el espesor  $t_M$  de la capa metálica en cuestión. La tercera y última capacitancia asociada será la que corresponde a la punta del dedo y la placa metálica que se encuentra frente a él a lo largo del eje  $y$ , dicho

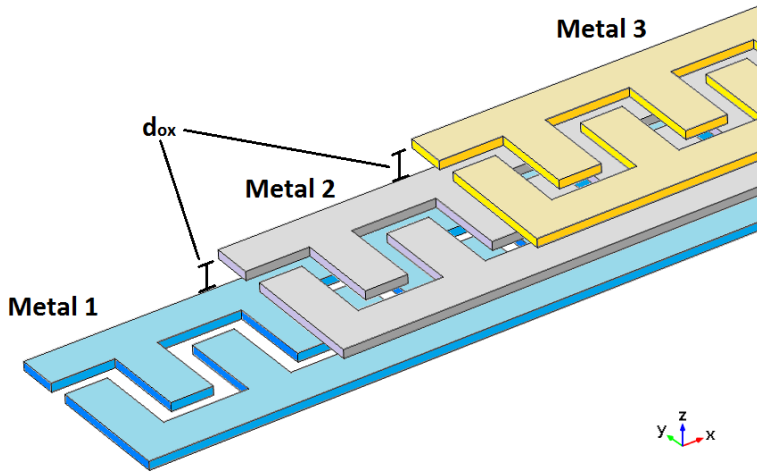


Figura 4.6: Arreglo inter-digitado en las diferentes capas metálicas disponibles. Los dedos de Metal 2 se traslapan parcialmente sobre los dedos de Metal 1, de igual manera los dedos de Metal 3 se traslapan sobre los dedos de Metal 2.

capacitor tiene un área que se obtiene del producto entre el ancho del dedo  $W_f$  y el espesor de la capa  $t_M$ .

De acuerdo con las especificaciones de la tecnología de  $0.5 \mu\text{m}$ , el espesor de cada una de las capas es  $t_{M1} = 0.64 \mu\text{m}$ ,  $t_{M2} = 0.57 \mu\text{m}$  y  $t_{M3} = 0.77 \mu\text{m}$ , separadas uniformemente por una distancia  $d_{ox} = 1.1 \mu\text{m}$  que inicialmente correspondía al dióxido de silicio. La Figura 4.7 muestra las dos terminales eléctricas del capacitor que se enfrentan una a la otra, cada una abarcando las tres capas metálicas disponibles y separadas a lo largo del eje y por una distancia inicial igual a  $d_{tip}$

Finalmente, de acuerdo con los principios de funcionamiento del sensor de medición inercial, se busca observar las variaciones en la capacitancia debidas al desplazamiento de la masa sísmica, dado que una de las terminales del capacitor está anclada al sustrato y la otra forma parte de la masa sísmica. Definimos a la variable  $y$  como la posición de la masa móvil a partir de la posición inicial  $y = 0$ .

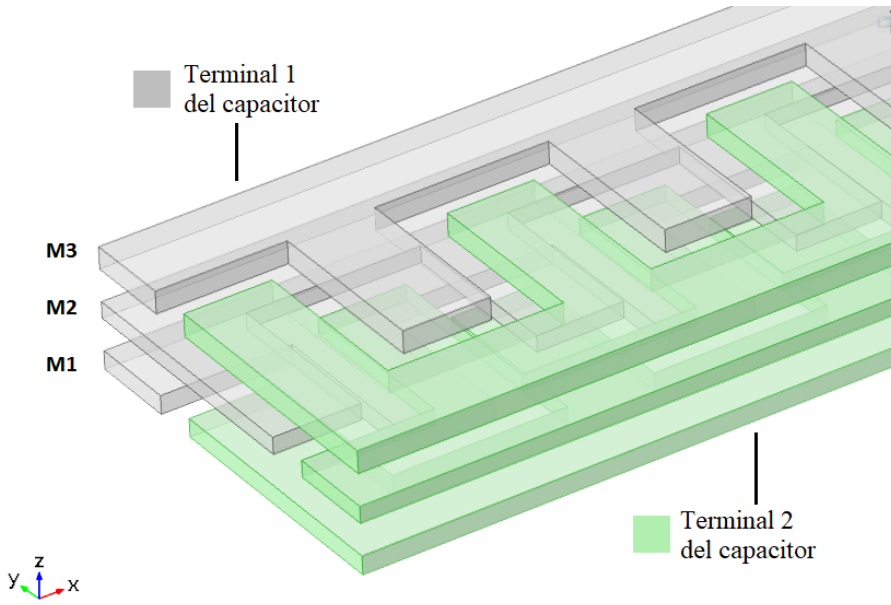


Figura 4.7: Renderizado 3D de la estructura capacitiva

Como se mencionó antes, a partir de lo propuesto en (Granados-Rojas et al. 2016), la capacitancia total de la estructura MEMS cuando se cuenta con  $n$  dedos sobre una masa móvil en una posición  $y$  dada, está determinada por la expresión 4.1

$$\begin{aligned}
 C_Y = & \frac{2 \cdot n \cdot \epsilon_0 \cdot W_f \cdot (L_f - y)}{d_{ox}} \\
 & + \frac{(n - 1) \cdot \epsilon_0 \cdot (t_{M1} + t_{M2} + t_{M3}) \cdot (L_f - y)}{d_{fin}} \\
 & + \frac{n \cdot \epsilon_0 \cdot W_f \cdot (t_{M1} + t_{M2} + t_{M3})}{d_{tip} + y}
 \end{aligned} \tag{4.1}$$

En contraste tenemos la expresión 4.2 que representa la capacitancia que hubiera resultado de colocar únicamente placas sólidas formando un doble capacitor de placas paralelas, tan ancho como la extensión de los  $n$  dedos dentro del área designada para el capacitor variable en uno de

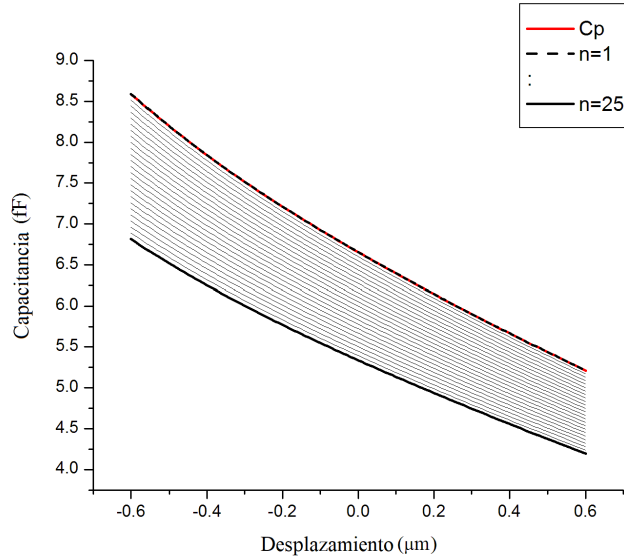


Figura 4.8: Capacitancia para estructuras inter-digadas desde 1 hasta 25 dedos.

los costados de la masa móvil.

$$C_{\text{plate}} = \frac{2 \cdot \epsilon_0 \cdot W_{\text{plate}} \cdot (L_{\text{plate}} - y)}{d_{\text{ox}}} + \frac{\epsilon_0 \cdot W_{\text{plate}} \cdot (t_{M1} + t_{M2} + t_{M3})}{d_{\text{tip}} + y} \quad (4.2)$$

La Figura 4.8 muestra una comparativa desde la estructura de placa única hasta una con 25 dedos capacitivos. El ancho de cada uno de los dedos para esta simulación se ajusta de manera dinámica considerando una separación mínima  $d_{\text{fin}}$  entre ellos. Como es de esperarse, el efecto capacitivo de placa completa coincide con tener un único dedo.

Tener una placa sólida (es decir, un único dedo lo más ancho posible) puede ser considerado el escenario de mayor capacitancia, sin embargo, se descarta por no alcanzar el criterio predominante que es poder efectuar el micro-maquinado superficial del dióxido de silicio por debajo de la

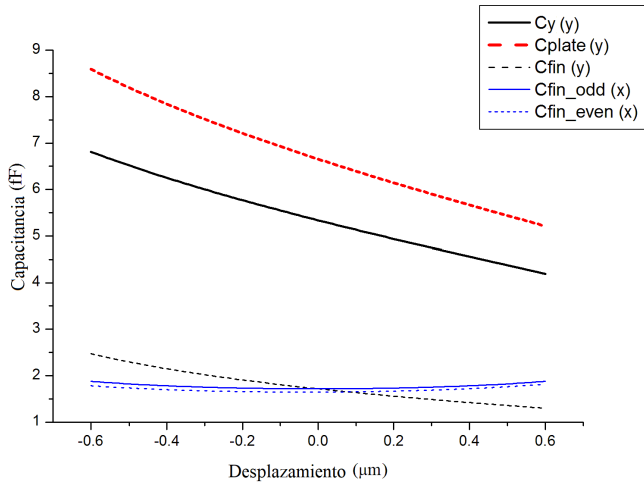


Figura 4.9: Comparativa de arquitecturas capacitivas.

extensa superficie metálica.

Como se ha mostrado en la Figura 4.7, la estructura cuenta con sus dedos intercalados tanto a lo largo del eje x como a lo largo del eje z, cuando se les considera en sus respectivas terminales eléctricas. Esto eleva considerablemente la capacitancia por unidad de área de diseño que se puede alcanzar respecto a otras arquitecturas más tradicionales que solo tienen intercalado a lo largo del eje x, es decir que un juego de tres dedos a lo largo del eje z (en las diferentes capas metálicas) pertenecen a la misma terminal eléctrica. La Figura 4.9 presenta una comparativa de los siguientes cinco casos:  $C_y$  como la estructura de 25 dedos propuesta en Granados-Rojas et al. 2016,  $C_{plate}$  la estructura de un único dedo sin perforaciones,  $C_{fin}(y)$  como la estructura con intercalado a lo largo del eje x pero desplazamiento a lo largo del eje y, y  $C_{fin_{odd}}$  y  $C_{fin_{even}}$  como la estructura con intercalado y desplazamiento, ambos a lo largo del eje x, pero con un número impar y par de dedos respectivamente.

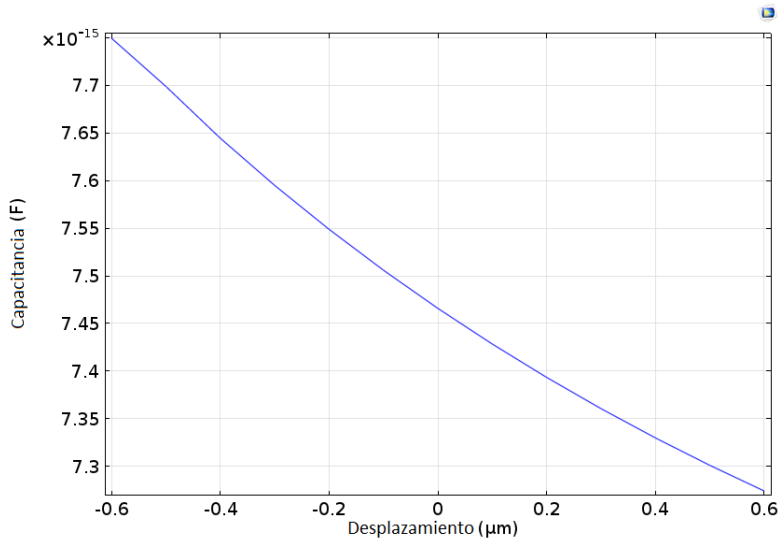


Figura 4.10: Simulación física del comportamiento capacitancia vs desplazamiento.

## 4.2.1 Simulación multi-física

A través de sistemas basados en análisis por elemento finito (FEA) se puede determinar la coincidencia entre la simulación de un sistema físico y las gráficas presentadas hasta ahora, las cuales corresponden a una simulación numérica de los modelos matemáticos mostrados. La plataforma utilizada en este caso es la suite de COMSOL Multiphysics, en la cual se ejecutó un análisis estacionario de la estructura de 25 dedos, la cual se hace mover en torno a una posición inicial para encontrar la característica de capacitancia vs desplazamiento que se observa en la Figura 4.10. Esta capacitancia es menor que la predicha por el modelo matemático, sin embargo se encuentra en el orden de magnitud similar al visto en la Figura 4.9, el cual es suficiente para fines prácticos.

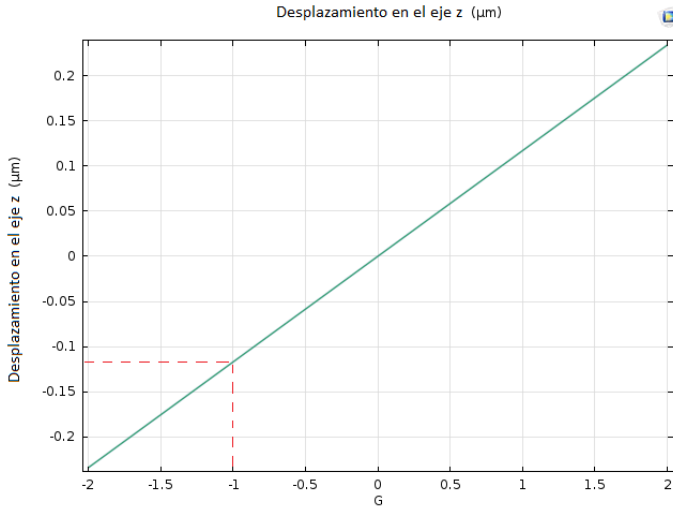


Figura 4.11: Desplazamiento prescrito en el eje z debido a una aceleración de 1 g en dirección hacia abajo.

## 4.2.2 Efectos gravitacionales sobre la masa sísmica

Por medio de la simulación física por elemento finito se pueden añadir los efectos de la aceleración de la gravedad (1 g) a lo largo del eje z, perpendicular al plano de la estructura del sistema masa resorte. Si bien el modelado de dichos efectos también está simplificado, se puede apreciar que no son significativos para afectar el desempeño del sistema de medición inercial. En la Figura 4.11 puede notarse que a pesar de no haber una aceleración externa actuando directamente sobre la estructura, existe ya un pequeño desplazamiento hacia abajo (en la dirección  $-\hat{z}$  debido a la acción de la gravedad y el peso de la propia masa sísmica).

Dicho resultado de simulación arroja un desplazamiento aproximado de  $0.12 \mu\text{m}$ , lo que es poco más que una décima parte del espacio que originalmente separa a las diferentes capas metálicas. Este desplazamiento no resulta en un cambio significativo de capacitancia, puesto que a medida que un dedo en la capa de Metal 2 se acerca a su contraparte en



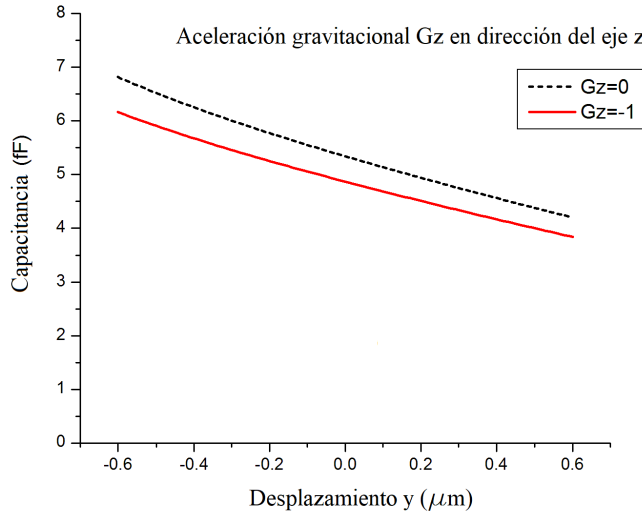


Figura 4.12: Capacitancia total considerando y descartando los efectos gravitacionales.

Metal 1 también de aleja del respectivo dedo en Metal 3. La expresión 4.3 incluye el desplazamiento z debido a la gravedad, de manera que como se aprecia en la Figura 4.12, existe una pequeña diferencia entre las capacitancias que consideran la gravedad y la capacitancia generada por el modelo de la ecuación 4.1.

$$\begin{aligned}
 C_Y = & \frac{n \cdot \epsilon_0 \cdot W_f \cdot (L_f - y)}{d_{ox} + z} + \frac{n \cdot \epsilon_0 \cdot W_f \cdot (L_f - y)}{d_{ox} - z} \\
 & + \frac{(n - 1) \cdot \epsilon_0 \cdot (t_{M1} + t_{M2} + t_{M3} - 3z) \cdot (L_f - y)}{d_{fin}} \\
 & + \frac{n \cdot \epsilon_0 \cdot W_f \cdot (t_{M1} + t_{M2} + t_{M3} - 3z)}{d_{tip} + y}
 \end{aligned} \tag{4.3}$$

Siendo que la capacitancia  $C_Y$  varía acorde con el desplazamiento dentro de ciertos límites diseñados en particular para el sistema masa-

resorte, se asume que se alcanza un comportamiento suficientemente lineal, en el que dadas las dimensiones del micro-sistema en general, se calcula una masa de la masa sísmica en el orden de  $1 \times 10^{-11}$  kg, la cual proviene del pequeño bloque delgado de aluminio que es ligeramente amortiguado por la fina película de aire debajo suyo.

### **4.3 Simulación y validación eléctrica**

En la actualidad, los micro-sistemas dedicados a la medición inercial incluyendo acelerómetros y giroscopios están totalmente integrados en la arquitectura de múltiples dispositivos, abarcando desde aplicaciones de entretenimiento hasta complejos sistemas industriales y de investigación. Como se mostró en (Abarca-Jiménez et al. 2013), (Abarca-Jiménez et al. 2014) y (Dominguez-Sanchez et al. 2014), los transistores MOS de Compuerta Flotante han sido exitosamente implementados como mecanismo de transducción cuando se trata de sensores capacitivos MEMS basados en la tecnología de fabricación CMOS.

El transistor MOS de compuerta flotante, también llamado FGMOS, ha sido típicamente utilizado en aplicaciones de memoria no volátil, debido a sus particulares características de almacenamiento de carga. Dado que la llamada terminal flotante se encuentra embebida dentro de una película de óxidos dieléctricos y por tanto aislada eléctricamente del resto del dispositivo, una vez que la carga eléctrica, ya sea negativa o positiva es inducida hasta esta instancia, permanece retenida hasta que un estímulo con potencial lo suficientemente alto extrae la carga o modifica su magnitud. Usualmente la carga y descarga de la compuerta flotante se lleva a cabo por medio de tunelamiento Fowler-Nordheim o del llamado mecanismo de electrones calientes. Es importante mencionar que por encima de la terminal flotante existe una segunda terminal de compuerta

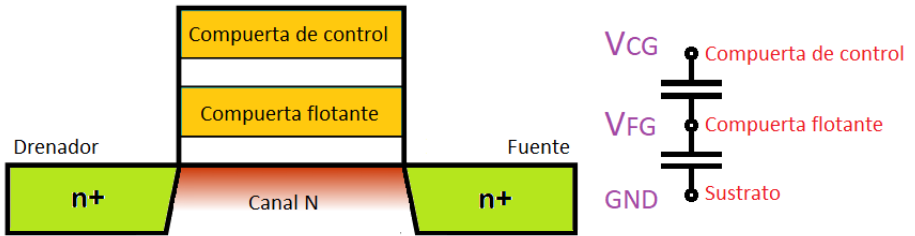


Figura 4.13: Arquitectura del FGMOS y su equivalente capacitivo.

comúnmente llamada Compuerta de Control. Tomando en cuenta ambas compuertas se puede hablar de un divisor de tensión capacitivo (Figura 4.13) en el cual el potencial flotante  $V_{FG}$  es fuertemente dependiente del potencial en la compuerta de control  $V_{CG}$ .

Para el divisor de tensión capacitivo mostrado, la relación entre el voltaje flotante y el voltaje de la compuerta de control fue mostrada en conjunto con el denominado factor de acoplamiento capacitivo  $k_c$  de manera generalizada en las expresiones 2.21 y 2.22, sin embargo, cabe replantear el factor de acoplamiento  $K_Y$  en términos particulares de la capacitancia variable  $C_Y$  de la estructura MEMS, tal como en la expresión 4.4, donde  $C_{TOT}$  (expresión 4.5), que es la suma directa de todas las componentes capacitivas involucradas en el dispositivo, tanto diseñadas como parásitas. A partir de esto se tiene un factor de acoplamiento capacitivo para la estructura MEMS principal y otro más, que de manera genérica, como en la expresión 2.22, afecta a  $n$  compuertas de control adicionales que pudieran añadirse al sistema para realizar un ajuste fino del potencial aplicado.

$$K_Y = \frac{C_Y}{C_{TOT}} \quad (4.4)$$

$$C_{TOT} = C_Y + C_{ox} + C_{fox} + C_i + \dots + C_n \quad (4.5)$$

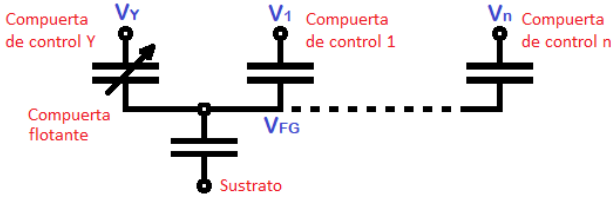


Figura 4.14: Equivalente capacitivo del dispositivo con múltiples compuertas de control.

Los modelos matemáticos de los divisores de tensión utilizados hasta este punto se combinan a manera de suma ponderada para estimar el potencial eléctrico total que se aplica por parte de la estructura MEMS y compuertas de control adicionales (todas ellas conectadas a un potencial externo) sobre una única compuerta flotante compartida, en acuerdo con lo que se mostró en la Figura 2.15 y que se generaliza en la Figura 4.14 y expresión 4.6. Esta última expresión en el caso de  $i = 1$  se convierte en la ecuación 2.24, mostrada previamente.

$$V_{FG} = K_Y V_Y + \sum K_i V_i = \frac{C_Y V_Y}{C_{TOT}} + \sum \frac{C_i V_i}{C_{TOT}} \quad (4.6)$$

El acelerómetro toma su estructura capacitiva MEMS de la mostrada en (Granados-Rojas et al. 2016) que consiste en un capacitor variable sujeto a una masa sísmica rectangular suspendida por cuatro resortes metálicos anclados al sustrato. El capacitor variable de placas paralelas fue modelado en la expresión 4.1 y de simulaciones previamente mostradas se considera una variación de  $C_Y$  lo suficientemente lineal en el rango de interés que oscila  $\pm 1$  fF alrededor de un punto estacionario de aproximadamente 5 fF (7.5 fF despreciando efectos gravitacionales) cuando el acelerómetro se encuentra totalmente desplazado a lo largo del eje y.

### 4.3.1 Acondicionamiento de señal

Dado que las variaciones de capacitancia  $C_Y$  son realmente pequeñas y así mismo lo son las variaciones en la corriente de drenador producidas por el potencial flotante dentro del transistor, la señal eléctrica proporcional a la aceleración debe ser acondicionada de manera que pueda interactuar con etapas y dispositivos externos. La mayoría de los sensores comerciales basados en tecnología MEMS y CMOS incluyen sistemas de acondicionamiento de señal ya sea internos (monolíticos) o externos. Siendo que por lo general se espera que la salida final sea una señal en el orden de un par de volts, es usual encontrar múltiples configuraciones de amplificadores que cumplen con los requerimientos de ganancia, observando compatibilidad con la naturaleza y origen de la señal a procesar.

Como se reporta en (Tsai et al. 2014), los amplificadores diferenciales han probado compatibilidad en la lectura de variables capacitivas basadas en dispositivos CMOS, logrando una especificación de desempeño de muy bajo ruido. Por otra parte, en (Sutri et al. 2015) se describe una interfaz de acondicionamiento consistente en dos etapas, lo que mejora la ganancia y estabilidad, permitiendo a la vez, trabajar en la mejora continua e independiente de cada una de las etapas.

La Figura 4.15 muestra la subdivisión en dos etapas de la interfaz de acondicionamiento propuesta en este trabajo, para la cual la primera etapa comprende a la estructura MEMS trabajando en conjunto con un transistor MOS de compuerta flotante, donde se produce una corriente de drenador  $I_D$  con variaciones que son proporcionales a la magnitud de la aceleración presente en el sistema. La segunda etapa consta de un amplificador CMOS en modo de fuente común, similar al que se describe en (Baker 2005).

Para el FGMOS se ha seleccionado de manera arbitraria con base únicamente en economizar el área de diseño un MOSFET con longi-

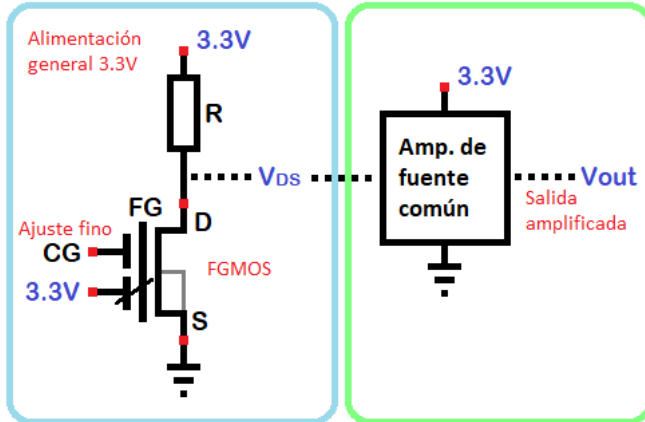


Figura 4.15: Circuito de lectura de dos etapas.

tud de canal mínima, lo que para la tecnología de  $0.5 \mu\text{m}$  representa  $L = 0.6 \mu\text{m}$  y una  $W$  de unos apropiados  $6 \mu\text{m}$  que permiten colocar cómodamente contactos en la región activa circundante. Un transistor con características como las mencionadas, será capaz de manejar sin problemas una corriente en el orden de los cientos de micro-ampères tal que, ajustando el valor de un resistor en serie (Figura 4.16) en el orden los kilo-ohms, se espera alcanzar un voltaje de aproximadamente 1 V en el nodo central  $V_{DS}$ , cuando la alimentación general es de 3.3 V.

Como se espera de un MOSFET típico, cuando se encuentra en el régimen de saturación ( $V_{DS} \geq V_{GS} - V_{TH}$ ), la corriente de drenador  $I_{DS}$  variará en términos del voltaje  $V_{GS}$  aplicado en compuerta. En términos del FG MOS, el potencial de compuerta flotante  $V_{FG}$  toma el lugar del voltaje típico de compuerta  $V_{GS}$  como el que fomenta la creación del canal y maneja la corriente del dispositivo y debe ser por tanto, al igual que  $V_{DS}$ , mayor que el voltaje de umbral  $V_{TH}$  a pesar de ser sólo una fracción de los potenciales  $V_Y$  y  $V_i$  aplicados en las compuertas de control. La Figura 4.17 muestra la característica  $V_{DS}$  vs  $V_{FG}$  del MOSFET en saturación ( $V_{DD} = 3.3 \text{ V}$ ,  $V_{TH} \approx 0.6 \text{ V}$ ) para un barrido de

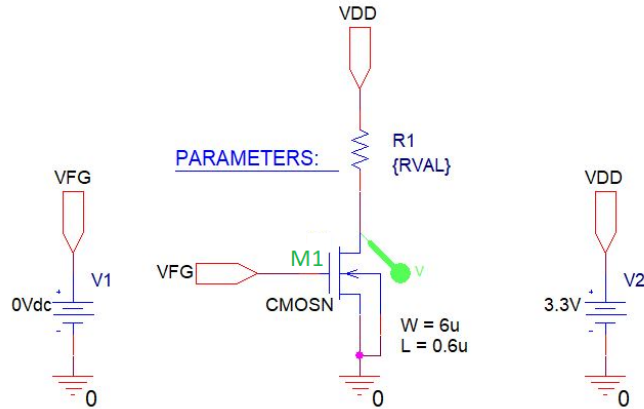


Figura 4.16: Arreglo para simulación de la primera etapa.

resistencias  $R$  en el arreglo de simulación mostrado previamente. El valor  $R$  se ajusta a aproximadamente  $23.3 \text{ k}\Omega$  (Figura 4.18) para alcanzar una polarización de aproximadamente  $1 \text{ V}$  en el nodo de drenador cuando  $V_{FG}$  es también de aproximadamente  $1 \text{ V}$  (menos de la mitad del voltaje de alimentación). Todas las simulaciones SPICE fueron ejecutadas tomando parámetros extraídos de dispositivos similares provistos directamente por el proveedor del proceso de fabricación.

En este punto, retomamos la noción de que los cambios en la capacitancia  $C_Y$  en función del desplazamiento de la masa sísmica, derivado de la expresión 4.1 se manifiestan con una componente lineal predominante y dos términos no lineales adicionales, siendo el último el de menor contribución. Las figuras 4.19 y 4.20 muestran respectivamente las mencionadas relaciones. De lo anterior se desprende que las condiciones de polarización deseadas se alcanzan cuando  $V_{CG}$  es ajustado a  $0.879 \text{ V}$ .

Es importante resaltar que el rol que desempeña la compuerta de control es establecer un offset para el voltaje inducido a la terminal flotante de acuerdo con una suma ponderada. La búsqueda iterativa inicial se ejecutó mediante un script e interfaz gráfica en MATLAB (Figura 4.21)

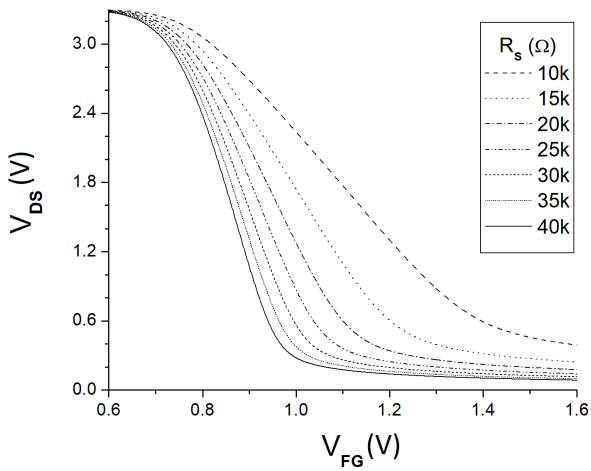


Figura 4.17: Barrido de resistencia  $R$  en búsqueda de una polarización conveniente para el nodo de drenador.

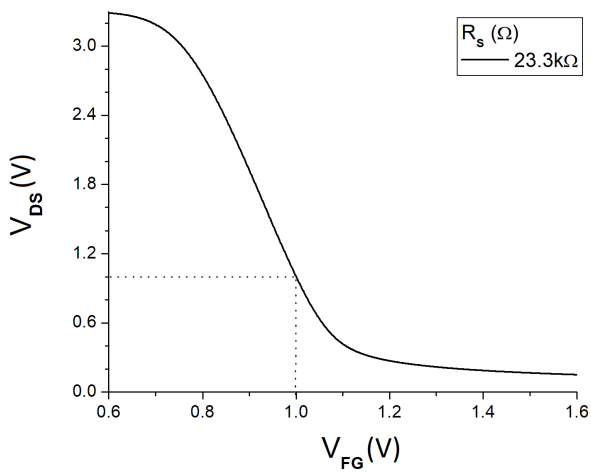


Figura 4.18: Punto de operación seleccionado para la característica drenador-fuente.



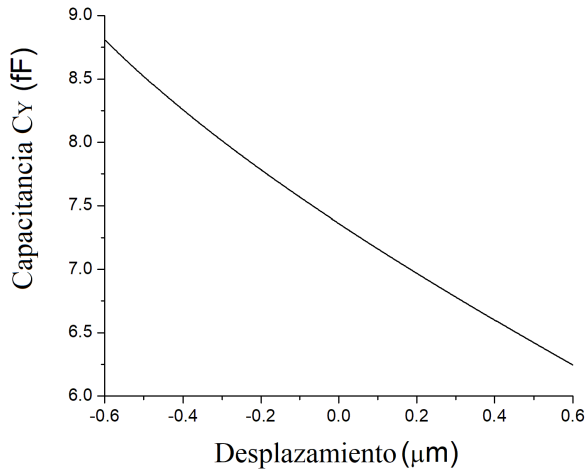


Figura 4.19: Variaciones de capacitancia de acuerdo con el desplazamiento.

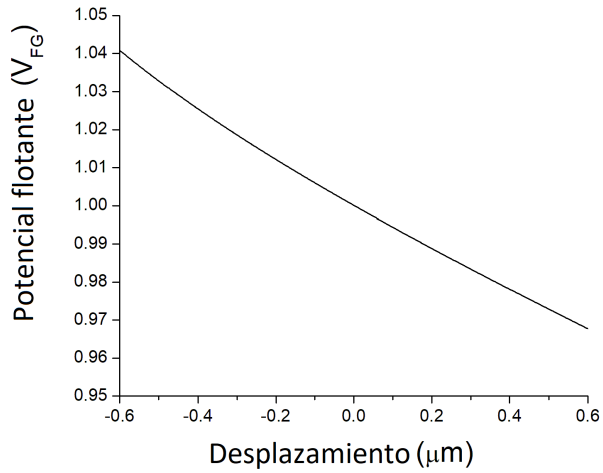


Figura 4.20: Potencial flotante de acuerdo con el desplazamiento.

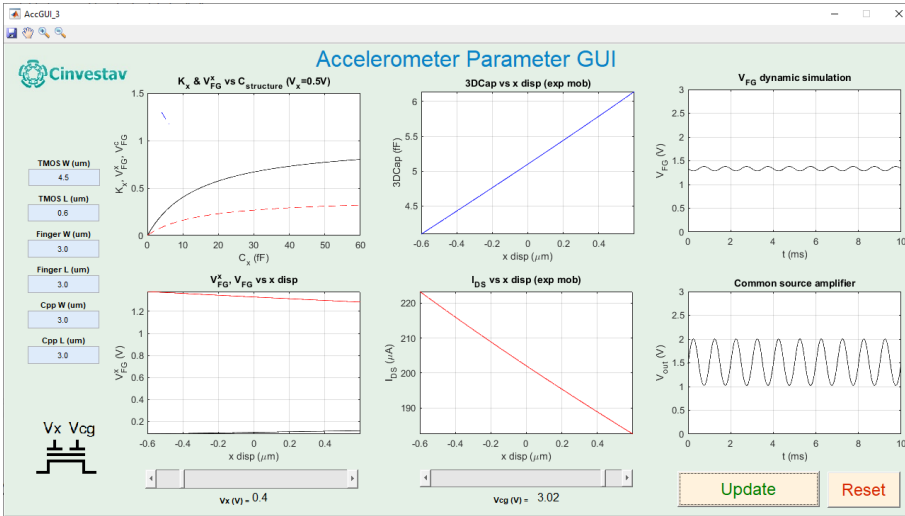


Figura 4.21: Interfaz gráfica auxiliar en la selección de parámetros.

la cual se desarrolló para este propósito específico, sin embargo, como se establece en las motivaciones de este trabajo, se pretende semi automatizar el diseño de los subsistemas más relevantes del dispositivo mediante la selección heurística de parámetros que se presentará más adelante.

Tras evaluar el potencial flotante para una lista de posibles valores de desplazamiento es posible obtener un archivo de texto enlistando los resultados y que a su vez puede servir como fuente programada de voltaje para realizar simulaciones en un entorno SPICE. La Figura 4.22 muestra una nueva configuración experimental de simulación con la selección de parámetros de polarización previamente descritos, mientras que la Figura 4.23 muestra el potencial  $V_{DS}$  en términos de los posibles valores que puede adoptar el potencial flotante a su vez en función de los desplazamientos dentro de un rango predeterminado. Esto constituye al voltaje  $V_{DS}$  como la señal de salida de la primera etapa de acondicionamiento.

La característica de la Figura 4.23 aparenta ser ligeramente menos

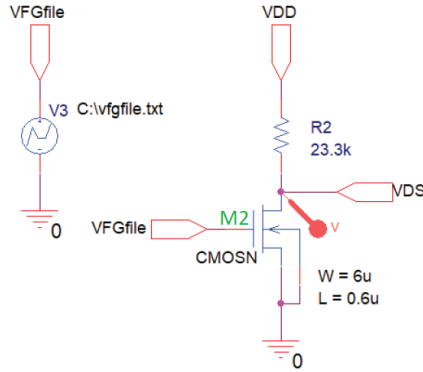


Figura 4.22: Esquemático de simulación con entrada no lineal previamente computada.

lineal que sus predecesoras, sin embargo, esto puede ser atribuido a la alta ganancia de esta primera etapa. Como puede ser extraído de los datos de simulación, las variaciones en el potencial flotante (las cuales no son perfectamente simétricas) abarcan, por ejemplo, aproximadamente 30 mV alrededor del punto de operación estacionario de 1 V, mientras que el voltaje  $V_{DS}$  se ve desplazado hasta en 300mV alrededor de su propio punto central de operación también de 1 V cuando se presenta el máximo desplazamiento ( $\Delta t_{ay} \approx 0.6 \mu\text{m}$ ).

Resumiendo para la primera etapa del sistema de acondicionamiento de señal, a partir de conocer las especificaciones de desplazamiento de la masa sísmica, los voltajes de alimentación y los modelos simplificados del divisor de tensión capacitivo, se puede determinar el potencial flotante. Además, se asume que la carga atrapada en la terminal flotante es cero y por tanto no hay corrimiento del voltaje de umbral del dispositivo, lo que lleva a un manejo tradicional de la corriente de drenador del FGMOS y del voltaje en el nodo de drenador que, acorde con un resistor en serie para ajustar el punto de operación, constituye una señal eléctrica de mayor amplitud y con la linealidad suficiente para representar una proporcionalidad respecto a la aceleración medida.

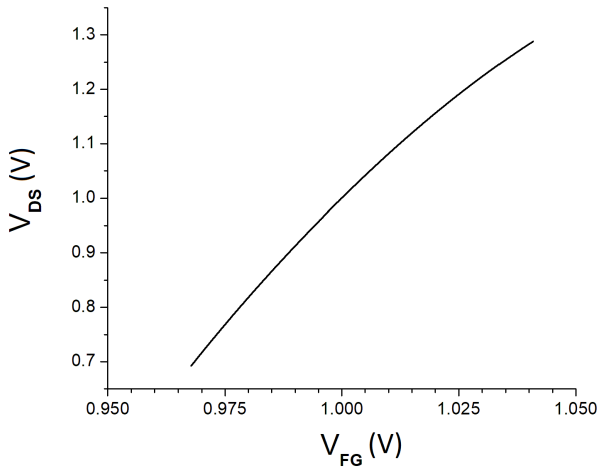


Figura 4.23: Voltaje drenador-fuente como salida en función del potencial flotante.

La segunda etapa consiste en un amplificador en modo de fuente común, el cual está conformado por cuatro transistores MOS convencionales. Esta estructura fue seleccionada por encima de los amplificadores diferenciales y en cascada dada su simplicidad y amplia región de amplificación lineal, la cual se obtiene mediante el ajuste de un par de parámetros y tensiones de polarización en los transistores. El diseño esquemático para la simulación eléctrica (Figura 4.24) incluye una nueva fuente de voltaje controlada por un archivo de texto externo, en esta ocasión, correspondiente con los datos obtenidos de una previa simulación de la salida de la primera etapa ( $V_{DS}$ ).

Las dimensiones  $W$  y  $L$  para ambos transistores PMOS (M5 y M6 en la Figura 4.24) y el transistor NMOS de salida (M3) fueron inicialmente propuestas de manera arbitraria de manera que los parámetros del transistor NMOS en el sector inferior izquierdo (en modo diodo) fueron ajustados específicamente para atraer a la transición lineal de la curva de salida hacia la región de 1 V, misma que corresponde con la salida en

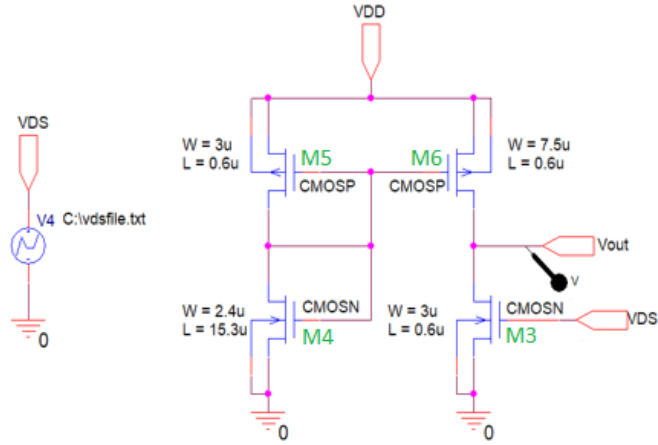


Figura 4.24: Configuración de simulación para la segunda etapa.

estado estacionario de la etapa previa. Finalmente las dimensiones del transistor PMOS de salida (M6) se ajustaron de manera iterativa para asegurar una mayor región lineal buscando obtener una alta ganancia como parámetro general de desempeño.

La característica mostrada en la Figura 4.25 es la salida de la segunda etapa correspondiente a un barrido completo de la señal de entrada a lo largo del voltaje de alimentación elegido (3.3V de acuerdo con la tensión estándar de múltiples celdas de litio-polímero, comúnmente utilizadas para alimentar sistemas embebidos). Las señales de la primera etapa están diseñadas para oscilar alrededor de un valor central de 1 V a la vez que se mantienen dentro del rango que admite la región lineal de la segunda etapa, misma donde el dispositivo de fuente común se comporta de manera similar a un amplificador inversor.

Conjuntando ambas etapas como un único sistema, se puede establecer que el flujo de las señales comprende un conjunto de transformaciones, también llamadas transducciones, tal como sigue: aceleración  $\rightarrow$  desplazamiento  $\rightarrow$  capacitancia  $C_Y \rightarrow$  corriente  $I_D$  en el FGMOS

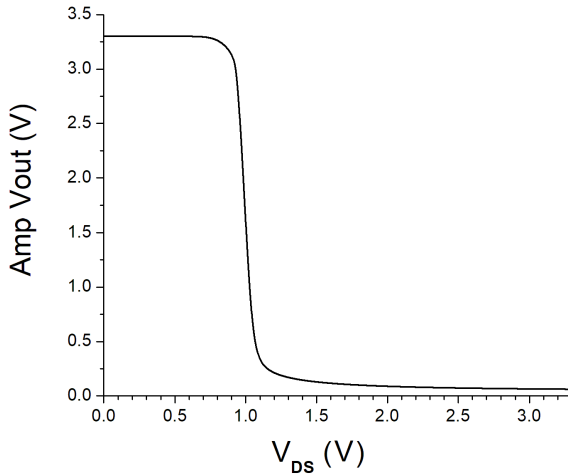


Figura 4.25: Simulación de la característica del amplificador de fuente común.

→ voltaje  $V_{DS}$  en el FGMOS → voltaje de salida  $V_{out}$  amplificado. Este proceso se puede apreciar en las figuras 4.26 y 4.27, siendo esta última la curva característica del sistema y en donde se puede estimar que para una aceleración de 1 g (gravitacional), la cual corresponde a un desplazamiento aproximado de 75 nm en el eje y, la salida de voltaje es de aproximadamente 0.8 V por encima del punto de aceleración cero que se corresponde con aproximadamente 1.6 V. La corriente de drenador simulada en los transistores M4 y M5 se encuentra en el orden de los 10  $\mu A$ , valor bastante común dado el tamaño de los mencionados dispositivos, sin embargo susceptible de mejora en el apartado de ahorro de energía.

### 4.3.2 Validación eléctrica

Dado que el proceso CMOS convencional de 0.5  $\mu m$  es en sentido estricto, no compatible con la tecnología MEMS y por lo tanto no se encuentra preparado para ser sometido a post-procesos de ataque químico,

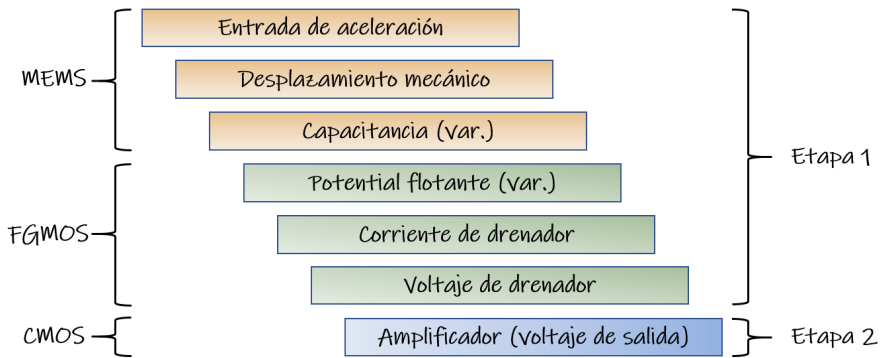


Figura 4.26: Flujo de señales.

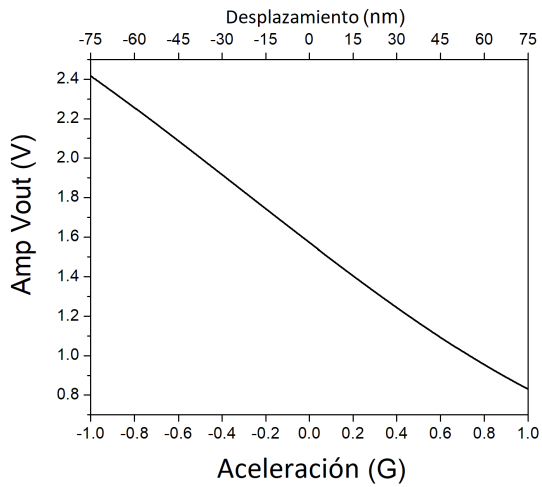


Figura 4.27: Característica voltaje vs aceleración.

surgen una serie de inconvenientes relacionados con la integridad de las capas metálicas. Esta condición vuelve a la tecnología CMOS-MEMS en objeto de estudio, sobre el cual proponer estrategias de optimización de las dimensiones, capas y propiedades de las estructuras micro-mecánicas necesarias para la implementación de sensores inerciales. Por otra parte, el amplificador de fuente común que constituye a la segunda etapa del proceso de acondicionamiento es en toda regla un dispositivo CMOS de alta escala de integración y en este caso particular fue diseñado e interconectado de manera que es posible caracterizarlo de manera independiente al resto de los dispositivos a través de pads externos.

El layout de la Figura 4.28 incluye a ambos; el FGMOS y el amplificador de fuente común. La primera etapa se muestra en el margen izquierdo, sobresaliendo el capacitor poly-a-poly que forma la parte superior del divisor de tensión capacitivo, además, en el margen superior izquierdo, por encima del anillo de guarda, se puede ver la conexión que se extiende para enlazar la estructura MEMS móvil con la compuerta flotante.

Para la segunda etapa, en la parte central de la Figura 4.28 se aprecian los transistores canal P que constituyen la parte superior del amplificador, conectados tal como se estableció en la Figura 4.24. Por otra parte, para alcanzar el voltaje de polarización adecuado, el transistor canal N que se configuró en modo diodo cuenta con una longitud de canal L extensa, lo cual por cuestiones de espacio se diseña en forma de serpentín, formando pliegues alrededor de la compuerta, lo cual es equivalente a contar con 4 transistores de menor longitud conectados en serie. Los detalles del diseño CAD utilizado para general el layout específico del circuito integrado se discuten en secciones posteriores.

Una medición de la celda ya fabricada se muestra en la Figura 4.29 en contraste con la característica simulada para el amplificador planteado.



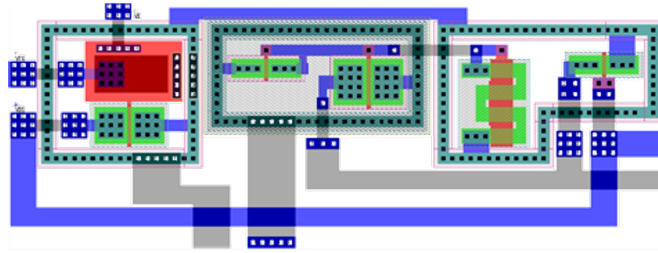


Figura 4.28: Layout del FGMOS y el amplificador de fuente común.

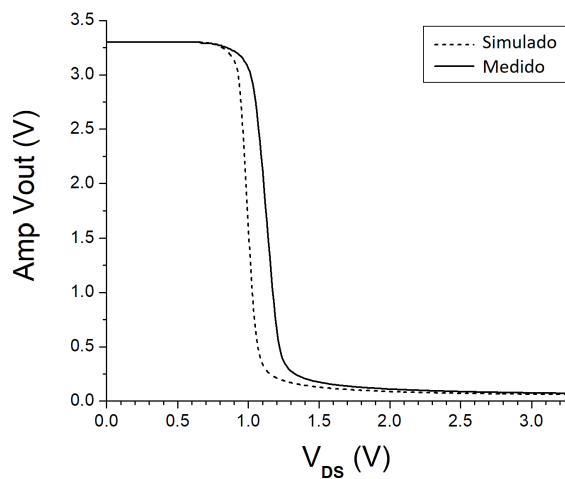


Figura 4.29: Características de simulación y medición.

Con base en los resultados es justo decir que el comportamiento de la región lineal se aproxima bastante al esperado. Si bien se presenta un corrimiento de aproximadamente 150mV en el eje horizontal, éste puede ser corregido a través de modificar el potencial que se aplica sobre la compuerta de control, siendo que ésta fue incluida para dicho propósito.

Como se ha mencionado, una de las ventajas de aprovechar la tecnología CMOS convencional para generar dispositivos MEMS, es justamente la integración monolítica, la cual permite tener electrónica de procesamiento confiable compartiendo sustrato con las estructuras micro-

electromecánicas, asegurando una reducción de costos de producción y facilitando la integración con otros dispositivos de naturaleza similar.

## 4.4 CAD y layout

El proceso de diseño asistido por computadora (CAD) que se lleva a cabo para la fabricación microelectrónica, permite plasmar en archivo digital la arquitectura de un dispositivo electrónico en términos de su geometría, es decir, se establecen las dimensiones, proporciones y posiciones de los distintos materiales a fin de que la interfaz superficial y cada cuerpo volumétrico cumplan con un propósito físico específico. A este proceso también se le conoce como diseño topológico.

El *layout* es la representación gráfica de esta topología, generalmente desde una perspectiva superior y permitiendo visualizar una o más capas materiales a la vez. En el layout cada uno de los materiales suele representarse con un color o textura diferente, sin embargo, esto tiene únicamente una finalidad gráfica, las propiedades de cada uno de los materiales las define el proceso de fabricación, dichas propiedades comprenden, más no se limitan, al espesor y a la resistividad o resistencia de hoja.

Cuando se esquematiza un dispositivo por medio del layout, es necesario ejecutar un chequeo de la reglas de diseño (DRC), esto permite verificar la factibilidad de la estructura en términos de la resolución y materiales con los que cuenta la tecnología seleccionada lo largo del proceso fotolitográfico de fabricación planar. En general el DRC verifica la superposición de materiales, los márgenes que se deben respetar para evitar deformaciones significativas y las distancias mínimas de separación que debe haber entre dos líneas o bloques de material adyacentes para que no estén eléctricamente conectados.

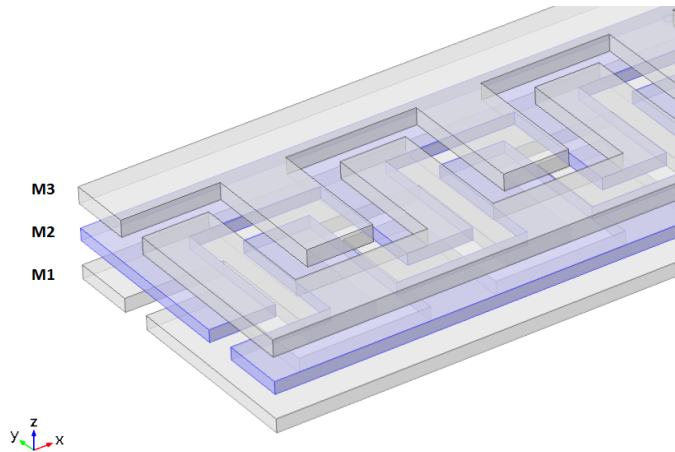


Figura 4.30: Capas de la estructura capacitiva variable.

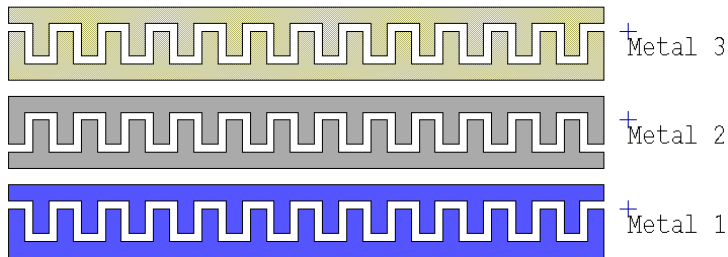


Figura 4.31: Layout de cada una de las capas metálicas en la estructura capacitiva.

La Figura 4.30 muestra el concepto de capacitor tridimensional, sin embargo a diferencia de la Figura 4.7 que separa las dos diferentes terminales eléctricas, en esta imagen se destacan las tres diferentes capas metálicas, las cuales cuentan con un diseño interdigitado a lo largo del eje x y un esquema de posiciones alternadas a lo largo del eje z. Esto se representa a través de las tres diferentes capas en la Figura 4.31, en la cual los colores son originales de la tecnología de  $0.5\mu\text{m}$  ( $\lambda = 0.3\mu\text{m}$ ) a través de la suite L-Edit versión 13.0 del editor Tanner.

En cuanto a las etapas de procesamiento CMOS, éstas permiten medir

y reinterpretar las variaciones de capacitancia en la estructura anterior. Entre ellas destaca el transistor MOS de compuerta flotante (FGMOS) de la Figura 4.32. Para obtener una terminal flotante es requerido formar un divisor de tensión capacitivo, en el cual es común encontrar que el capacitor inferior está conformado por la compuerta del transistor, mientras que el capacitor superior se forma con ambas capas de polisilicio, sin embargo, la región de compuerta es una cinta estrecha de Poly 1 que por reglas de diseño no admite colocar una segunda capa de Poly por encima, es por esto que la terminal de compuerta se extiende más allá de las regiones activas y se diseña como un cuadrilátero con las dimensiones suficientes para posicionar un segundo rectángulo de Poly 2 por encima, respetando ciertos márgenes de traslape mínimos.

Mientras que la capa de Poly 2 tiene conexión con el exterior, lo cual permite fijar un potencial en la denominada compuerta de control, la capa de Poly 1 solo es conectada a la parte fija de la estructura capacitiva, aislada eléctricamente del resto de dispositivos y que se acopla capacitivamente con la masa móvil. En esta figura también destaca la presencia del anillo de guarda, una estructura a nivel del pozo, que actúa como un diodo de protección ante corrientes parásitas que recorren el sustrato.

A la terminal de drenador del FGMOS se conecta el amplificador de fuente común cuyas características se discutieron previamente (Fig. 4.24). El amplificador consta de cuatro transistores, uno de ellos formado a su vez por cuatro transistores en serie cuyo efecto total es el de un único dispositivo con una gran longitud de canal (Fig. 4.33). El motivo geométrico de este dispositivo se asemeja a un serpentín de región activa que cruza múltiples veces por debajo de la terminal de compuerta, esto permite ahorrar espacio y dar una relación de aspecto más compacta al transistor. Conectando la estructura capacitiva a la etapa electrónica antes mencionada, se obtiene el equivalente topológico (Fig. 4.34) del circuito mostrado previamente en la Figura 2.15.

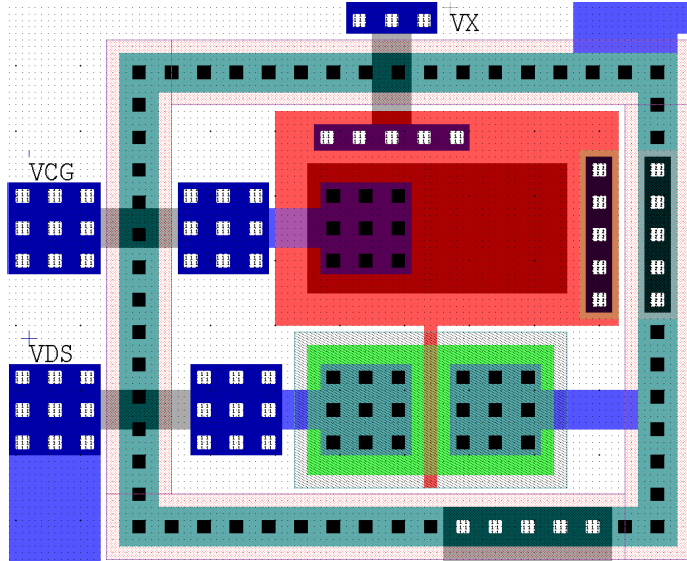


Figura 4.32: Layout del transistor de compuera flotante.

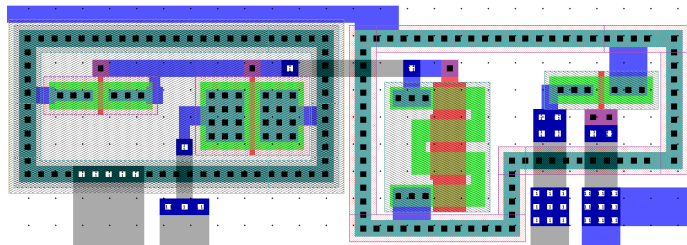


Figura 4.33: Layout del amplificador de fuente común.

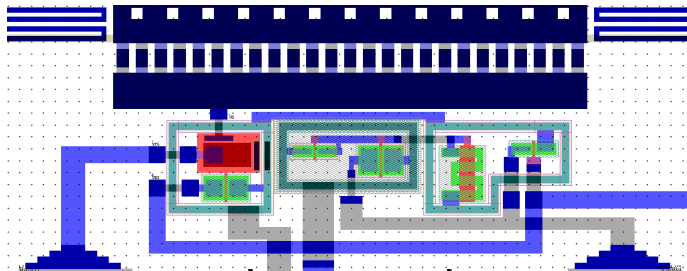


Figura 4.34: Layout de la región que incluye al FG-MOS, el amplificador y la estructura capacitiva.

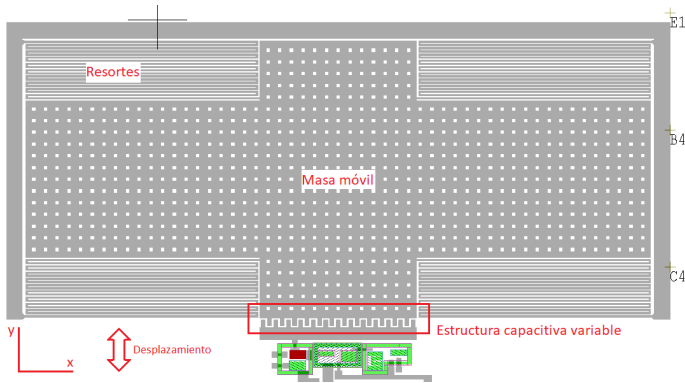


Figura 4.35: Layout del acelerómetro principal.

En términos eléctricos y para fines de este trabajo, se habla del acelerómetro como el conjunto de estructuras presentadas en la Figura 4.35. Esto comprende un marco de anclaje al sustrato, cuatro resortes metálicos, una masa sísmica en forma de cruz (lo cual permite reducir la relación de aspecto en conjunto con los resortes), una estructura capacitiva variable y la electrónica de acondicionamiento previamente descrita y mostrada en la Figura 4.33.

Si bien la estructura electromecánica del acelerómetro mostrado es de un tamaño significativamente mayor en comparación con la electrónica integrada adyacente, el conjunto no representa un gran porcentaje del área de diseño disponible para la fabricación. On Semiconductor ofrece fabricación en la tecnología de  $0.5 \mu\text{m}$  en chips cuadrados de silicio de aproximadamente 2 mm por lado, a esta superficie debe restársele un margen de aproximadamente 0.3 mm por lado, ya que es preciso añadir un anillo de pads de interconexión, también llamado padframe, el cual es una celda prediseñada, disponible en los kits de desarrollo de la tecnología. Las figuras 4.36 y 4.37 muestran respectivamente una vista completa del layout diseñado y cómo fue finalmente aprovechada el área total dentro del chip con diferentes celdas y dispositivos de prueba, la mayoría enfocados a la medición inercial.

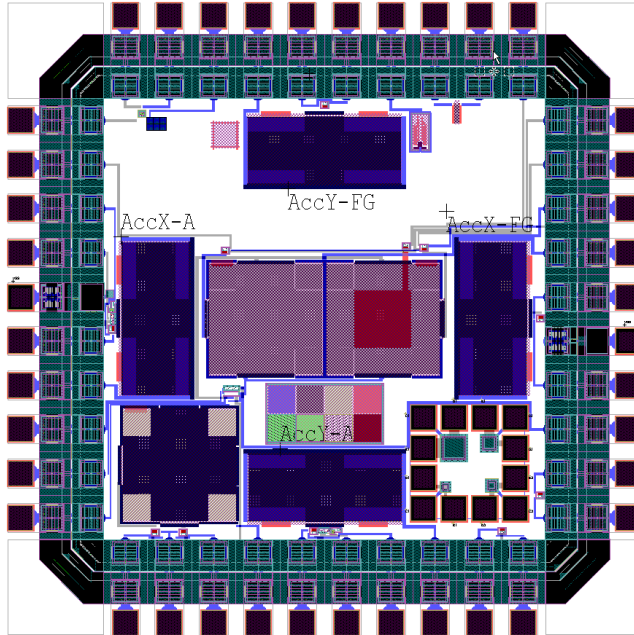


Figura 4.36: Layout del chip completo.

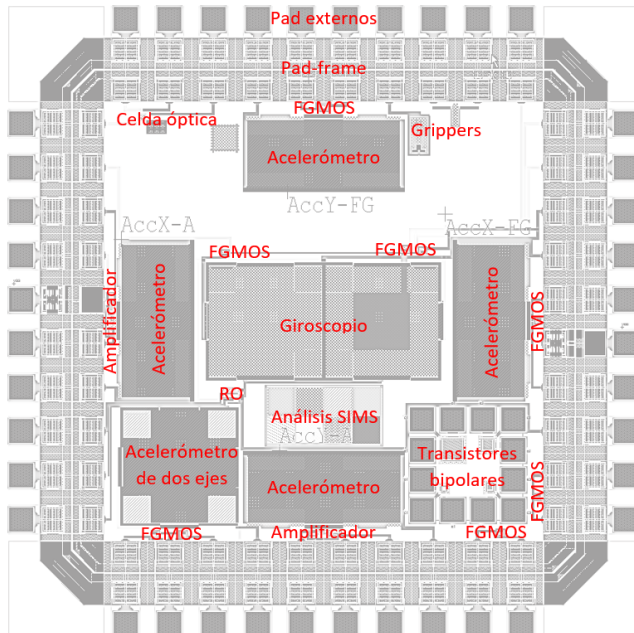


Figura 4.37: Diversas estructuras de prueba incluidas en el proyecto.

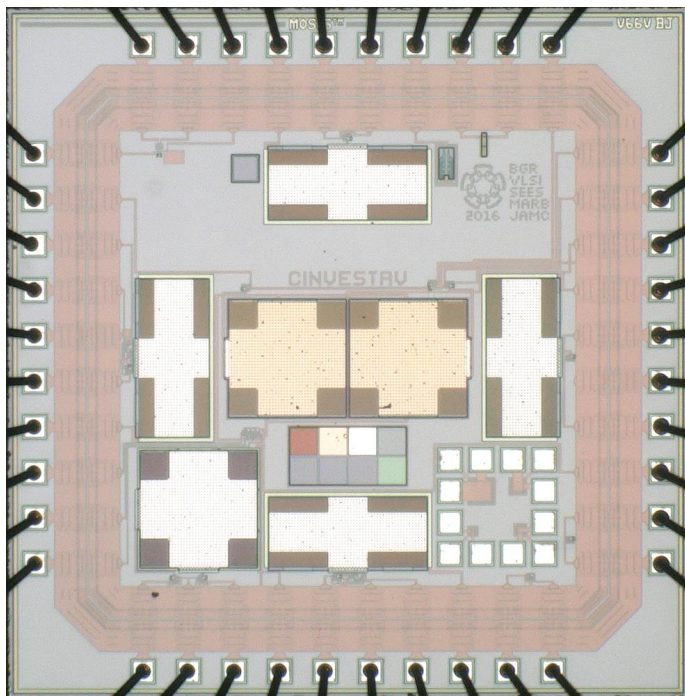


Figura 4.38: Micrografía óptica del chip fabricado.

La Figura 4.38 muestra una micrografía óptica en color real de chip fabricado. De esta toma es posible identificar el característico tono amarillo del nitruro de titanio en las superficie superior de la capa de Metal 2. Este hecho es relevante pues impone obstáculos y retos ante los métodos convencionales de maquinado superficial, requiriéndose entonces una adecuación, ya sea en los diseños mecánicos o en la selección de de-capantes y parámetros de ataque de los mismos.

Las Figura 4.39 muestra en detalle a través del microscopio óptico la superficie metálica superior en la región donde se forma el capacitor variable, así como al transistor de compuerta flotante y amplificador que acompañan al dispositivo MEMS. Por otro lado, en la Figura 4.40 se aprecian las vigas que forman un resorte con relación de aspecto 1:1 lo cual permite igual movilidad en los ejes x y y.



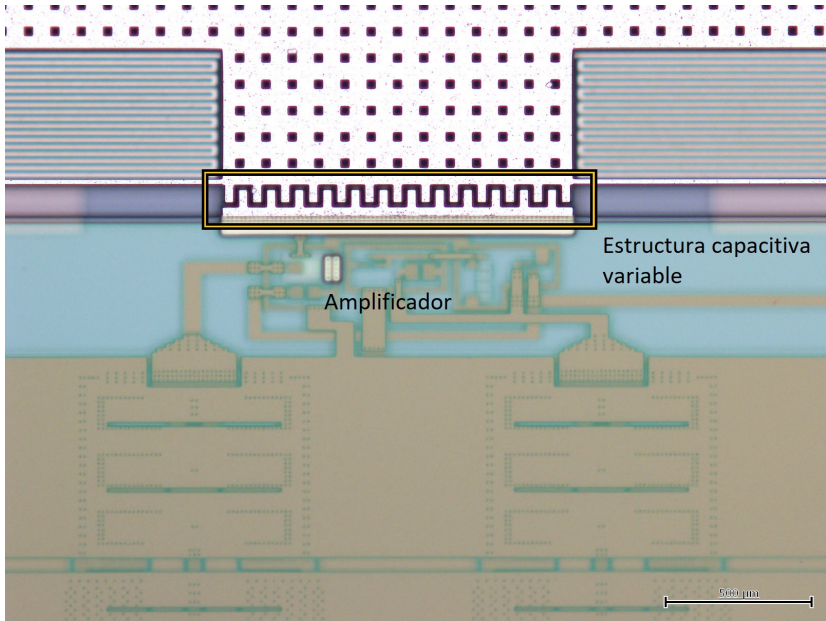


Figura 4.39: Micrografía óptica de la región que incluye al FGMOS, el amplificador y la estructura capacitiva.

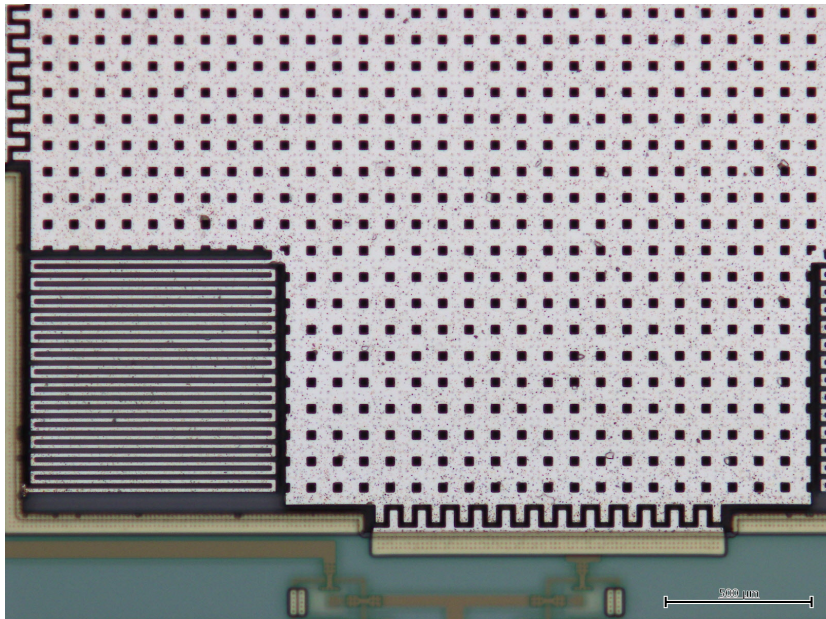


Figura 4.40: Detalle de los resortes en un acelerómetro de dos ejes.

## 4.5 Conclusiones del capítulo

Durante el presente apartado se desarrolló la metodología tradicional para diseño de dispositivos CMOS-MEMS. Al igual que en procesos de diseño electrónico o mecánico similares, se parte de una serie de requerimientos y especificaciones con las que el prototipo debe cumplir para alcanzar un mínimo de estabilidad, confiabilidad y repetibilidad, procurando en todo momento un mínimo de consumo de recursos, tanto económicos como energéticos.

El proceso de diseño es iterativo e intercala una serie de instancias principalmente de validación técnica a través de software especializado para dibujo asistido por computadora (layout), simulación eléctrica y simulación física (FEA). La generación de patrones topológicos (layout) respeta en todo momento las restricciones impuestas por el proceso de fabricación, no sin dejar espacio para el desarrollo creativo de novedosas estructuras, modos de operación y bancos de prueba.

Con este repaso sobre la secuencia de diseño convencional, se establece un punto de referencia para posteriormente valorar la necesidad de ejecutar manualmente cada uno de los ajustes de parámetros, en contraste con la semi-automatización del proceso de diseño, de la cual es capaz el algoritmo genético cuando se utiliza para evaluar y optimizar las funciones representativas de cada objetivo de diseño y la relación entre ellas.

## Capítulo 5

# Diseño metaheurístico

Como se mencionó en el apartado de introducción, existe una variedad de mecanismos bio-inspirados, los cuales por medio de la emulación de procesos biológicos y naturales permiten modelar y optimizar complejos problemas de ingeniería, estos algoritmos presentan una especial compatibilidad con el diseño topológico de sistemas mecánicos o electromecánicos. Uno de los objetivos del presente trabajo es establecer criterios para aplicar algoritmos de tipo metaheurístico en la semi-automatización del diseño de sensores MEMS inerciales, en particular, los basados en el transistor MOS de compuerta flotante (FGMOS). El tipo de algoritmo seleccionado para probar un primer acercamiento a esta familia de técnicas es el denominado *algoritmo genético*, el cual emula directamente a la evolución de las especies mediante la selección y reproducción del individuo más apto al interior de una población.

A continuación se presentan dos distintas formas de abordar el diseño topológico, tanto electrónico como mecánico, de un acelerómetro MEMS mediante la implementación de un algoritmo genético. En una primera instancia, se realiza un análisis del problema de diseño buscando la optimización de únicamente uno de sus atributos, es decir, optimización

mono-objetivo, en términos puramente geométricos, los cuales pueden ser fácilmente codificables en un contexto genético. Posteriormente se realiza la extensión a un problema de optimización con dos objetivos (multi-objetivo) en el cual el resultado final corresponde al mejor compromiso entre atributos, ya que, al ser objetivos en conflicto, mejorar el desempeño de uno de ellos va en detrimento del otro.

## 5.1 Optimización mono-objetivo

Partiendo del sistema y del FGMOS mostrados en las figuras 2.15 y 4.15 estableceremos como parámetros de diseño los mostrados en la Tabla 5.1, cada uno de los cuales se relaciona con una o más magnitudes físicas que a su vez dependen de manera directa o indirecta de las dimensiones que se le da a cada uno de los dispositivos integrados, tales como capacitores o transistores. En términos del proceso de fabricación, cada uno de estos parámetros tiene límites establecidos generalmente por la resolución de la fotolitografía en la fabricación, siendo  $\lambda$  la unidad que representa a la mínima característica dimensional que puede ser representada en CAD y posteriormente fabricada en una tecnología CMOS determinada. En el caso de la tecnología C5 el valor de  $\lambda$  es de  $0.3\mu\text{m}$  y todos los elementos diseñados como parte del dispositivo tienen dimensiones que son múltiplos enteros de dicho valor.

Los algoritmos genéticos, junto con otras técnicas del cómputo evolutivo, son conocidos por su capacidad para resolver problemas lineales y no lineales que involucran un gran número de variables. Incluso en sus formas más simples, los algoritmos genéticos logran manejar problemas de optimización con cientos de parámetros variables, algunos de ellos diseñados específicamente para poner a prueba el desempeño de distintos algoritmos. En aplicaciones típicas de ingeniería, los problemas de diseño suelen comprender hasta un par de docenas de variables.

Parámetro	Nombre	Asociado con:
W	Ancho de canal FGMOS	$C_{ox}, g_m$
L	Largo de canal FGMOS	$C_{ox}, g_m$
$W_{FG}$	Ancho Poly 1 compuerta flotante	$K_{CG}, V_{FG}$
$L_{FG}$	Largo Poly 1 compuerta flotante	$K_{CG}, V_{FG}$
$W_{pp}$	Ancho Poly 2 compuerta de control	$K_{CG}, V_{FG}$
$L_{pp}$	Largo Poly 2 compuerta de control	$K_{CG}, V_{FG}$
$C_Y$	Capacitancia estructura MEMS	$\Delta y, K_{CG}, V_{FG}$

Tabla 5.1: Parámetros de diseño

En el contexto de los algoritmos genéticos, cada variable de diseño se corresponde conceptualmente con un *gen* (la unidad de información genética), por tanto, el conjunto de variables de un problema determinado constituye al  *cromosoma*, el cual describe genéticamente a un individuo de la población mediante una codificación discreta. Cada individuo, según su propia información genética, observa un desempeño particular respecto al objetivo planteado como problema de diseño. Como es esperado, tras una serie de iteraciones, en cada una de las cuales se selecciona a los individuos con mayor aptitud para formar a la siguiente generación, la información genética de la población se adapta mejorando tanto como sea posible la aptitud. La implementación de este tipo de algoritmo comprende, mas no se limita a las siguientes consideraciones y características:

1. Un método de representación: un mecanismo para codificar y decodificar al conjunto de variables numéricas y producir un arreglo de datos, usualmente una única cadena binaria (Fig. 5.1).
2. Un método de selección: una estrategia para tomar en cuenta a uno o más de los individuos (soluciones) de entre todos los posibles (la población) y asignar privilegios o penalizaciones de acuerdo a su aptitud.

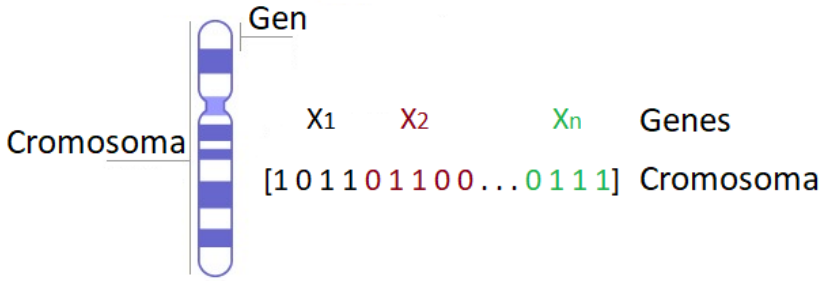


Figura 5.1: Interpretación del gen y el cromosoma.

3. El modelado de la cruce de dos o más individuos: el procedimiento para combinar las propiedades de dos o más individuos a manera de interpolación. Una alta tasa de cruce genética, controlada por una probabilidad de cruce  $P_C \geq 0.5$ , es deseable.
4. El modelado de la mutación: efectuar cambios aleatorios en el valor numérico de un gen de alguno de los individuos. Una baja tasa de mutación con una probabilidad  $P_M \leq 0.1$  es deseable para propiciar la diversidad y evitar caer en óptimos locales del espacio de búsqueda, sin alterar la tendencia general de la convergencia.
5. El modelado del elitismo: un mecanismo para asegurar la supervivencia de los mejores individuos de una generación dada e incluirlos como miembros activos de la siguiente.

Trabajos, tales como (Darnoby et al. 2008), (Kryvy et al. 2009) y (Melnik et al. 2013) han explorado con anterioridad la inclusión y aprovechamiento de este tipo de algoritmos evolutivos en un contexto de microsistemas. En esa misma dirección, el presente trabajo aborda como base el algoritmo genético original, propuesto por Holland en 1975 (Holland 1975). El pseudo-código, que se muestra a continuación, resume los procesos que atraviesa una población  $P$  a través de las generaciones en un problema mono-objetivo.

```

t ← 0;
initialize (P(t = 0));
evaluate(P(t = 0));
while is NotTerminated()
do {
    Pp(t) ← P(t).selectParents();
    Pc(t) ← reproduction(Pp);
    mutate(Pc(t));
    evaluate(Pc(t));
    P(t + 1) ← buildNextGenerationFrom(Pc(t),P(t));
    t ← t + 1;
end

```

Durante la ejecución de este algoritmo se presta especial atención a los valores de aptitud que se registran para cada individuo, de manera que mecanismos como el elitismo puedan tomar efecto. El valor de aptitud de cada individuo se obtiene al evaluar la denominada función objetivo, la cual es una función matemática cuidadosamente diseñada para representar el desempeño del individuo frente a los objetivos de optimización.

Retomando el modelo de la expresión 2.28, el cual describe la sensibilidad del dispositivo, es decir, la razón de cambio de la corriente de drenador en función del cambio de capacitancia de la estructura MEMS, podemos analizar el desempeño para un universo de soluciones que comprende las variables anteriormente presentadas, así como los voltajes de alimentación, codificados en cadenas binarias tal como se muestra en la Tabla 5.2. Para fines de aplicar el algoritmo cada una de las variables se concatena en una única cadena binaria con 48 bits de longitud, la cual codifica un espacio de búsqueda con aproximadamente 24 billones de soluciones. En la Tabla 5.2, el parámetro  $m$  representa el múltiplo de la resolución  $\lambda$  para una longitud o ancho determinado en la geometría de un dispositivo, además, representa cuántas veces se multiplica el valor de 0.1 V para las tensiones de alimentación. Cada variable se representa después en código Gray, lo cual permite tener la mínima distancia de Hamming entre dos valores binarios para sus respectivos valores decimales consecutivos. Dada la magnitud del espacio de búsqueda, no

resulta conveniente aplicar métodos de búsqueda directa, debido al elevado tiempo de cómputo necesario, en cambio es pertinente aplicar una estrategia heurística que cubra simultáneamente todas las regiones de búsqueda y permita hallar rápidamente tendencias de optimización.

Variable	min	max	codec	longitud
W	10	50	$(m - 10) \longleftrightarrow \text{gray}$	6 bits
L	2	10	$(m - 2) \longleftrightarrow \text{gray}$	4 bits
$W_{FG}$	10	40	$(m - 10) \longleftrightarrow \text{gray}$	5 bits
$L_{FG}$	10	40	$(m - 10) \longleftrightarrow \text{gray}$	5 bits
$W_{CG}$	6	30	$(m - 6) \longleftrightarrow \text{gray}$	5 bits
$L_{CG}$	6	30	$(m - 6) \longleftrightarrow \text{gray}$	5 bits
$V_Y$	0.01	3.30	$(m - 1) \longleftrightarrow \text{gray}$	9 bits
$V_{CG}$	0.01	3.30	$(m - 1) \longleftrightarrow \text{gray}$	9 bits

Tabla 5.2: Codificación de variables (optimización mono-objetivo).

El algoritmo genético implementado en esta etapa fue probado en ciclos de 1000 generaciones, cada uno de ellos con poblaciones de entre 100 y 200 individuos, con probabilidades de cruce de 0.6, 0.7 y 0.8, así como probabilidades de mutación de 0.01, 0.05 y 0.1. Tal como es esperado, altas tasas de mutación y poblaciones mayores mantienen la aptitud media en niveles bajos. En términos del algoritmo genético, el procedimiento incluyó cruce de un punto, pena de muerte (con aptitud = 10) para individuos no factibles (no fabricables) y elitismo del individuo más apto para la siguiente generación. Las tres ejecuciones con la mayor evaluación de aptitud para la función objetivo se muestran en las figuras 5.2, 5.3 y 5.4, donde la aptitud media se presenta con línea punteada y la aptitud del individuo más apto con línea sólida.

Como resultado de las iteraciones presentadas se obtiene un transistor de compuerta flotante cuya corriente de drenador  $I_D$  se encuentra en el orden de los  $200\mu A$ , adecuado para integrarse con el amplificador previamente propuesto. La Tabla 5.3 muestra la configuración que obtuvo el



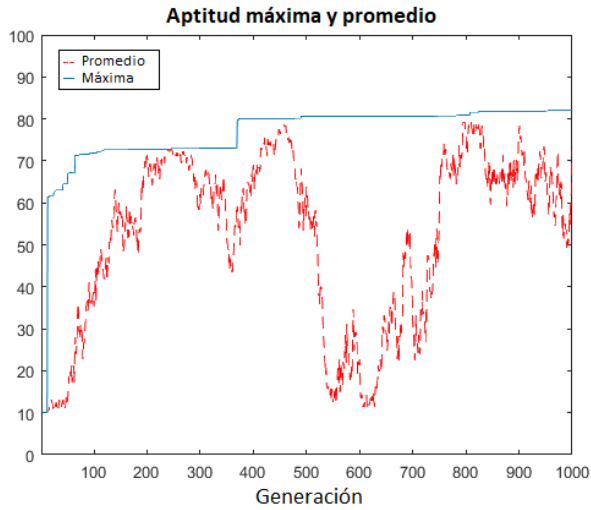


Figura 5.2: Población: 100,  $P_C$ : 0.7,  $P_M$ : 0.01, aptitud máxima: 82.22, aptitud media con grandes variaciones a través de las generaciones.

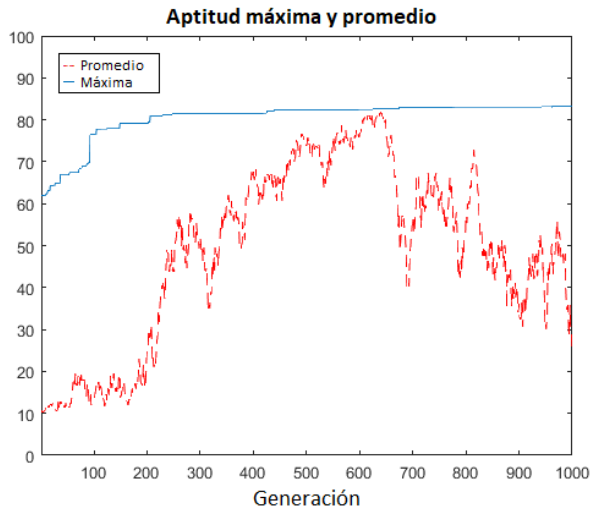


Figura 5.3: Población: 200,  $P_C$ : 0.7,  $P_M$ : 0.01, aptitud máxima: 83.19, la aptitud media se establece en un rango medio indicando mayor diversidad entre los individuos de la población.

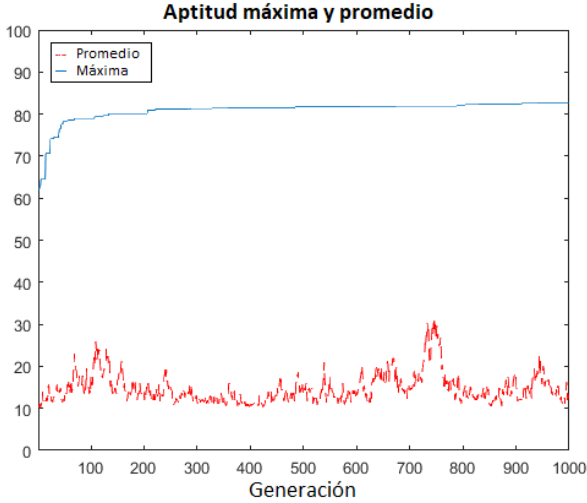


Figura 5.4: Población: 200,  $P_C$ : 0.8,  $P_M$ : 0.05, aptitud máxima: 82.71. Con tasas altas de mutación aparecen problemas de convergencia rápida, aún cuando la aptitud media permanece baja, esto resulta crítico cuando se tiene un espacio de búsqueda con múltiples óptimos locales.

mayor desempeño en la función objetivo, es decir, la mayor sensibilidad dentro de los parámetros geométricos establecidos.

En este punto, dado que un par de los valores computados tomaron valores extremos en su rango, es conveniente revisar la pertinencia de incluirlos en el modelo, siendo que su contribución no afecta al desempeño global. Por otra parte, en general el resultado permite identificar a los algoritmos genéticos como una alternativa viable al diseño CMOS-MEMS convencional, logrando obtener una solución (un conjunto de parámetros topológicos) de manera automatizada.

## 5.2 Optimización multi-objetivo

Retomando lo dispuesto en la sección 2.6 y en particular en las expresiones 2.28 y 2.29 se propone optimizar simultáneamente dos atributos

<b>Variable</b>	<b>min</b>	<b>max</b>	<b>computado</b>	<b>unidades</b>
W	3	15	12	$\mu\text{m}$
L	0.6	3	0.6	$\mu\text{m}$
$W_{FG}$	3	12	9.9	$\mu\text{m}$
$L_{FG}$	3	12	6.9	$\mu\text{m}$
$W_{CG}$	1.8	9	5.4	$\mu\text{m}$
$L_{CG}$	1.8	9	2.4	$\mu\text{m}$
$V_Y$	0.01	3.3	3.3	V
$V_{CG}$	0.01	3.3	3.3	V

Tabla 5.3: Parámetros computados (resultado final).

del diseño del micro-sensor inercial. Dado que el primero de ellos, la sensibilidad, es proporcional a los valores de capacitancia y esta última crece con el área, los objetivos de maximizar la sensibilidad y minimizar el área de diseño se encuentran en conflicto.

### 5.2.1 Codificación de variables

En este caso de estudio, se caracteriza al problema como uno de 2 objetivos y 11 variables. De la experiencia adquirida en el caso mono-objetivo se omiten las variables correspondientes a las tensiones de alimentación y en cambio se extiende el problema de diseño a las variables que involucran la geometría del capacitor tridimensional discutido en la sección 4.2 y descrito en la expresión 4.7. Cada una de las 11 variables representa uno de los parámetros geométricos ya sea del transistor FG-MOS o de la estructura MEMS de capacitancia variable. Además, cada una está codificada en una manera conveniente para que los operadores metaheurísticos del algoritmo genético, tales como la cruce y la mutación puedan ejecutarse efectivamente. La codificación seleccionada para el algoritmo es de nueva cuenta el código Gray binario, por su inherente disminución en la distancia de Hamming para elementos consecutivos de una variable discreta (Bykov et al. 2017). Adicionalmente, la naturaleza

discreta de los procesos de layout y micro-fabricación de la tecnología CMOS permite describir cualquier magnitud como múltiplos de  $\lambda$ , nuevamente  $0.3\mu\text{m}$  para el presente caso. Por ejemplo, para la capa de Metal 1, la mínima línea metálica que se puede trazar por reglas de diseño tiene una anchura de  $3\lambda = 0.9\mu\text{m}$ , éste puede considerarse el punto de inicio de los múltiplos y se asigna con un cero Gray, por otra parte, una placa o línea de mayor grosor como lo serían  $9\mu\text{m}$  está  $8.1\mu\text{m}$  por encima del valor inicial, es decir, es  $27\lambda$  mayor y será necesaria una cadena de 5-bits binarios para representar dicha variable donde  $00000_G$  es igual a  $0.9\mu\text{m}$ ,  $00001_G$  es  $1.2\mu\text{m}$  y así sucesivamente hasta llegar a por lo menos  $10110_G = 11011_b$  que representa a  $9\mu\text{m}$  de grosor. La Tabla 5.4, en completo acuerdo con lo mostrado en la Figura 2.18, resume la colección de variables para el problema multi-objetivo con sus respectivas longitudes de cadena binaria y límites del espacio de búsqueda.

Las cadenas binarias que corresponden a cada variable nuevamente se concatenan en una única cadena conocida como cromosoma, la cual en este caso tiene una longitud de 49 bits, representando así toda la información genética de un individuo y por lo tanto permitiendo calcular su aptitud. Tras una serie de iteraciones, al decodificar la cadena binaria del individuo dominante permite hallar los valores numéricos de cada variable y así evaluar la funciones objetivo, que llevan a las especificaciones finales de sensibilidad y área de diseño. Cabe señalar que dentro de todas las combinaciones posibles de 49 bits, existen cromosomas que codifican a individuos que por una razón u otra no cumplen con los criterios que delimitan al espacio de búsqueda, es decir, son individuos no factibles en términos de micro-fabricación o remiten a valores de diseño que, el ingeniero a cargo considera fuera de rangos típicos. Estos elementos de la población son filtrados fuera del algoritmo mediante mecanismos de manejo de restricciones, evitando que el algoritmo evolucione en la dirección que ellos representan.

Variable	rango	min	max	long (bits)
W	$10 - 30\lambda$	$3 \mu\text{m}$	$9 \mu\text{m}$	5
L	$2 - 10\lambda$	$0.6 \mu\text{m}$	$3 \mu\text{m}$	4
$W_{FG}$	$10 - 30\lambda$	$3 \mu\text{m}$	$9 \mu\text{m}$	5
$L_{FG}$	$10 - 30\lambda$	$3 \mu\text{m}$	$9 \mu\text{m}$	5
$W_{CG}$	$5 - 25\lambda$	$1.5 \mu\text{m}$	$7.5 \mu\text{m}$	5
$L_{CG}$	$5 - 25\lambda$	$1.5 \mu\text{m}$	$7.5 \mu\text{m}$	5
n	5 - 25	5 dedos	25 dedos	5
$W_F$	$5 - 20\lambda$	$1.5 \mu\text{m}$	$6 \mu\text{m}$	4
$L_F$	$5 - 30\lambda$	$1.5 \mu\text{m}$	$9 \mu\text{m}$	5
$d_{tip}$	$3 - 10\lambda$	$0.9 \mu\text{m}$	$3 \mu\text{m}$	3
$d_{fin}$	$3 - 10\lambda$	$0.9 \mu\text{m}$	$3 \mu\text{m}$	3
Longitud total de cromosoma				49

Tabla 5.4: Rango y codificación de variables (optimización multi-objetivo).

## 5.2.2 Metaheurística bio-inspirada

Definimos el espacio de búsqueda del algoritmo como todos los posibles puntos dentro de las fronteras de restricción del espacio de Pareto. Dichas restricciones se implementan en acuerdo con las reglas de diseño, las limitantes de fabricación y cualquier otro factor impráctico, por ejemplo, evitar que el área de Poly 2 de la compuerta de control en el FGMOS sea mayor que la subyacente placa flotante de Poly 1.

Tras evaluar una gran cantidad de veces las funciones objetivo con los valores 11-dimensionales de cromosoma generados aleatoriamente dentro de las restricciones, se obtiene una aproximación a la forma y dimensiones del espacio de búsqueda, Figura 5.5. Este conjunto de datos es escalado de manera preliminar a manera de normalización para desechar tantos decimales como sea posible en los valores de sensibilidad y área de diseño, que por su naturaleza son valores relativamente pequeños.

Como se describió antes, no es posible obtener valores óptimos para dos o más funciones objetivo en conflicto simultáneamente, al imple-

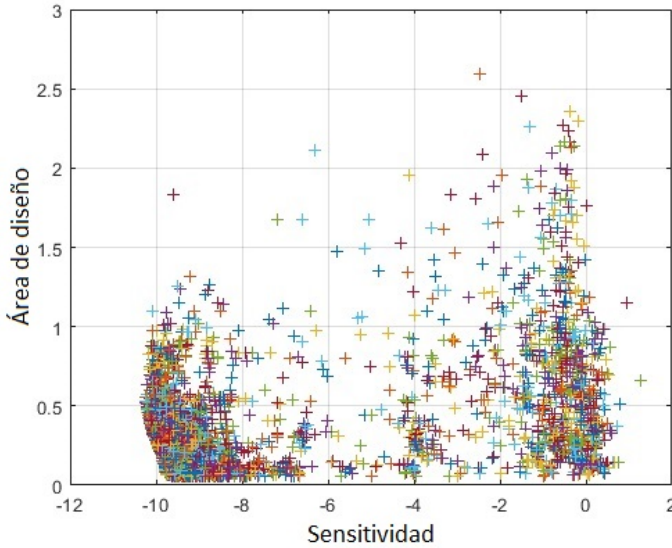


Figura 5.5: Aproximación al espacio de búsqueda.

mentar la *optimalidad de Pareto* el objetivo es encontrar el mejor compromiso entre ambas premisas, es decir, el punto más cercano en el Frente de Pareto a la solución ideal. Cuando se usa este tipo de estrategia es conveniente minimizar ambas funciones, entonces, todas aquellas funciones objetivo que originalmente se desea maximizar, como lo es la sensibilidad, se invierten para ahora buscar el mínimo. Dados los conceptos y espacio de búsqueda de las figuras 1.13 y 5.5, encontraremos nuestras soluciones óptimas en el extremo inferior izquierdo también conocido como rodilla.

La Figura 5.6 resume el flujo de datos y características clave del algoritmo implementado. La mayoría de los bloques en el diagrama son comunes entre los diversos algoritmos metaheurísticos bio-inspirados, especialmente entre los basados en la genética y la evolución de poblaciones. Estos algoritmos utilizan la llamada *población secundaria*, la cual es un archivo repositorio utilizado para almacenar y actualizar las soluciones no dominadas de cada generación. Tras una determinada

cantidad de iteraciones, la población secundaria constituirá el Frente de Pareto efectivo, es decir será en su totalidad una población de individuos no dominados.

Si bien algunos de ellos ocurren en más de una situación o contexto, existen tres procesos principales a lo largo del algoritmo:

## **Proceso 1: Creación de individuos**

Como se muestra en la Figura 5.7, en la presente implementación, todos los nuevos individuos vienen de una de dos posibles fuentes y para ser incluido en la población deben superar una revisión de restricciones que aseguren que el individuo pertenece a la región factible del espacio de búsqueda. La primera fuente de nuevos individuos se usa únicamente para la primera generación, es decir, para la población inicial, dicho grupo consiste en individuos generados aleatoriamente con probabilidad uniforme. Para la segunda generación y en adelante, los individuos se crean a partir de un subconjunto de individuos exitosos (aptos) de la generación anterior, a esos individuos generadores de nuevos individuos (padres) se les caracteriza por ser del conjunto no dominado del Frente de Pareto.

Un nuevo individuo se obtiene mediante la selección y cruce de dos individuos no dominados de la generación previa, además se pueden aplicar técnicas de mutación (alternando de manera aleatoria el valor binario de un dígito del cromosoma). Ambas operaciones, cruce y mutación, controlan la diversidad de la población y se ajustan mediante una probabilidades de ocurrencia, típicamente mayores al 75% y menores al 1%, respectivamente.

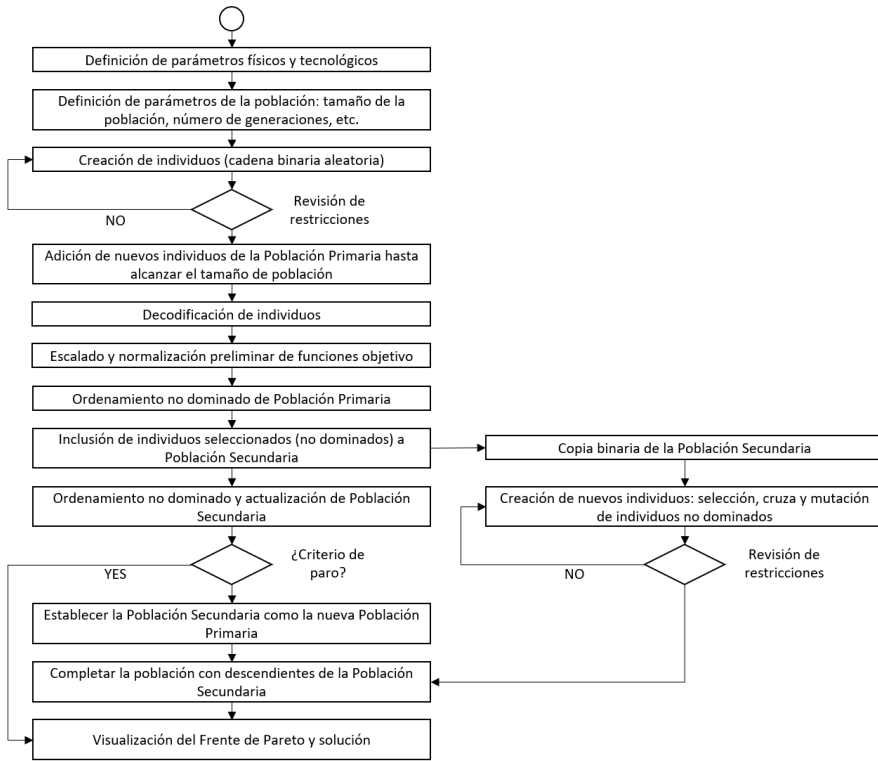


Figura 5.6: Diagrama de flujo del algoritmo multi-objetivo

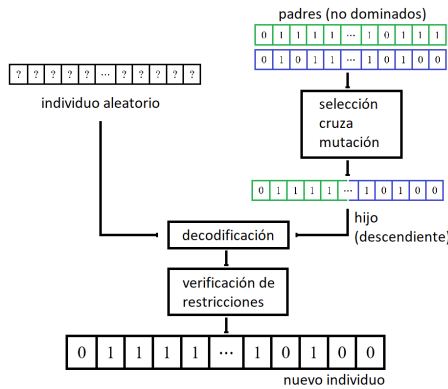


Figura 5.7: Creación de nuevos individuos.



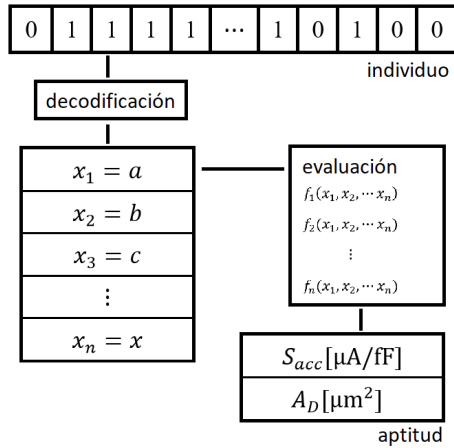


Figura 5.8: Decodificación y evaluación de nuevos individuos.

## Proceso 2: Decodificación y evaluación

La decodificación y evaluación de un individuo en particular es necesaria para conocer sus valores de aptitud ante cada una de las funciones objetivo y por lo tanto su posición en el plano del espacio de búsqueda. La Figura 5.8 muestra el proceso por el cual decodificar segmentos pre-definidos de la cadena binaria permite obtener un arreglo de parámetros numéricos (generalmente en el conjunto de los números reales) relacionados con cada variable física incluida en el modelado del problema. Después, se evalúa cada una de las funciones objetivo con los datos numéricos resultando en un valor de aptitud, que puede situar o no al individuo en el Frente de Pareto.

## Proceso 3: Ordenamiento no-dominado

El ordenamiento no dominado es una comparación uno a uno entre todos los elementos de un conjunto de datos, en este caso de todos los individuos de una población dada.

Para el caso bidimensional (dos funciones objetivo), tal como se ve

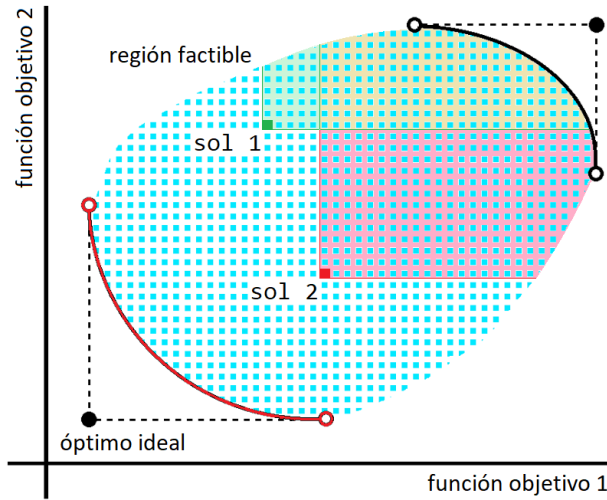


Figura 5.9: Conjunto de soluciones no-dominadas.

en la figura 5.9, cuando se busca por valores mínimos en ambos atributos, la solución óptima estará localizada en el extremo inferior izquierdo de la gráfica. Se dice que una solución 1 domina a todo el cuadrante superior derecho a partir de su posición por ser mejor en al menos uno de los objetivos a optimizar, la solución 2 hace lo propio con su respectivo cuadrante superior izquierdo. La llamada Frontera o Frente de Pareto es el conjunto de soluciones en el borde inferior izquierdo del espacio de búsqueda, esto significa que cada uno de los puntos en el Frente de Pareto no pertenece al espacio dominado por ninguna otra solución y es por tanto una solución no dominada.

Una vez formado el Frente de Pareto, se destaca la presencia de una región llamada rodilla, particularmente cercana al óptimo ideal (en el cruce de las coordenadas correspondientes al óptimo de cada uno de los objetivos, pero fuera de la región factible y fabricable). Un criterio para seleccionar a la solución con el mejor compromiso de entre todas las soluciones de la rodilla es tomar aquella o aquellas con la menor distancia euclidiana al óptimo ideal.

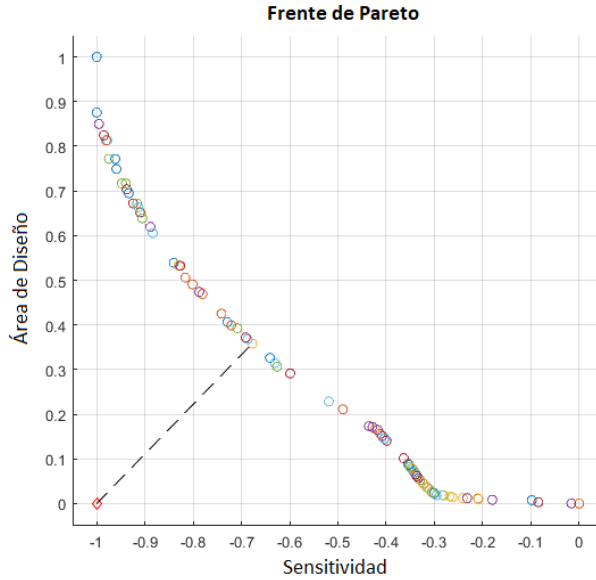


Figura 5.10: Solución más cercana al óptimo ideal.

La gráfica presentada en la Figura 5.10 es una de varias obtenidas a través de distintas ejecuciones del algoritmo genético. En la imagen se representa el Frente de Pareto generado en una población de 1000 individuos que evolucionaron a través de 100 generaciones. Debido a la naturaleza estocástica del proceso, es conveniente combinar los resultados de múltiples ejecuciones y realizar de nueva cuenta un ordenamiento no dominado entre distintos conjuntos de resultados, refinando así la solución y acercándose paulatinamente a un teórico Frente de Pareto real para el problema. La misma figura también muestra la selección de un individuo por estar localizado a la menor distancia del óptimo ideal. Para favorecer la interpretación de este resultado se realizó un escalamiento a manera de normalización entre los mínimos y máximos de cada una de las funciones objetivo.

Con el objetivo de obtener de vuelta la información genética del individuo seleccionado es necesario etiquetar a todos los individuos desde su

Tabla 5.5: Resumen de resultados.

Conj.	Total ejec.	Tamaño Pob	Total Gens.	Sols. ND	Aptitud ( $\mu A/fF, \mu m^2$ )
A	10	1000	100	83	$S_{acc} = -101.55$ $D_A = 328.32$
B	10	2000	100	69	$S_{acc} = -102.144$ $D_A = 380.16$
C	10	1000	200	71	$S_{acc} = -101.414$ $D_A = 313.740$
D	20	1000	100	79	$S_{acc} = -101.018$ $D_A = 328.640$
E	10	3000	100	87	$S_{acc} = -101.872$ $D_A = 355.230$

creación y así poder rastrear su posición entre el arreglo de la población general manteniendo intacta su información durante el proceso de ordenamiento.

### 5.3 Resultados y simulación adicional

Tras una serie de ejecuciones del algoritmo genético antes detallado, se analiza un resultado representativo. Un total de cinco conjuntos de ejecuciones se resume en la Tabla 5.5.

Los datos resaltados corresponden a un grupo de únicamente 5 ejecuciones que superaron a todos los otros conjuntos de pruebas obteniendo un Frente de Pareto más denso y cercano. En las ejecuciones seleccionadas la sensibilidad es ligeramente menor que en otras ejecuciones, logrando sin embargo, un ahorro significativo en el área de diseño utilizada. Esto es muestra de que en un problema multi-objetivo, con objetivos en conflicto, el criterio de selección de un resultado final busca satisfacer lo mejor posible el compromiso entre funciones objetivo y no

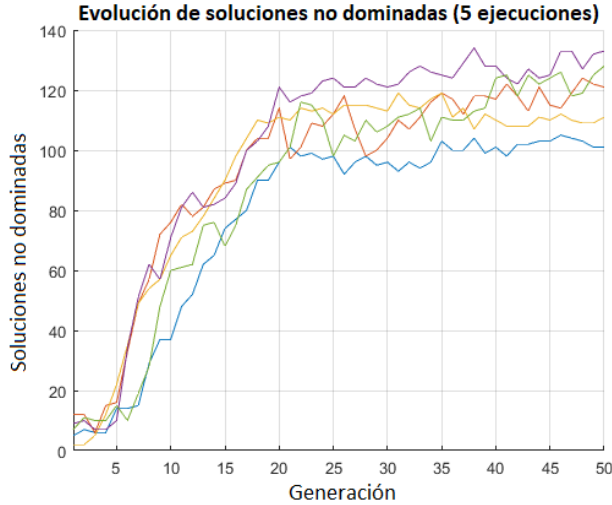


Figura 5.11: Evolución del número de soluciones no dominadas.

los objetivos individuales.

En la Figura 5.11 se grafica simultáneamente la evolución de cada una de las 5 ejecuciones en términos de la cantidad de soluciones no dominadas encontradas a través del paso de las generaciones. El promedio de soluciones almacenadas es de 119 en el conjunto de ejecuciones, sumando un total de 594 soluciones. El total de soluciones que se obtuvieron de las ejecuciones se sometió nuevamente a un proceso de ordenamiento no dominado, en el cual prevalecieron únicamente 160 soluciones integrando un Frente de Pareto definitivo. La Figura 5.12 reporta la contribución de cada una de las 5 ejecuciones al conjunto final. Como se puede ver, aproximadamente 70 de las soluciones pertenecientes al frente definitivo fueron computadas en el segundo conjunto de ejecuciones (conjunto B), mientras que la totalidad de las soluciones ofrecidas por el tercer conjunto (conjunto C) fueron dominadas por el resto.

La Tabla 5.6 introduce un nuevo conjunto F con las características del conjunto obtenido del último ordenamiento.

Como último paso del proceso semi-automatizado de diseño, se ob-

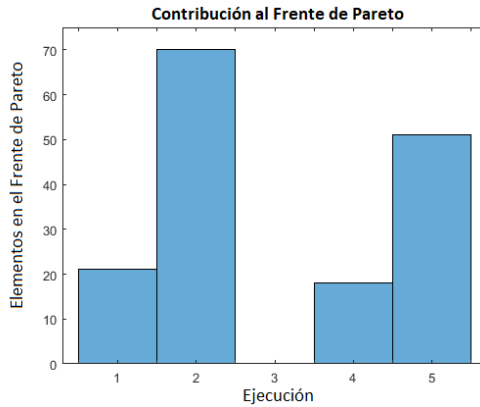


Figura 5.12: Contribución de cada ejecución en el Frente de Pareto final de acuerdo al número de soluciones no dominadas.

Tabla 5.6: Resumen de resultados en ordenamiento final.

<b>Conj.</b>	<b>Total ejec.</b>	<b>Tamaño Pob</b>	<b>Total Gens.</b>	<b>Sols. ND</b>	<b>Aptitud</b> ( $\mu A/fF, \mu m^2$ )
<b>F</b>	<b>5</b>	<b>1000</b>	<b>50</b>	<b>160</b>	$S_{acc} = -98.164$ $D_A = 121.416$

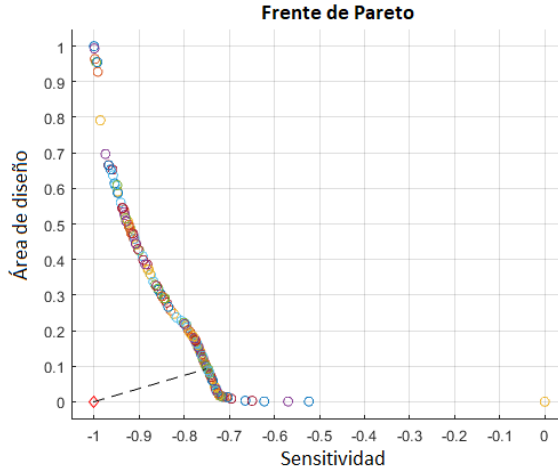


Figura 5.13: Frente de Pareto definitivo en el análisis.

tiene un gráfico del Frente de Pareto definitivo (Figura 5.13), en una escala normalizada, la sensibilidad resultante es aproximadamente un 75% de la máxima posible y el área de diseño cae hasta un 10% por debajo de la más amplia calculada. Es tarea del diseñador decidir si el compromiso entre ambos parámetros es lo suficientemente bueno para cumplir con un propósito particular.

La solución seleccionada por el método de distancia euclidiana es decodificada para reinterpretar su cadena binaria asociada, para este caso particular, la solución #41 del conjunto D de ejecuciones fue la que resultó con el mejor desempeño. Este individuo corresponde con la lista de parámetros mostrada en la Tabla 5.7.

Además de la selección del resultado final, a manera de validación se realizó una nueva simulación mecánica y eléctrica con base a los resultados generados y el desempeño esperado. Por medio de una aplicación para análisis por elemento finito (FEA) se estimaron las propiedades capacitivas del diseño propuesto. La Figura 5.14 muestra el modelo 3D de las estructuras MEMS capacitivas con dimensiones correspondientes al

Tabla 5.7: Topología de la solución final.

<b>Parámetro</b>	<b>Valor</b>	<b>Unidades</b>
Ancho de canal	9.0	$\mu\text{m}$
Longitud de canal	0.6	$\mu\text{m}$
Ancho de compuerta flotante	3.6	$\mu\text{m}$
Longitud de compuerta flotante	5.4	$\mu\text{m}$
Ancho de compuerta de control	2.7	$\mu\text{m}$
Longitud de compuerta de control	4.5	$\mu\text{m}$
Número de dedos	5	$\mu\text{m}$
Ancho de dedo	1.5	$\mu\text{m}$
Longitud de dedo	6.9	$\mu\text{m}$
Distancia a punta de dedo	0.9	$\mu\text{m}$
Distancia entre dedos	0.9	$\mu\text{m}$

resultado final de diseño antes mencionado.

Tal como se plantea en las expresiones 4.1 y 2.26, con el presente conjunto de parámetros y a cero desplazamiento (aceleración de 0 g) la capacitancia en el transductor MEMS se encuentra en  $C_Y = 1.099 \text{ fF}$ , lo que produce un potencial de compuerta flotante  $V_{FG} = 1.43 \text{ V}$  y una corriente de drenador  $I_D = 584.21 \mu\text{A}$ . En la Figura 5.15 se muestra la correlación entre la capacitancia variable y el potencial flotante.

Derivado de esta dinámica, las figuras 5.16 y 5.17 muestran que las simulaciones SPICE basadas en el modelo BSIM nivel 1 para el transistor de compuerta flotante equivalente, están en acuerdo respecto a lo esperado al evaluar el modelo Shichman-Hodges (Razavi 2002). En la simulación, un potencial es aplicado a la compuerta convencional de un transistor NMOS ya sea para análisis en corriente directa (DC sweep) o para análisis transitorio en el dominio del tiempo, en este último, el voltaje es aplicado a la compuerta de acuerdo con el potencial flotante que debería presentarse cuando una aceleración oscilatoria con rango completo de desplazamiento modifica la capacitancia de la estructura



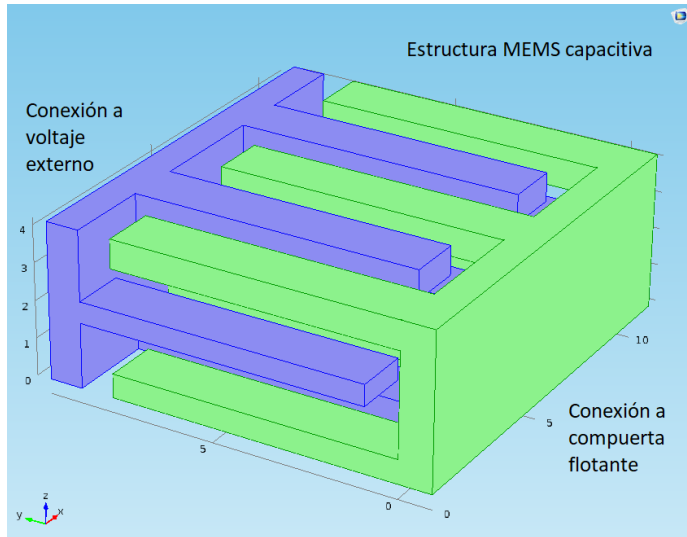


Figura 5.14: Modelo CAD de la estructura capacitiva interdigital.

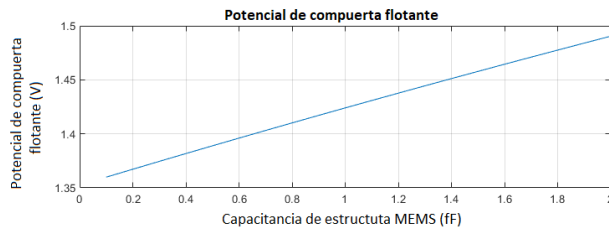


Figura 5.15: Potencial flotante de acuerdo con la capacitancia de la estructura MEMS.

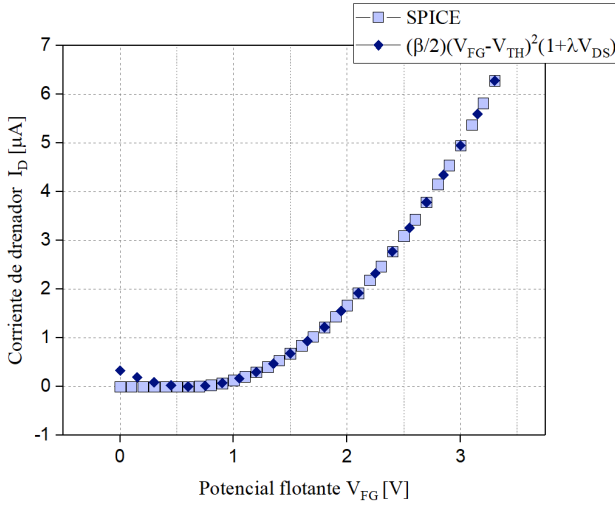


Figura 5.16: Coincidencia entre la simulación SPICE y la corriente de drenador calculada evaluando el modelo sujeto a optimización.

MEMS. La Figura 5.18 muestra los elementos y configuración que se simularon durante la validación.

## 5.4 Conclusiones del capítulo

Este algoritmo en particular es probado como una herramienta efectiva para asistir al ingeniero de diseño en las primeras etapas de un proyecto del tipo ASIC, permite añadir una capa parcial pero significativa de automatización y toma de decisiones computacional, teniendo en mente que la oportuna ejecución de ajustes menores a gusto del usuario es indispensable.

Como fue reflejado en este trabajo, la automatización puede ser extendida a componentes micro-electro-mecánicos donde, no solo la parte eléctrica es relevante, sino también se toma en cuenta la sinergia entre distintos ámbitos de un mismo sistema.

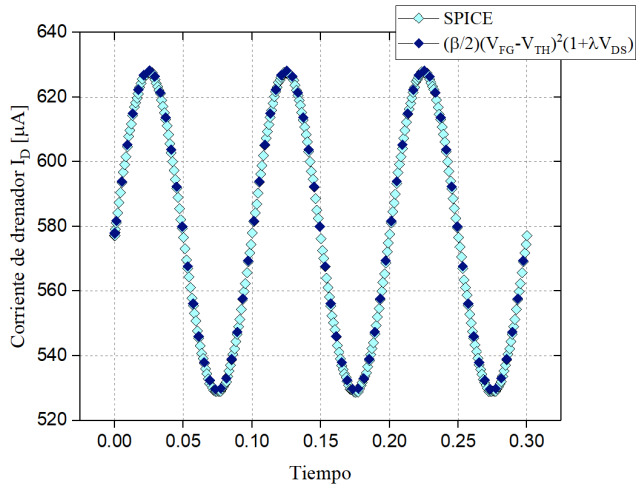


Figura 5.17: Aproximación a la respuesta a una entrada oscilatoria dentro del rango de desplazamiento de la estructura capacitiva.

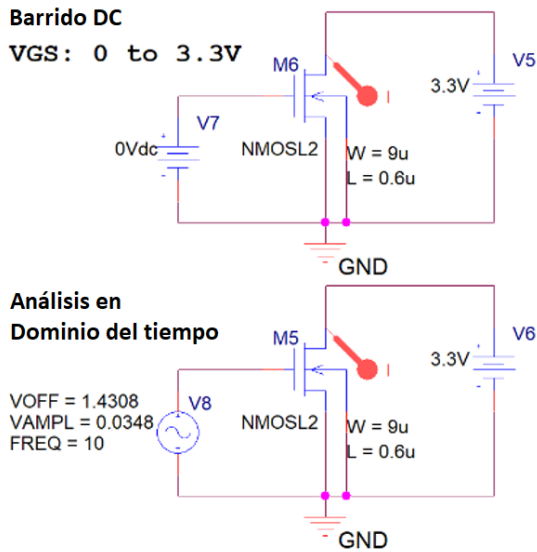


Figura 5.18: Configuración y conexión del FGMOS utilizado para simulación SPICE.

Otro aspecto a considerarse en la implementación de un algoritmo genético, para estos fines, es el costo de incrementar el grado de confianza y la relevancia de sus resultados a cambio de aumentar significativamente el número de variables y parámetros que se incluyen en el modelado matemático de las funciones objetivo. A pesar del acceso a un conjunto de datos más detallados, realistas y exactos, el manejo de tal cantidad de información puede resultar impráctico y costoso computacionalmente, por lo que se recomienda prestar especial atención al confeccionar los modelos matemáticos y configurar los mecanismos bioinspirados, todo en pos de un resultado ante todo significativo y suficiente.

Como ejemplo de lo anterior, a pesar de utilizar el término *espacio de búsqueda* para un espacio bi-dimensional, el cual es una proyección del espacio de soluciones del conjunto de funciones objetivo, en el presente caso de estudio el verdadero espacio de búsqueda del problema de diseño se compone de un espacio 11-dimensional, donde residen todas las posibles configuraciones de un vector de 49 bits representativo de todas las variables involucradas. A pesar de lo simple que este problema de ingeniería es en relación con los bancos de prueba computacionales (benchmarks) del estado del arte, se recomienda ampliamente tomar en cuenta lo rápido que asciende la complejidad computacional, al integrar modelos objetivo ligeramente más detallados.

Resulta cierto, para la mayoría de los algoritmos meta-heurísticos bioinspirados, que la conveniencia de utilizar los mismos debe ser ponderada de acuerdo con el número de variables y funciones objetivo que deben manejarse. Dichos algoritmos suelen ser la última opción cuando se tiene acceso a un amplio catálogo de técnicas clásicas de optimización, muchas de ellas bastante más amigables para implementar a la vez que menos costosas computacionalmente.

# Capítulo 6

## Conclusiones generales

Los acelerómetros, en sus diferentes variantes, son una herramienta fundamental en la industria moderna, no solo por su versatilidad, ya se que encuentran presentes en un gran número de aplicaciones, sino también por su gran confiabilidad, lo que actualmente los hace ser considerados parte principal en sistemas de seguridad vehicular y control autónomo de aeronaves.

Durante el presente trabajo de investigación se abordaron diferentes aristas del diseño de un acelerómetro MEMS basado en el transistor MOS de compuerta flotante (FGMOS). Cada propiedad y característica desarrollada representó en su momento una ventana de oportunidad para mejorar tanto el desempeño como la metodología con la que se estudia a este tipo particular de dispositivos.

Los resultados de cada análisis suman de manera sinérgica a una amplia lista de saberes que el grupo de Sistemas VLSI ha acumulado a través de los años, esto habilita a estudiantes, investigadores y colaboradores para aportar conocimiento significativo en temas de actualidad dentro de la microelectrónica en general y los sensores en particular, a la vez que se transmiten valores y conocimientos a las nuevas generaciones.

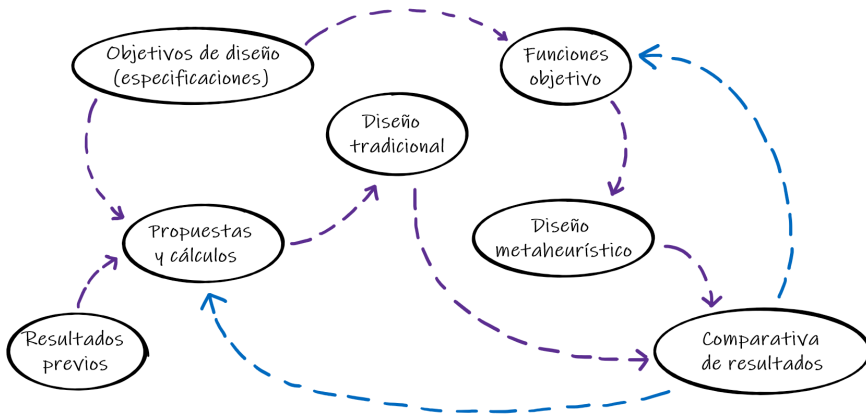


Figura 6.1: Esquema del proceso realizado.

Se partió de la ejecución de un diseño tradicional, es decir, a través de proponer un juego de especificaciones, realizar cálculos unitarios sobre datos y modelos conocidos y validar a través de simulaciones en software especializado.

Buscando oportunidades puntuales de mejora, se encontró: reducir la anchura de las vigas en los resortes (disminuyendo el área ocupada por la estructura móvil), comprobar la movilidad en dos ejes de una misma masa móvil, añadir una etapa de acondicionamiento, analizar la composición y propiedades de las capas metálicas y proponer nuevas arquitecturas para incrementar la capacitancia por unidad de área; resultando éstas tres últimas tareas las que se priorizaron y causaron el mayor impacto en los primeros resultados obtenidos.

La Figura 6.1 resume de manera global las etapas conceptuales por las que atravesó el proyecto de investigación, más allá de los procesos de fabricación, micro-maquinado y desarrollo de software. Se aprecia que la dinámica para trabajar un diseño convencional se basa en proponer valores fijos para algunas de las variables, generalmente basados en reportes y resultados previos. A partir de ahí se calculan los valores de las demás variables para cumplir con objetivos de desempeño. Por su parte,

el método meta-heurístico distribuye la solución a través de todo espacio de búsqueda, con base en la previa conversión de las especificaciones de diseño a modelos matemáticos apropiados para su manejo evolutivo. Una eventual comparativa de resultados puede llevar a ajustes, ya sea en los valores propuestos inicialmente o en las funciones objetivo, para el diseño tradicional y meta-heurístico, respectivamente.

## 6.1 Resultados y aportaciones

- Se establecieron alternativas de metodología tanto para el diseño convencional de un acelerómetro capacitivo CMOS-MEMS, como para la semi-automatización de su diseño a través de la implementación de una meta-heurística bio-inspirada, que garantiza de manera computacional solución con el mejor compromiso bajo los criterios de la optimalidad de Pareto.
- El chip fabricado permitió caracterizar la composición de las capas metálicas (propiedad intelectual protegida por el proveedor), resultando cada una de ellas diferente en estructura y propiedades, además de verse afectadas de diversas maneras, tanto por los procesos de ataque físico en fábrica como por los post-procesos de micro-maquinado químico realizados por el grupo de trabajo.
- Se diseñó, fabricó y validó el correcto funcionamiento de la etapa de acondicionamiento de señales basada en un amplificador en modo de fuente común, capaz de transformar una ligera variación de capacitancia en las estructuras del transistor MOS de compuerta flotante, en un tensión de salida de aproximadamente  $0.8V/G$ .
- Se obtuvo el modelo dinámico para los estados transitorios de una estructura típica de acelerómetro capacitivo CMOS-MEMS, per-

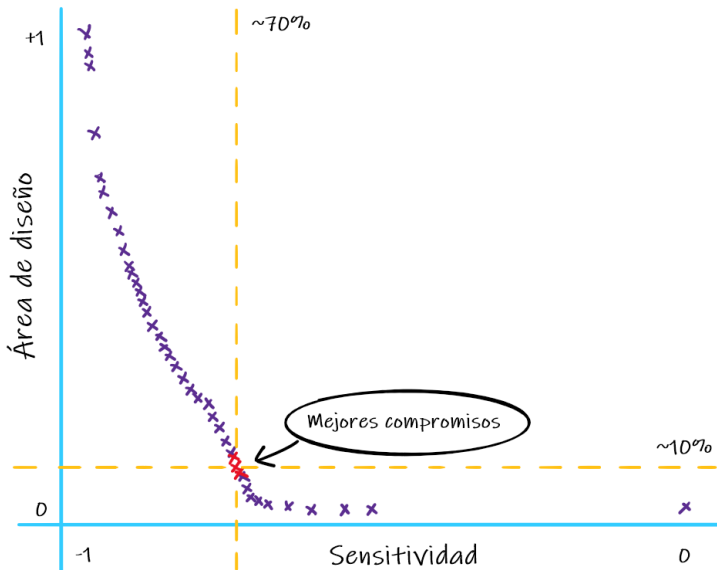


Figura 6.2: Desempeño cualitativo.

mitiendo conocer las características del error en estado estacionario y las implicaciones que este error tiene en condiciones ambientales críticas de operación.

- Se establecieron los parámetros básicos y de mayor relevancia en el modelado matemático de un problema de diseño con dos objetivos en conflicto, en un contexto de sistemas MEMS, con la codificación de más de una decena de parámetros de diseño, lo cual permitió evaluar, interpolar y seleccionar las soluciones con el mejor balance (Figura 6.2) de entre un amplio espacio discreto de posibles configuraciones.

El presente trabajo contribuye con información y resultados que extienden el alcance de los proyectos de investigación en el área de diseño VLSI y CMOS-MEMS de nuestro grupo de investigación.



## 6.2 Productos y publicaciones

- **2021** ISSN: 1432-1858 “Two-objective metaheuristic optimization for floating gate transistor-based CMOS-MEMS inertial sensors” **B. Granados-Rojas**, M. A. Reyes-Barranca et al. *Microsystem Technologies*, DOI: 10.1007/ s00542-020-05194-w
- **2020** ISBN: 978-1-7281-8987-1 “On Balanced Trade-off between Stiffness and Design Area in CMOS-MEMS Accelerometer Springs” **Benito Granados-Rojas**, Mario Alfredo Reyes-Barranca et al. 17th CCE 2020
- **2020** ISBN: 978-1-7281-1044-8 “Dynamic Response Considerations in Typical CMOS-MEMS Accelerometer Structures” **Benito Granados-Rojas**, Mario Alfredo Reyes-Barranca et al. LAEDC 2020, San José, Costa Rica.
- **2019** ISSN: 1995-6258 “Metaheuristics in the Automated Design of CMOS-MEMS Sensors for Planetary Exploration” **Benito Granados-Rojas**, Mario Alfredo Reyes-Barranca et al. 70th International Astronautical Congress, Washington DC, USA.
- **2019** ISBN: 978-1-7281-4840-3/19 “Composition of Metal Layers in CMOS-MEMS Micromachining Process” **Benito Granados-Rojas**, Mario Alfredo Reyes-Barranca et al. 16th CCE 2019
- **2018** ISBN: 978-1-5386-7033-0/18 “Application and Resulting Suitability of a Genetic Algorithm in the Design of FGMOS-based CMOSMEMS Transducers” **Benito Granados-Rojas**, Mario Alfredo Reyes-Barranca et al. 15th CCE 2018

- **2017** ISBN: 978-1-5386-3406-6/17 “Basic Readout Circuit Applied on FGMOS-based CMOS-MEMS Inertial Sensing Prototypes” **Granados-Rojas B.**, Reyes-Barranca M.A. et al 14th CCE 2017
- **2016** ISBN: 978-1-5090-3511-3/16 “3-layered Capacitive Structure Design for MEMS Inertial Sensing” **Granados-Rojas B.**, Reyes-Barranca M.A. et al. 13th CCE 2016

### 6.3 Trabajo futuro

- Profundizar en el catálogo y manejo de técnicas de optimización evolutiva multi-objetivo (EMOO) a fin de determinar cuáles de ellas resultan más apropiadas para cada uno de los retos de diseño en el campo de los sensores interciales MEMS.
- Obtener una mayor cantidad de detalle en el modelo matemático de funciones objetivo y ampliar la búsqueda de aplicaciones compatibles con las técnicas propuestas.
- Extender el modelado del dispositivo, incluyendo expresiones para los resortes, etapas de acondicionamiento e interconexiones a fin de aprovechar las capacidades del algoritmo en la generación de una librería de celdas de medición inercial óptimas, bajo los criterios del cómputo evolutivo.
- Proponer interfaces de usuario que permitan automatizar total o parcialmente el diseño de celdas MEMS acordes a las necesidades de cada proyecto, ejecutando en un segundo plano las técnicas y algoritmos propuestos en este trabajo.

# Anexo A: Parámetros tecnológicos

Parámetros tecnológicos extraídos por el proveedor de corridas de fabricación anteriores recientes, utilizadas para simulación SPICE del proyecto.

```

.MODEL CMOSN NMOS (
+VERSION = 3.1          TNOM = 27          TOX = 1.41E-8
+XJ = 1.5E-7           NCH = 1.7E17       VTH0 = 0.6176544
+K1 = 0.9137986       K2 = -0.1071877       K3 = 22.288867
+K3B = -9.7485086     WO = 2.658488E-8    NLX = 1E-9
+DVTOW = 0            DVT1W = 0            DVT2W = 0
+DVTO = 0.8309419    DVT1 = 0.3317542    DVT2 = -0.5
+UO = 460.0124125     UA = 2.759471E-13   UB = 1.603084E-18
+UC = 3.089014E-12   VSAT = 1.840576E5   AO = 0.5615191
+AGS = 0.1204319     BO = 1.941274E-6    B1 = 5E-6
+KETA = -2.797385E-3 A1 = 2.420581E-5    A2 = 0.3164714
+RDSW = 1.115544E3   PRWG = 0.0828351    PRWB = 0.0311852
+WR = 1              WINT = 2.526685E-7  LINT = 7.469087E-8
+XL = 1E-7           XW = 0              DWG = -1.032244E-8
+DWB = 1.914595E-8   VOFF = -6.986376E-5 NFACTOR = 0.8533219
+CIT = 0             CDSC = 2.4E-4       CDSCD = 0
+CDSCB = 0           ETAO = 2.045973E-3  ETAB = -3.21453E-4
+DSUB = 0.0833302   PCLM = 2.3615569    PDIBLC1 = 9.500103E-5
+PDIBLC2 = 1.863456E-3 PDIBLCB = 0.0644698 DROUT = 1.39184E-3
+PSCBE1 = 3.853855E8 PSCBE2 = 4.115782E-6 PVAG = 0
+DELTA = 0.01       RSH = 82.4         MOBMOD = 1
+PRT = 0            UTE = -1.5         KT1 = -0.11
+KT1L = 0           KT2 = 0.022        UA1 = 4.31E-9
+UB1 = -7.61E-18    UC1 = -5.6E-11     AT = 3.3E4
+WL = 0            WLN = 1            WW = 0
+WWN = 1           WWL = 0            LL = 0
+LLN = 1           LW = 0             LWN = 1
+LWL = 0           CAPMOD = 2         XPART = 0.5
+CGDO = 1.91E-10   CGSO = 1.91E-10   CGBO = 1E-9
+CJ = 4.131634E-4  PB = 0.8399766     MJ = 0.4305505
+CJSW = 3.400072E-10 PBSW = 0.809471    MJSW = 0.1977865
+CJSWG = 1.64E-10  PBSWG = 0.8        MJSWG = 0.2019414
+CF = 0            PVTHO = -0.028514  PRDSW = 114.6437024
+PK2 = -0.0768747  WKETA = -0.0138828 LKETA = 1.62687E-3 )
*

```

```

.MODEL CMOSPMOS (
+VERSION = 3.1
+XJ = 1.5E-7
+K1 = 0.553472
+K3B = 0.5506188
+DVTOW = 0
+DVTO = 0.4716221
+UO = 201.3603195
+UC = -1E-10
+AGS = 0.1111278
+KETA = -4.865785E-3
+RDSW = 3E3
+WR = 1.01
+XL = 1E-7
+DWB = -1.38669E-8
+CIT = 0
+CDSCB = 0
+DSUB = 1
+PDIBLC2 = 4.073922E-3
+PSCBE1 = 8E10
+DELTA = 0.01
+PRT = 0
+KT1L = 0
+UB1 = -7.61E-18
+WL = 0
+WWN = 1
+LLN = 1
+LWL = 0
+CGDO = 2.34E-10
+CJ = 7.086018E-4
+CJSW = 2.340641E-10
+CJSWG = 6.4E-11
+CF = 0
+PK2 = 3.73981E-3
TNOM = 27
NCH = 1.7E17
K2 = 7.871921E-3
WO = 1E-8
DVT1W = 0
DVT1 = 0.1854949
UA = 2.48572E-9
VSAT = 1.578444E5
BO = 5.743519E-7
A1 = 5.800723E-4
PRWG = -0.0219603
WINT = 2.247043E-7
XW = 0
VOFF = -0.0295318
CDSC = 2.4E-4
ETAO = 4.979072E-4
PCLM = 2.3970968
PDIBLCB = -0.0315594
PSCBE2 = 8.966681E-8
RSH = 106.7
UTE = -1.5
KT2 = 0.022
UC1 = -5.6E-11
WLN = 1
WWL = 0
LW = 0
CAPMOD = 2
CGSO = 2.34E-10
PB = 0.8698912
PBSW = 0.8329387
PBSWG = 0.8
PVTHO = 5.98016E-3
WKETA = 0.0120657
LEVEL = 7
TOX = 1.41E-8
VTHO = -0.9152268
K3 = 8.5645893
NLX = 1.006451E-9
DVT2W = 0
DVT2 = -0.3
UB = 1.005454E-21
AO = 0.8192884
B1 = 6.088988E-8
A2 = 0.3229711
PRWB = -0.0910566
LINT = 9.979797E-8
DWG = 2.080226E-9
NFACTOR = 0.5872216
CDSCD = 0
ETAB = -0.2
PDIBLC1 = 0.0961044
DROUT = 0.2897615
PVAG = 0.0149129
MOBMOD = 1
KT1 = -0.11
UA1 = 4.31E-9
AT = 3.3E4
WW = 0
LL = 0
LWN = 1
XPART = 0.5
CGBO = 1E-9
MJ = 0.4856488
MJSW = 0.2034305
MJSWG = 0.2261452
PRDSW = 14.8598424
LKETA = -0.0104163 )

```

# Anexo B: Código Matlab LiveScript

## Genetic Algorithm

### Start

Program initialization and workspace setup

```
clear all
for r = 0:9                %number of runs
close all
clc
t = datetime('now');
```

Definition of the parameters for the individuals The variables are coded to a binary (Gray code) representation, the length of the bit string is used to determine the size of chromosomes (individuals), also, there are defined minimum and maximum admissible values for every variable.

```
Lx = [10 5 4];           %length of variables
LChrom = sum(Lx);        %chromosome length
Vmin = [100 10 2];      %vars minima
Vmax = [1000 30 15];    %vars maxima
```

Definition of the population parameters Population parameters such as quantity of individual, mutation and crossover probabilities and maximum number of generations (recursive iterations).

```
genmax = 10;             %number of generations
%genmax = input('Number of generations: ');
psz = 3000;              %population size
%psz = input('Size of the population: ');
Pc = 0.75;               %crossover rate
Pm = 0.01;               %mutation rate
```

Generating the initial primary and secondary populations First generation of individuals randomly generated. Each one of the psz individuals is represented by a binary string LChrom long.

```
pop = zeros(psz,LChrom);
pop2 = 0;
for i = 1:psz
    pop(i,:) = individual();
end
```

### Population decoding and evaluation

» MAIN FOR «

Each one of the n variables is decoded from its random binary string to a real number.

```
for gen = 1:genmax
for i = 1:psz
```

Evaluation of objective functions (2-obj fn)

```
[AD(i),K(i)] = evalu (pop(i,:));  
end
```

A real number-representation of the evaluated functions for every individual is obtained

```
P = [AD;K]'; % real-number-representation
```

Store an evolutive record of solutions.

```
% if gen == 1  
% Q = P;  
% else  
% Q = cat(1,Q,P);  
% end
```

### Non-dominated sorting

The non-dominated solutions among the individuals of the first generation are computed.

```
[ndpop,sol] = nonDSort1(P); %ndsorting on primary population
```

Non-dominated population copy (binary format)

```
ndbpop = zeros (1,LChrom);  
for j = 1:length(sol)  
    ndbpop (j,:) = pop(sol(j,:)); %binary representation  
end
```

Secondary Population (definition and update)

```
if length (pop2) <= psz  
    if gen == 1  
        pop2 = ndpop; %first secondary-population file Px  
        pop2b = ndbpop;  
    else  
        pop2 = cat(1,pop2,ndpop);  
        pop2b = cat(1,pop2b,ndbpop);  
    end  
end
```

Non-dominated sort to collapse secondary populations

```
[pndx, solx] = nonDSort1(pop2);  
if length(solx)>1  
    pop2 = pndx;  
    ndbpx = zeros (1,LChrom);  
    for i = 1:length(solx)  
        ndbpx (i,:) = pop2b(solx(i,:)) ;
```

```

end
pop2b = ndbpx;
sol = solx;
else
pop2 = pop2;
pop2b = pop2b;
end

```

Next generation A whole new generation is created out of the secondary population (previous generation non-dominated individuals).

```

newpop = zeros(psz,LChrom);           % binary
for i = 1:length(solx)
    newpop(i,:) = pop2b(i,:);
end
for i = length(solx)+1:psz;
    newpop(i,:) = offspring(pop2b, solx, Pc, Pm);
end

```

Update

```
pop = newpop;
```

Evolution check

```

    lpop2 = length(pop2);
    ndsols(gen) = lpop2;
end
% plot (1:genmax,ndsols)
% title ('Non-dominated solutions evolution')
% xlabel ('Generation')
% ylabel ('Total non-dominated solutions')
% grid on

```

Constraint Check (solution set)

```

% for j = 1:length(solx)
%     [W, L, Wfg, Lfg, Wcg, Lcg, n, Wf, Lf, dtip, dfin]= decoU(pop2b(j,:));
%     j
%     T_WL = 1e6*[W L]
%     FG_WL = 1e6*[Wfg, Lfg; Wcg, Lcg]
%     Fin_nWL = 1e6*[n Wf Lf]
%     Fin_tg = 1e6*[dtip dfin]
% end

```

Solution Universe plot

```

% figure('Name','Solution Universe')
% for k = 1:length(Q)
%     hold on
%     plot(Q(k,1),Q(k,2),'+')
% end
% title ('Approach to Solution Universe')
% xlabel ('Design Area [ $\mu\text{m}^2$ '])
% ylabel ('Stiffness [N/m]')
% grid on

```

### Pareto front

Last generation non-dominated pop

```

% figure('Name','Pareto Front')
% for k = 1:length(ndpop)
%     hold on
%     plot(ndpop(k,1),ndpop(k,2),'o')
% end

```

Pareto front after g generations (secondary population) non-dominated feasible solutions

```

% figure('Name','Pareto Front')
% for k = 1:length(pop2)
%     hold on
%     plot(pop2(k,1),pop2(k,2),'o')
% end
% title ('Pareto Front')
% xlabel ('Design Area')
% ylabel ('Stiffness')
% grid on

```

Ideal (not feasible) solution

```

% fprintf('\n')
% disp('Ideal Solution (not feasible)');
% isol = [min(pop2(:,1)),min(pop2(:,2))]
% hold on
% plot(isol(1),isol(2),'kd')

```

Distance to ideal

```

% for k = 1:length(sol)
%     dist2ideal(k)=sqrt((isol(1)-pop2(k,1))^2+(isol(2)-pop2(k,2))^2);
%     if dist2ideal(k) == min(dist2ideal)
%         index = k;
%     end
% end
% x = [isol(1) pop2(index,1)];
% y = [isol(2) pop2(index,2)];
% line(x,y,'Color','red','LineStyle','--')

```



Final solution decoding

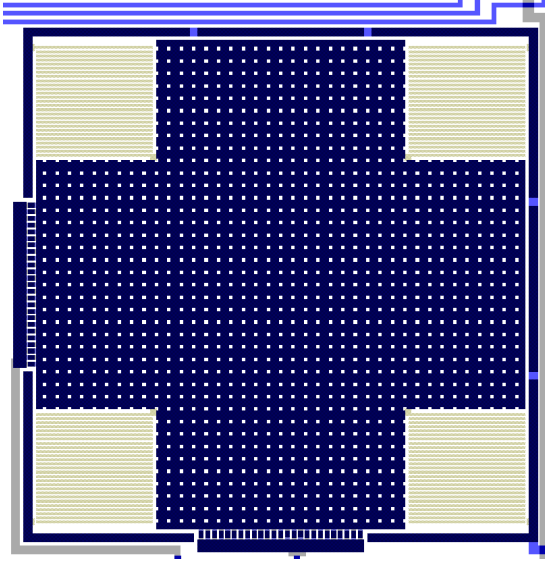
```
% disp('Best Solution (Pareto)');
% [L, W, n]= decoU(pop2b(index,:));
% fprintf('\n Beam length: \t %.1f \t um',L);
% fprintf('\n Wire width: \t %.1f \t um',W);
% fprintf('\n Number of beams: \t %d',n);
```

Save secondary population to log

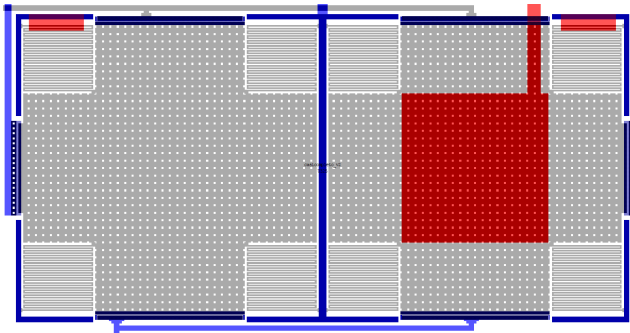
```
addpath('C:\Users\Beatle\Google Drive\MEMS_PhD\CCE2020\GA_CCE2020\R1907f')
fname = sprintf('R1907f/R%d.mat',r)
save(fname, 'pop2')
fname = sprintf('R1907f/R%dbin.mat',r)
save(fname, 'pop2b')
fname = sprintf('R1907f/R%dgennds.mat',r)
save(fname, 'ndsols')
%fname = sprintf('R%dsolsU.mat',r)
%save(fname, 'Q')
t = datetime('now')-t
beep on
beep
end
```

## Anexo C: Estructuras complementarias

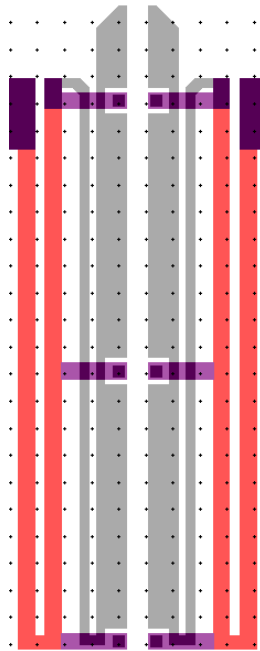
Estructuras de prueba adicionales al proyecto principal utilizadas para caracterización de proyectos futuros.



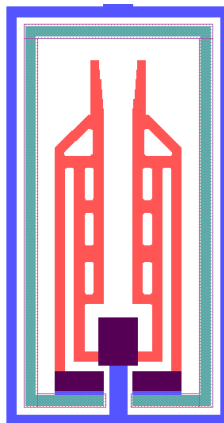
Layout de una variante de acelerómetro.



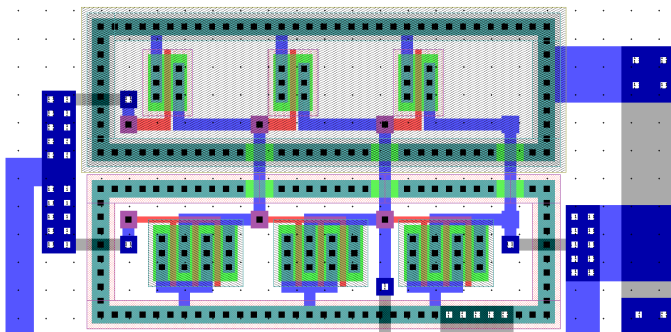
Layout de un prototipo de giroscopio.



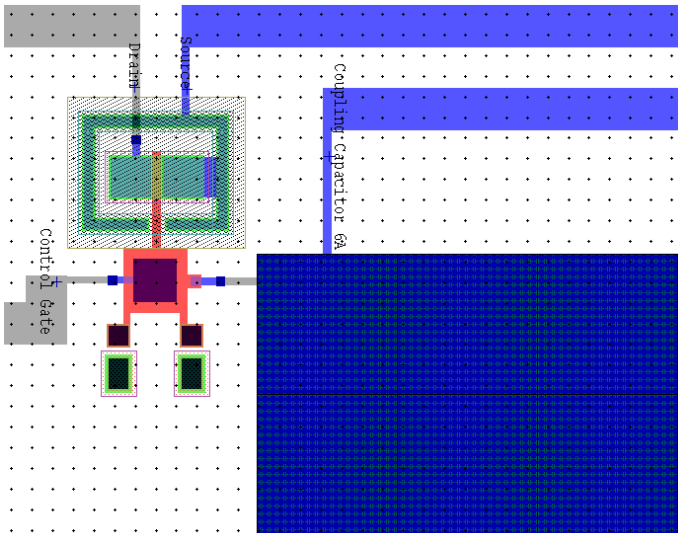
Gripper actuado electrostáticamente.



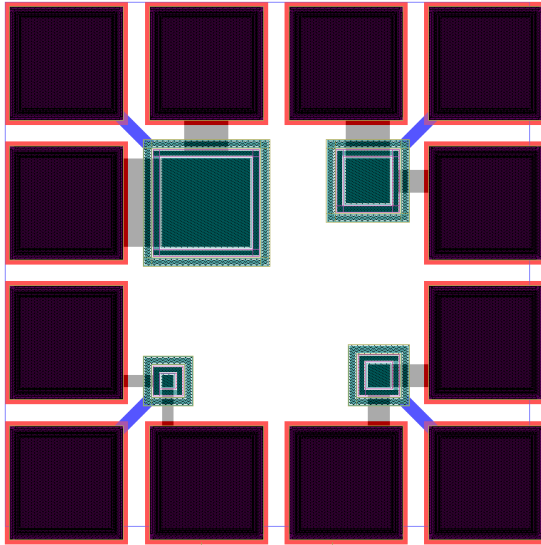
Gripper actuado por dilatación térmica.



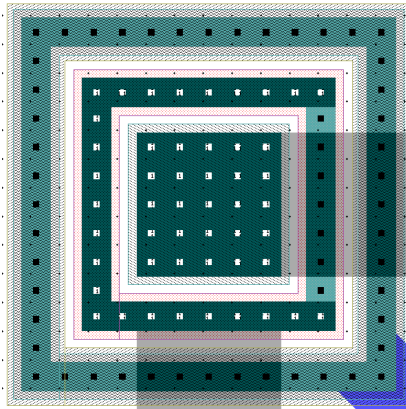
Prototipo de oscilador de anillo.



Prototipo de foto-diodo basado en FGMOS.



Celda de prueba de transistores bipolares (fabricados en tecnología CMOS).



Detalle de un transistor bipolar.



# Referencias

- Abarca-Jiménez, G. S. et al. (2013). “MEMS capacitive sensor using FG MOS”. In: *2013 10th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE 2013*, pp. 421–426.
- Abarca-Jiménez, G. S. et al. (2018). “Inertial sensing MEMS device using a floating-gate MOS transistor as transducer by means of modifying the capacitance associated to the floating gate”. In: *Microsyst Technol* 24.6, pp. 2753–2764.
- Abarca-Jiménez, GS et al. (2014). “Modal analysis of a structure used as a capacitive MEMS accelerometer sensor”. In: *2014 11th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*. IEEE, pp. 1–4.
- Bai, WP et al. (2005). “Three-layer laminated metal gate electrodes with tunable work functions for CMOS applications”. In: *IEEE electron device letters* 26.4, pp. 231–233.
- Baker, R Jacob (2005). *CMOS: circuit design, layout, and simulation*. John Wiley & Sons, pp. 113,466.
- Baker, R Jacob (2005). *CMOS: circuit design, layout, and simulation*. John Wiley & Sons.
- Bykov, Igor’ Sergeevich et al. (2017). “On distance Gray codes”. In: *Journal of Applied and Industrial Mathematics* 11.2, pp. 185–192.

- Coello, Carlos A Coello (2015). “Multi-objective evolutionary algorithms in real-world applications: Some recent results and current challenges”. In: *Advances in evolutionary and deterministic methods for design, optimization and control in engineering and sciences*. Springer, pp. 3–18.
- Coello, Carlos A Coello Coello (2001). “A short tutorial on evolutionary multiobjective optimization”. In: *International Conference on evolutionary multi-criterion optimization*. Springer, pp. 21–40.
- Darnobyt, I et al. (2008). “Possibilities of the use of genetic algorithms in design of MEMS elements”. In: *2008 International Conference on Perspective Technologies and Methods in MEMS Design*. IEEE, pp. 87–87.
- Dominguez-Sanchez, S et al. (2014). “A prototype design for an accelerometer using a multiple floating-gate MOSFET as a transducer”. In: *2014 11th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*. IEEE, pp. 1–6.
- Domínguez-Sánchez, Sergio et al. (2017). “Analysis and measurement of a photo diode used as a control gate in a floating-gate MOS transistor”. In: *Sensors and Actuators A: Physical* 267, pp. 210–234.
- Granados-Rojas, B. et al. (2016). “3-layered capacitive structure design for MEMS inertial sensing”. In: *2016 13th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*, pp. 1–5.
- Granados-Rojas, B. et al. (2017). “Basic readout circuit applied on FGMOS-based CMOS-MEMS inertial sensing prototypes”. In: *2017 14th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*, pp. 1–6.
- Granados-Rojas, B. et al. (2018). “Application and Resulting Suitability of a Genetic Algorithm in the Design of FGMOS-based CMOS-MEMS Transducers”. In: *2018 15th International Conference on Elec-*



- trical Engineering, Computing Science and Automatic Control, CCE 2018.*
- Granados-Rojas, Benito et al. (2019). “Composition of metal layers in CMOS-MEMS micromachining process”. In: *2019 16th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*. IEEE, pp. 1–4.
- Granados-Rojas, Benito et al. (2020). “On Balanced Tradeoffs between Stiffness and Design Area in CMOS-MEMS Accelerometer Springs”. In: *2020 17th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*. IEEE, pp. 1–4.
- Holland, John H (1975). “Adaptation in natural and artificial systems, University of Michigan press”. In: *Ann arbor, MI 1.97*, p. 5.
- Kaajakari, Ville (2009). *Practical mems*. Small Gear Publishing Las Vegas.
- Kryvyi, R et al. (2009). “Factors of influence on genetic algorithm’s work in MEMS design”. In: *2009 10th International Conference-The Experience of Designing and Application of CAD Systems in Microelectronics*. IEEE, pp. 327–327.
- Lima, LPBa et al. (2012). “Titanium nitride as electrode for MOS technology and Schottky diode: Alternative extraction method of titanium nitride work function”. In: *Microelectronic Engineering 92*, pp. 86–90.
- Lopez-Jaimes, Antonio et al. (2015). “Many-objective problems: challenges and methods”. In: *Springer handbook of computational intelligence*. Springer, pp. 1033–1046.
- Melnyk, Mykhaylo et al. (2013). “Application of a genetic algorithm for dimension optimization of the MEMS-based accelerometer”. In: *Proceedings of the 20th International Conference Mixed Design of Integrated Circuits and Systems-MIXDES 2013*. IEEE, pp. 352–354.

- Murata, Tadahiko et al. (1996). “Genetic algorithms for flowshop scheduling problems”. In: *Comput. Ind. Eng.* 30.4, pp. 1061–1071.
- On-Semiconductor (1999). *C5 0.5  $\mu\text{m}$  Process Technology*. URL: <https://www.onsemi.com/PowerSolutions/content.do?id=16693>.
- ON-Semiconductor (2011). *ON Semiconductor C5X, 0.5 Micron Technology Design Rules 4500099 Rev. X*, p. 99.
- Razavi, Behzad (2002). *Design of analog CMOS integrated circuits*. Tata McGraw-Hill Education.
- Reyes Barranca, Mario Alfredo et al. (2010). “Using a floating-gate MOS transistor as a transducer in a MEMS gas sensing system”. In: *Sensors* 10.11, pp. 10413–10434.
- Rodriguez-Villegas, Esther et al. (2007). “On dealing with the charge trapped in floating-gate MOS (FGMOS) transistors”. In: *IEEE Transactions on Circuits and Systems II: Express Briefs* 54.2, pp. 156–160.
- Sutri, NY et al. (2015). “A monolithic, low-noise, capacitive readout interface circuit for CMOS-MEMS resonator-based gravimetric chemical gas sensors”. In: *AFRICON 2015*. IEEE, pp. 1–7.
- Tsai, Tsung-Heng et al. (2014). “A CMOS micromachined capacitive tactile sensor with integrated readout circuits and compensation of process variations”. In: *IEEE transactions on biomedical circuits and systems* 8.5, pp. 608–616.
- Yang, Zhenyu et al. (2008). “Large scale evolutionary optimization using cooperative coevolution”. In: *Inf. Sci.* 178.15, pp. 2985–2999.

# **Caracterización de las Propiedades Funcionales de un Acelerómetro CMOS-MEMS basado en el FGMOS**

---

Ciudad de México 2021

**Benito Granados-Rojas**  
Sección de Electrónica del Estado Sólido  
Departamento de Ingeniería Eléctrica



Centro de Investigación  
y de Estudios Avanzados del  
Instituto Politécnico Nacional