



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS
AVANZADOS DEL IPN
UNIDAD MÉXICO D.F.**

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

ÁREA DE ELECTRÓNICA DEL ESTADO SÓLIDO

**MINIMIZACIÓN DE EVENTOS DE CLOCK-SKEW EN
SISTEMAS DIGITALES MEDIANTE TECNOLOGÍA
DE MOSFET DE COMPUERTA FLOTANTE**

T E S I S

QUE PRESENTA

ING. JUAN CARLOS IGLESIAS ROJAS

PARA OBTENER EL GRADO DE

MAESTRO EN CIENCIAS

EN LA ESPECIALIDAD DE

INGENIERÍA ELÉCTRICA

ASESORES

**DR. FELIPE GÓMEZ CASTAÑEDA
DR. JOSÉ ANTONIO MORENO CADENAS**

México, D.F.

Diciembre 2006

ÍNDICE

Agradecimientos	4
Objetivo	5
Introducción	5
CAPÍTULO 1. El Transistor MOS de Compuerta Flotante	
1.1 Introducción	9
1.2 Teoría de funcionamiento del FGMOSFET	11
1.3 Mecanismos de inyección y tuneleo	16
1.4 La adaptación	19
CAPÍTULO 2. Macro modelo del FGMOSFET	
2.1 Introducción	22
2.2 Macro modelo de simulación del FGMOSFET en PSPICE	24
2.3 Modelo de inyección, tuneleo y electrones no inyectados	26
2.4 Simulación del FGMOSFET canal p	30
2.5 El amplificador Auto-Ajustable (AFGA)	32
2.6 El WTA Adaptivo	38
CAPÍTULO 3. Minimización del clock-skew mediante celdas de retardo adaptivas (ADSE)	
3.1 Introducción	41
3.2 El AIPMS	44
3.3 El AEPS	50
3.4 Algoritmos para eficientar un sistema digital mediante clock-skew	51
3.5 Corrección del clock-skew mediante lazos de amarre de fase (PLL)	59

CAPÍTULO 4. Diseño geométrico del ADSE

4.1	Introducción	61
4.2	Diseño geométrico de las compuertas lógicas	62
4.3	Diseño geométrico del FGMOSFET canal p	63
4.4	Layout completo del ADSE con L-Edit	64

CAPÍTULO 5. Resultados

5.1	Análisis de los resultados de simulación	65
5.2	Comparación del sistema de corrección de clock-skew propuesto, con el sistema PLL	67

	Conclusiones	69
--	---------------------	----

	Perspectivas de este trabajo	71
--	-------------------------------------	----

	Referencias y Bibliografía	72
--	-----------------------------------	----

APÉNDICE A. Modelo de Simulación del FGMOSFET

A1	Modelo BSIM3v3 del FGMOSFET en subumbral	75
A2	Diseño del FGMOSFET para trabajar en CAPTURE	80

APÉNDICE B. Técnicas para el control de carga de la compuerta flotante de un FGMOSFET

B1	Control de carga mediante pulsos	90
----	----------------------------------	----

AGRADECIMIENTOS

A MI ESPOSA BEATRIZ ADRIANA:

Amiga y compañera de vida que me comprendió y apoyo en todo momento para que lograra una meta en mi vida profesional.

A MIS PADRES REYNA ROJAS Y JAIME IGLESIAS:

Los mejores ejemplos de vida que tengo y que a pesar de estar lejos de ellos, siempre me apoyan y me dan consejo cuando lo necesito.

A MIS ASESORES DE TESIS DR. FELIPE GÓMEZ Y DR. JOSÉ A. MORENO:

Grandes maestros que me brindaron todas las facilidades para la realización de este trabajo de tesis.

A MIS SINODALES DR. ALFREDO REYES Y DR. EZEQUIEL:

Dos buenos investigadores que han auxiliado a muchos que como yo, dan un paso más en su carrera profesional.

A MIS PROFESORES:

Gracias a sus enseñanzas es como pude aprender lo que es un verdadero profesional.

AL CINVESTAV:

A su grandeza como institución de investigación y postgrado que ha hecho crecer a nuestra Nación.

A MI COMPAÑERO JESÚS:

Donde pude acercarme para que me compartiera sus experiencias académicas con las cuales pude mejorar sustancialmente este trabajo.

AL CONACYT:

Uno de los consejos necesarios para el desarrollo donde miles de estudiantes como yo hacen posible su sueño de continuar sus estudios de postgrado para coadyuvar al mejoramiento de este País.

OBJETIVO

El OBJETIVO de este trabajo de Maestría es el de diseñar estructuras CMOS con componentes analógicos y digitales basados en transistores de compuerta flotante (FGMOSFET) programables a través de mecanismos de inyección y tuneo de carga eléctrica, para el ajuste dinámico y adaptable del retardo de pulsos de reloj en circuitos digitales, con el propósito de reducir los efectos de pérdida de sincronía o clock-skew. También es objetivo de este trabajo el analizar y comparar estas estructuras diseñadas basadas en FGMOSFET, con otros circuitos de corrección de clock-skew ya publicados, como el sistema de amarre de fase por lazo o PLL.

INTRODUCCIÓN

Dentro del campo del diseño de circuitos integrados VLSI, existen varios inconvenientes al momento de realizar el diseño geométrico de un sistema digital que trabajará con altas velocidades de reloj. Estos inconvenientes se deben a ciertos fenómenos inherentes al sistema, entre los más importantes se encuentra el clock-skew o desfaseamiento del reloj que llega a cada uno de los elementos secuenciales del sistema digital con respecto al reloj principal.

Para explicar mejor lo que es el clock-skew, véase las Figuras 1 y 2.

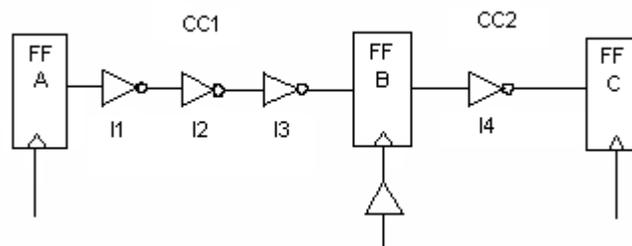


Figura 1. Ajuste del clock-skew para optimizar el período de reloj.

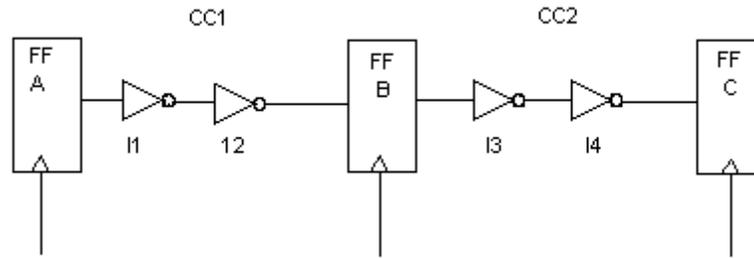


Figura 2. Utilización del RETIMING para optimizar el período del reloj.

En la Figura 1 se muestra una sección de un sistema digital, el cual está limitado en velocidad de reloj, sobre todo por el retardo en los bloques combinatorios. Supongamos que los inversores presentan un retardo de 1 unidad, entonces el retardo total del bloque combinatorio CC1 es de 3 unidades, que es el período mínimo que puede tener la señal de reloj. En este caso, si aplicamos un desfasamiento (desfasamiento) al reloj en FF B de +1 unidad entonces se puede tener un período de reloj de 2 unidades con lo que el sistema se optimiza en velocidad como menciona por primera vez Fishburn ^[1].

En la Figura 2 se tiene un circuito optimizado también en velocidad, al desplazar el FLIP-FLOP FF B hacia la izquierda, de esta manera el sistema también puede funcionar con un período de 2 unidades. A este tipo de optimización se le conoce como RETIMING. Como se puede ver, no es difícil ver que existe una equivalencia entre clock-skew y retiming como se menciona en ^[2]. Utilizando este mismo ejemplo, la relación nos diría que cada unidad de desfasamiento positiva equivale a desplazar el elemento secuencial a tratar, una compuerta hacia la izquierda y por el contrario, una unidad de desfasamiento negativa equivale a desplazar el elemento secuencial una compuerta hacia la derecha.

Se puede ver que tanto el clock-skew como el retiming, son herramientas poderosas de optimización de sistemas digitales y se pueden utilizar en conjunto [3].

Hasta ahora, se ha considerado un sistema el cual no tiene clock-skew o el desfase es de 0, es decir, el reloj llega a todos los elementos secuenciales del sistema al mismo tiempo. En un sistema donde se tiene clock-skew, el problema de optimización se vuelve más complejo, incluso se puede perder datos que propician fallas en el sistema. El clock-skew puede ser producido, ya sea por la diferencia de longitud de las pistas entre la terminal del reloj y cada uno de los elementos secuenciales, las capacitancias asociadas al diseño geométrico, las inductancias parásitas e incluso la temperatura y el voltaje de alimentación.

Se han hecho varias propuestas para evitar el clock-skew, una de ellas es poner celdas de retardo en lugares estratégicos. Esta solución presenta básicamente dos inconvenientes: 1. Mayor área del chip, debido a la celda de retardo. 2. Mayor complejidad para determinar el retardo y la ubicación de la celda, debido a que se basa en los parámetros del diseño geométrico, lo cual, es inconveniente, pues al insertar la celda se modifican dichos parámetros. Existen otras soluciones que sí son efectivas, por ejemplo la utilizada en el procesador Itanium 2, que se basa en fusibles que se configuran después de la fabricación del chip para optimizar el clock-skew. Con este método se ha logrado optimizar la velocidad del procesador hasta por 250Mhz [4]. Recientemente se ha propuesto un método similar al anterior, solo que en lugar de fusibles se utiliza un transistor MOS de compuerta flotante (FGMOSFET) [5]. Este método se basa en utilizar ADSE (Adaptive Delay Sequential Element) en lugar de elementos secuenciales simples. El corazón del ADSE es un transistor FG MOS cuya carga almacenada en su compuerta flotante como un valor analógico, se ve reflejada en un desfase o desfase en el reloj.

En el capítulo 3 se detalla el funcionamiento del ADSE.

En este trabajo de tesis, se profundiza el uso de los ADSE como una alternativa de solución para reducir el clock-skew^[5]. También, se propone un método para utilizar los ADSE en sistemas digitales donde se tiene el problema de clock-skew.

En el capítulo 1, se detallan las características principales del FGMOSFET ¹, su construcción, los tipos que existen, sus características en subumbral, sus mecanismos de inyección y tuneo de electrones, así como el proceso de adaptación.

En el capítulo 2 se muestra el macromodelo en PSPICE del transistor FGMOS tipo p, así como las ecuaciones que rigen a dicho modelo. En este capítulo también se muestran y simulan dos aplicaciones importantes con FGMOSFET, estas son: El circuito AFGA² y el WTA³ adaptable.

En el capítulo 3, se explica con detalle el funcionamiento del ADSE en sus dos versiones (explícita e implícita), también se presenta un algoritmo para utilizar muchas celdas de retardo adaptivas (ADSE) con el propósito de reducir el clock-skew en sistemas digitales, como por ejemplo un sistema de lazo amarrado en fase (PLL).

En el capítulo 4, se detalla el diseño geométrico de la celda de retardo adaptiva con tecnología CMOS de 1.2 μ m.

Finalmente, en el capítulo 5 se analizan los resultados de simulación y se realiza una comparación del sistema propuesto en este trabajo con otro ya publicado.

¹ FGMOS son las siglas de Floating Gate MOS Transistor.

² AFGA son las siglas de Autozeroing Floating-Gate Amplifier.

³ WTA son las siglas de Winner Take-All Circuit.

C A P Í T U L O 1

EL TRANSISTOR MOS DE COMPUERTA FLOTANTE

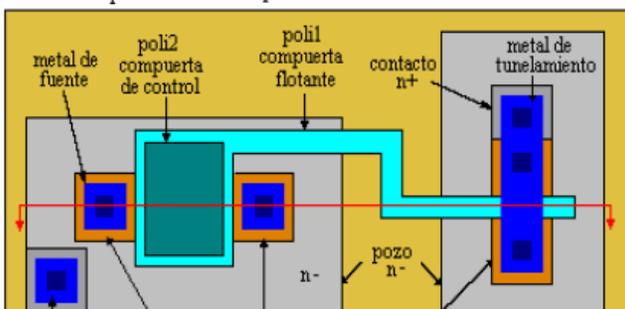
1.1 INTRODUCCIÓN

El transistor MOS de compuerta flotante es similar a un transistor MOS normal, solo que éste tiene dos compuertas de polisilicio. Una de las compuertas está rodeada completamente de óxido de silicio, que es un buen aislante por lo cual, recibe el nombre de compuerta flotante. Existen dos tipos de transistores FGMOS: canal p y canal n. En la Figura 1-1 se detalla la construcción de estos dos tipos de transistores.

La compuerta flotante presenta características únicas, debido a que la carga en ella teóricamente se conserva (es no volátil) ¹. Gracias a esta propiedad de la compuerta flotante, este transistor puede utilizarse como memoria analógica, para una red neuronal o para muchas otras aplicaciones.

¹ En la práctica, esta carga se ha inferido que se mantiene por alrededor de 10 años.

A1. Vista superior del FGMOS p



B1. Vista superior del FGMOS n

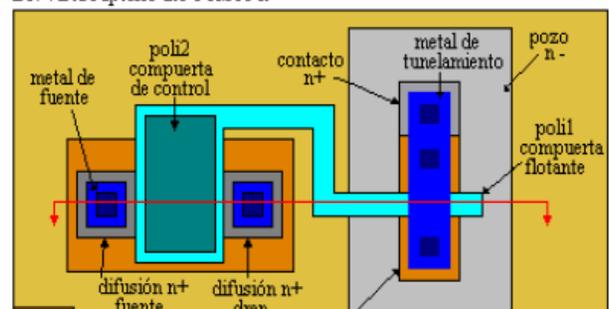


Figura 1-1. Diseño gráfico y topológico del FGMOS en sus dos tipos.

El transistor FGMOS cuenta con 5 terminales, las cuales son: drenador, fuente, substrato, compuerta y terminal de tuneleo.

Existen dos mecanismos a través de los cuales, se puede modular la carga en la compuerta flotante, estos son: inyección y tuneleo de electrones. Estos dos mecanismos se detallan más adelante.

En cuanto a la fabricación del FGMOSFET, se prefiere el tipo p, pues estos transistores normalmente se utilizan en la región de subumbral ($V_{GS} < V_{TH}$) y mientras que el transistor tipo n, requiere de una ligera implantación adicional en el canal para lograr la inyección sin salir de la región de subumbral.

1.2 TEORÍA DE FUNCIONAMIENTO DEL FGMOSFET

Como se mencionó, los transistores MOS de compuerta flotante se operan en la región de subumbral, pues en esta región la carga en la compuerta flotante contribuye en gran manera a la corriente en el canal de dicho transistor.

Algunas de las ventajas de trabajar en la región de subumbral son:

1. El consumo de corriente se ve reducido considerablemente, del orden de 10^{-9} Amperes.
2. La variación de la corriente de canal con respecto al voltaje de compuerta flotante tiene una forma exponencial, es decir, la carga en la compuerta flotante influye en gran manera a la corriente de canal.

Antes de determinar cuál sería el modelo matemático para el transistor MOS de compuerta flotante, vamos a analizar el comportamiento de un MOSFET normal en la región de subumbral [6, 7].

Recordando un poco acerca de la estructura MOS¹, sabemos que existen básicamente 4 regiones de operación en relación al potencial de superficie φ_s , las cuales son:

Región de acumulación:	$\varphi_s < 0$
Región de empobrecimiento:	$0 < \varphi_s < \varphi_f$
Región de inversión débil:	$\varphi_f < \varphi_s < 2\varphi_f$
Región de inversión fuerte:	$\varphi_s > 2\varphi_f$

Cuando nos encontramos en la región de inversión débil, se tienen las siguientes características:

¹ MOS son las siglas de Metal-Óxido-Semiconductor

1. La superficie cambia de conductividad.
2. El campo longitudinal es pequeño respecto al transversal.
3. Se considera que el canal casi se cierra en el drenador, por lo cual la concentración de portadores en la superficie varía desde n_s junto a la fuente hasta 0 junto al drenador.

Con lo anterior, se puede decir que la corriente que predomina en esta región es la de difusión, la cual se calcula como^[6]:

$$I_{diff} = -AD_n \frac{dQ_n}{dy} = AqD_n \frac{dn(y)}{dy} \quad (1-1)$$

Si x_i es la profundidad de canal y considerando $dn \approx n_s$ y $dy = L$, entonces:

$$I_{diff} \approx Wx_iqD_n \frac{n_s}{L} \quad (1-2)$$

Donde L es la longitud del canal y W su ancho.

Sabemos que $\Delta n = N_a - n_i$ y $\Delta x = x_i$; por lo tanto:

$$\frac{dn}{dx} \approx -\frac{N_a - n_i}{N_a} \frac{1}{x_i} = \frac{q}{kT} (-E_s) \quad (1-3)$$

Entonces, el campo en la superficie es:

$$E_s \approx \frac{1}{x_i} \frac{kT}{q} \quad (1-4)$$

Considerando un campo aproximado para un potencial de superficie mayor al potencial de Fermi [6], se tiene:

$$E_s = \sqrt{\frac{2qN_a}{k_s \epsilon_0}} \varphi_s \quad (1-5)$$

$$xi = \frac{kT}{q} \sqrt{\frac{k_s \epsilon_0}{2qN_a \varphi_s}} \quad (1-6)$$

$$I \approx \frac{W}{L} q D_n \frac{kT}{q} \sqrt{\frac{k_s \epsilon_0}{2qN_a \varphi_s}} n_i e^{-U_f} e^{U_s} \quad (1-7)$$

Como se puede observar en la ecuación (1-7), la corriente no depende de V_D , sino del potencial superficial, o sea de V_G . Esta dependencia es exponencial y por ello se optó como criterio de análisis para esta región, usar un parámetro conocido como barrido subumbral S , el cual, es el voltaje que se requiere para que la corriente varíe una década.

Por lo tanto, para un MOSFET normal en subumbral, la corriente varía con respecto a V_g de una manera exponencial[8]. Para un FGMOSFET es lo mismo, sólo que la compuerta ahora es flotante y su voltaje es influenciado básicamente por las capacitancias asociadas y por los mecanismos de inyección y tuneleo.

Al juntar todos estos efectos podremos obtener un modelo para el transistor FGMOS. En la Figura 1-2, se muestra cómo afecta a la compuerta flotante las capacitancias asociadas al transistor[9].

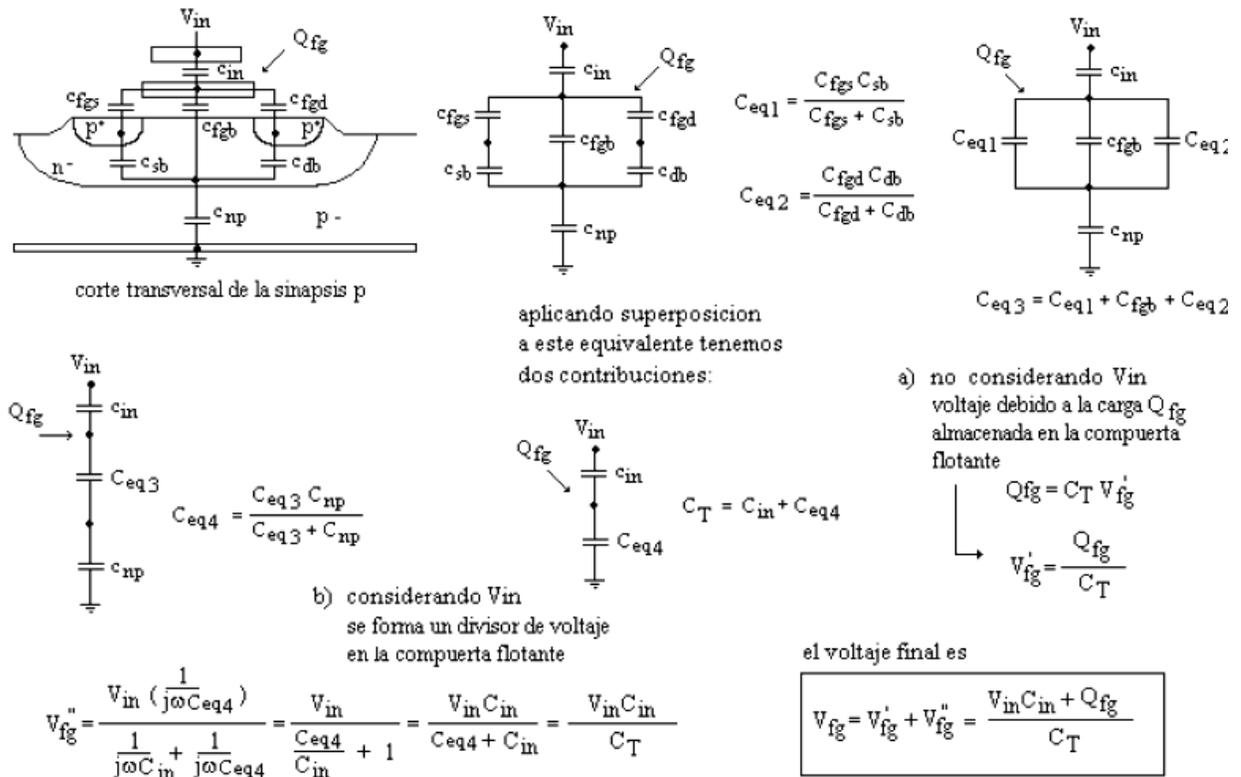


Figura 1-2. Capacitancias dentro del FGMOSFET que afectan la compuerta flotante.

Como se puede ver en la Figura 1-2, el voltaje de la compuerta flotante depende básicamente de las capacitancias del transistor y del voltaje en la compuerta de control V_{in} .

En el capítulo 2 se mostrará un modelo matemático¹ utilizado por PSPICE, con el cual, al juntar los efectos de las capacitancias con el cálculo de la corriente de canal en la región de subumbral, se obtiene:

$$i_{ds} = I_0 \exp\left(\frac{V_{fg}}{nV_T}\right) = I_0 \exp\left(\frac{V_{in} C_{in} + Q_{fg}}{nC_T V_T}\right) \quad (1-8)$$

¹ Se trata del modelo BSIM3v3.

Considerando que el canal del FGMOSFET está en la región subumbral, entonces a pequeña señal, la corriente de canal I_S en un transistor tipo p, de acuerdo a un cambio en su voltaje de compuerta flotante ΔV_{fg} , y voltaje de fuente ΔV_S , es^[10,11]:

$$I_S = I_{S0} e^{\left(\frac{\Delta V_S - k \Delta V_{fg}}{U_T} \right)} \quad (1-9)$$

donde k es el cambio fraccional del potencial de superficie debido a un cambio en el voltaje de la compuerta flotante y U_T es el voltaje térmico (kT/q). En la Figura 1-3 se muestran algunos resultados tomados de [12], en donde se puede ver que estos se aproximan mucho a la ecuación (1-9) en la región de subumbral.

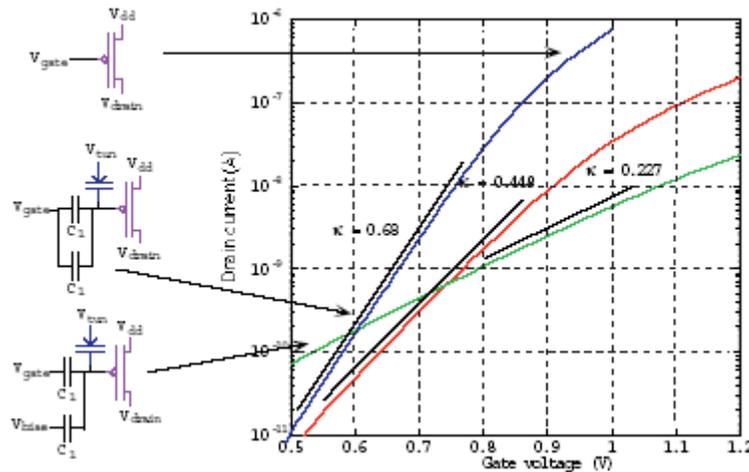


Figura 1-3. Voltaje de compuerta vs Corriente de drenador para los tres circuitos mostrados para una tecnología CMOS de $2.0\mu\text{m}$.

Se puede también modificar la ecuación 1-9 para modelar la corriente con uno y dos capacitores^[13]:

$$I_S = I_{S0} W e^{\left(-\frac{2C}{C_T} \frac{k}{U_T} \Delta V_g \right)} \quad (1-10)$$

$$I_S = I_{S0} W e^{\left(-\frac{C}{C_T} \frac{k}{U_T} \Delta V_g \right)} \quad (1-11)$$

1.3 MECANISMOS DE INYECCIÓN Y TUNELEO

Anteriormente se mostró que se puede inducir un voltaje a la compuerta flotante a través de las capacitancias que existen dentro del transistor, ahora se va a mostrar que existen dos mecanismos a través de los cuales, este voltaje de compuerta flotante puede ser modulado.

LA INYECCIÓN

En la Figura 1-4, se muestra el diagrama de bandas de un FGMOSFET canal p polarizado para favorecer la inyección. La ionización por impacto de huecos calientes (IIHC) crea electrones junto al drenador debido al campo eléctrico alto en esa región. La IIHC es proporcional a la corriente de fuente del transistor y es la exponencial de una función suave del potencial drenador-canal (Φ_{dc}). Estos electrones regresan a la región de canal ganando energía mientras viajan. Cuando su energía cinética excede la barrera del óxido de silicio, entonces estos pueden inyectarse en dicho óxido y ser transportados hasta la compuerta flotante.

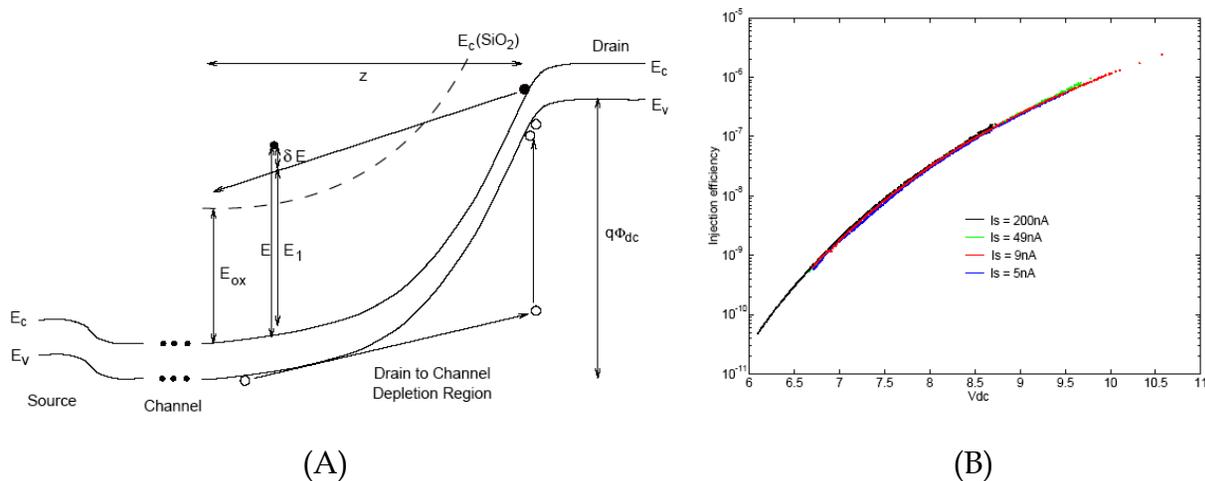


Figura 1-4. (A). Diagrama de bandas de un FGMOSFET canal p en inyección, (B). Eficiencia vs voltaje drenador-canal.

La eficiencia es la razón entre la corriente de inyección y la corriente de fuente. Las mediciones que se muestran en la Figura 1-4(B) para cuatro diferentes corrientes de fuente, son casi idénticas, lo cual, es coherente pues la eficiencia es independiente a la corriente de fuente. Usando una aproximación lineal, se puede modelar la corriente de inyección en base a un cambio en el voltaje de compuerta y drenador (ΔV_d)^[13]:

$$I_{iny} = I_{iny0} \left(\frac{I_S}{I_{S0}} \right)^\alpha e^{\left(\frac{-\Delta V_d}{V_{iny}} \right)} = I_{iny0} e^{\left(-\frac{\alpha k \Delta V_{fg}}{U_T} - \frac{\Delta V_d}{V_{iny}} \right)} \quad (1-12)$$

donde V_d es el voltaje de drenador y $\alpha = 1 - \frac{U_T}{V_{iny}}$.

La ecuación (1-12) modela la corriente de inyección para un FGMOSFET canal p, existen otros modelos para un FGMOSFET canal n, aunque no se tratarán aquí, debido a que en este trabajo sólo utilizarán los FGMOSFET canal p. De esta forma, se puede concluir que la inyección de portadores calientes, disminuye el voltaje en la compuerta flotante.

EL TUNELEO

En la Figura 1-5(A) se muestra una estructura para llevar a cabo el tuneleo. El tuneleo se lleva a cabo a través de una estructura MOS en lugar de una estructura polisilicio-polisilicio, debido principalmente a la calidad del óxido. La calidad del óxido de compuerta es una constante para cualquier proceso CMOS^[14]. El tuneleo se lleva a cabo cuando la barrera de potencial del óxido se ve reducida, debido al campo eléctrico presente en éste^[15]. Cuando la barrera se reduce, existe la probabilidad de que los electrones en la compuerta flotante viajen a través del óxido. El campo eléctrico en el óxido es la diferencia de potencial entre el voltaje de tuneleo V_{tun} y el voltaje en la compuerta flotante V_{fg} , dividida entre el espesor del óxido.

El modelo que describe la corriente de tuneleo es:

$$I_{tun} = I_0 e^{\left(\frac{-E_0}{E_{OX}}\right)} = I_0 e^{\left(\frac{-t_{OX} E_0}{V_{tun} - V_{fg}}\right)} \quad (1-13)$$

donde E_{OX} es el campo eléctrico en el óxido, t_{OX} es el espesor del óxido y E_0 es un parámetro del dispositivo que es aproximadamente $25.6V/nm$ [16, 17].

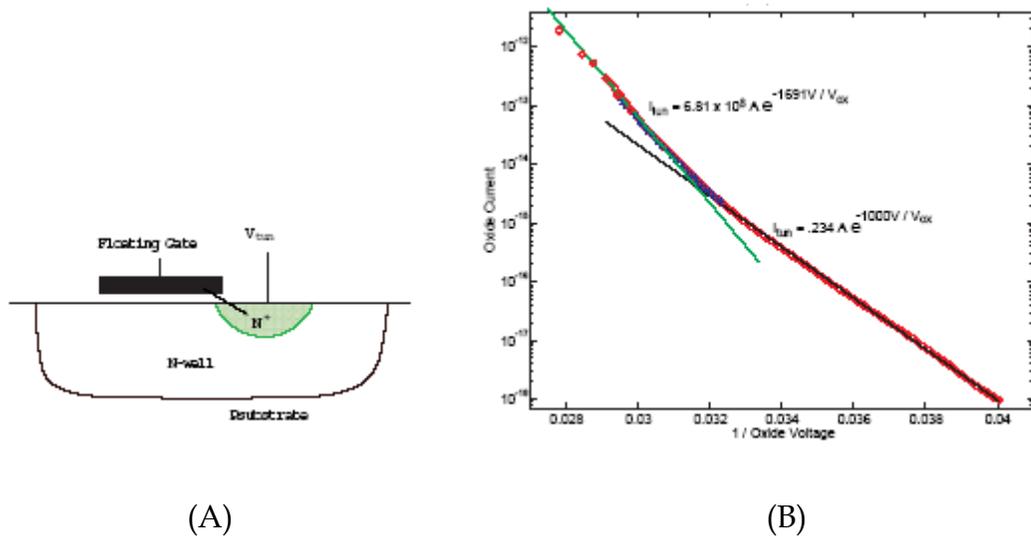


Figura 1-5. (A). Estructura CMOS para llevar a cabo el tuneleo. (B). Corriente de tuneleo vs la inversa del voltaje en el óxido en un proceso CMOS de $2.0\mu m$.

Como se puede observar en la Figura 1-5(B), la corriente de tuneleo depende prácticamente de la diferencia entre el voltaje de tuneleo y el voltaje almacenado en la compuerta flotante. Para la simulación de la corriente de tuneleo, se debe tener cuidado, ya que, con pequeñas diferencias entre V_{tun} y V_{fg} , se pueden presentar errores de convergencia, debido a que esta corriente se hace bastante pequeña. En resumen, el tuneleo de electrones, incrementa el voltaje en la compuerta flotante.

1.4 LA ADAPTACIÓN

Cuando se tiene un circuito, en el cual, la carga en la compuerta flotante se mantiene constante y en donde la corriente de tuneleo es igual a la corriente de inyección, entonces se dice que se tiene un circuito en equilibrio. Normalmente se utiliza el FGMOSFET en circuitos en los cuales, se desea sacar de equilibrio la carga de la compuerta flotante del transistor. Así, de esta manera, la adaptación es el proceso en el cual, este tipo de circuitos tiende a la condición de equilibrio. Un circuito adaptable es por lo tanto, aquel circuito con las características mencionadas, capaz de regresar por si solo a la condición de equilibrio.

Como sabemos, los mecanismos de inyección y tuneleo, provocan que la carga en la compuerta flotante aumente o disminuya respectivamente modulando así la corriente de canal, de hecho, como no se tiene acceso a la compuerta flotante, se puede calcular su carga a través de la corriente de canal.

Para modelar la carga en la compuerta flotante de acuerdo a los dos mecanismos antes mencionados, se utiliza la ley de Kirchoff de corriente en el nodo de compuerta flotante^[13]:

$$\frac{C_T dV_{fg}}{dt} = \frac{C_1 dV_g}{dt} + \frac{C_2 dV_d}{dt} + I_{tun} - I_{iny} \quad (1-14)$$

donde C_1 es la capacitancia de entrada entre la compuerta de control y la compuerta flotante, C_2 es la capacitancia entre drenador y compuerta flotante y C_T es la capacitancia total equivalente.

Como se mencionó anteriormente, los circuitos adaptables normalmente se usan en donde las señales de entrada modifican la condición de equilibrio a través de los mecanismos no lineales de inyección y tuneleo de electrones.

Como las corrientes de inyección y tuneleo son mucho más pequeñas que las corrientes de polarización del transistor, la adaptación por medio de los mecanismos de inyección y tuneleo es mucho más lenta que la operación (multiplicación) que realiza el transistor. En base a lo anterior, se pueden definir dos escalas de tiempo para el comportamiento del FGMOSFET:

1. Escala de tiempo lento debido a los mecanismos de inyección y tuneleo.
2. Escala de tiempo rápido debido a las señales de entrada en la compuerta de control.

De esta manera, un modelo para la compuerta flotante considerando estas escalas de tiempo es:

$$V_{fg} = V_{fg0} + \approx V_{fg} = V_{fg0} + \bar{V}_{fg} + \Delta V_{fg} \quad (1-15)$$

donde V_{fg0} es el voltaje en la compuerta flotante debido a las condiciones de polarización, \bar{V}_{fg} es el voltaje de compuerta flotante debido a los mecanismos de inyección y tuneleo y ΔV_{fg} es el voltaje de compuerta flotante debido a las señales de escala de tiempo rápido.

Finalmente se presenta en la Figura 1-6, una gráfica, en donde se observa que los mecanismos de inyección y tuneleo, afectan al voltaje de umbral del FGMOSFET.

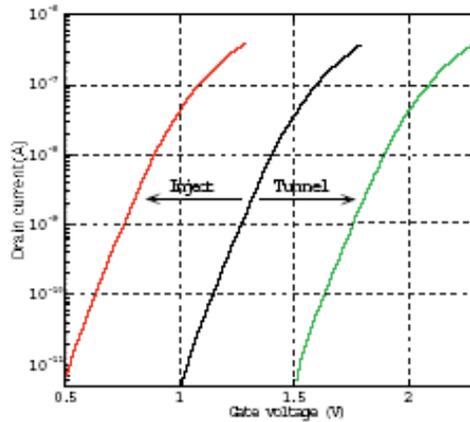


Figura 1-6. El tuneleo aumenta el voltaje de umbral mientras que la inyección lo disminuye.

RESUMEN DEL CAPÍTULO

En este capítulo se trataron los aspectos más importantes del transistor MOS de compuerta flotante como lo son: su constitución, sus características funcionales, los mecanismos de inyección y tuneleo de electrones, etc. Se explicó el proceso de adaptación y sus principales características. Finalmente, se mencionaron algunos sistemas adaptables que se basan en el FGMOSFET.

C A P Í T U L O 2

2.1 INTRODUCCIÓN

En el capítulo anterior, se explicó la teoría de funcionamiento del FGMOSFET así como las ecuaciones que rigen a los dos mecanismos de adaptación. En este capítulo vamos a describir el modelo de simulación del transistor de compuerta flotante (FGMOSFET) tipo p, pues como ya se mencionó anteriormente, es el tipo de transistor con el cual se desarrolló este trabajo.

El modelo de simulación que se describe en este capítulo contempla el efecto de las dos compuertas de polisilicio, de la capacitancia creada en la terminal de tuneleo, de los mecanismos de inyección y tuneleo de electrones y de electrones no inyectados.

En la Figura 2-1 se muestran las corrientes que intervienen en el funcionamiento del FGMOSFET, a saber, éstas son: la corriente de tuneleo, que remueve electrones de la compuerta flotante hacia el pozo de tuneleo n. La corriente de inyección, que inyecta electrones desde el canal hasta la compuerta flotante, la corriente de

electrones no inyectados, que es la corriente que no logra ser inyectada en la compuerta flotante y se pierde en el pozo N de tuneleo.

Enseguida, se explica un modelo de simulación^[11] en PSPICE¹ para los transistores FGMOSFET canal p.

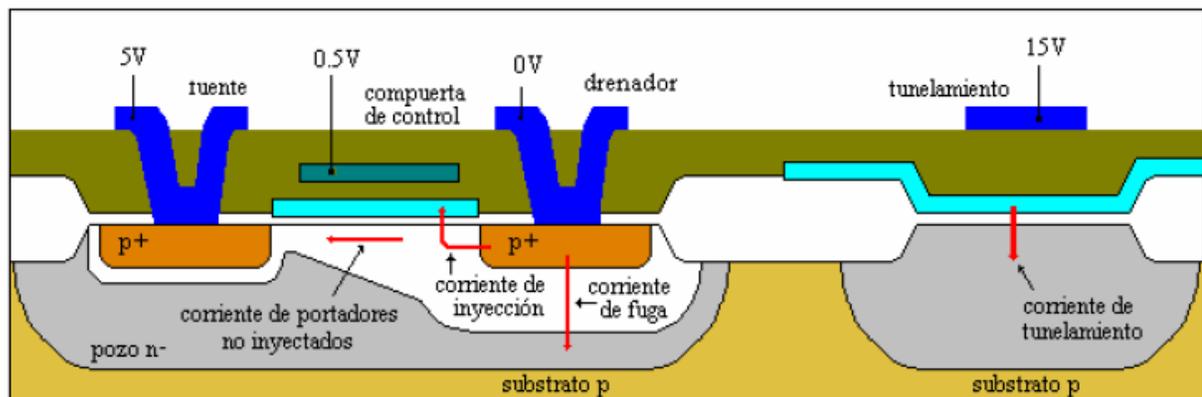


Figura 2-1. Principales corrientes que actúan en un FGMOSFET canal p.

¹ El modelo de simulación es para ORCAD PSPICE en nivel 7

2.2 MACROMODELO DE SIMULACIÓN DEL FGMOSFET EN PSPICE

El modelo que aquí se describe, se basa en el trabajo de C. Diorio^[5], debido a que este modelo proporciona las características necesarias para la simulación del circuito ADSE (Adaptive Delay Sequential Element) y las aplicaciones descritas en este trabajo.

Con base a este modelo de simulación¹, en la Figura 2-2, se muestra el circuito equivalente del FGMOSFET canal p. Es importante mencionar que éste es un modelo aproximado del comportamiento del FGMOSFET, ya que para tener una relación entre sus modelos matemáticos y sus curvas de comportamiento, se utilizaron constantes empíricas^[11].

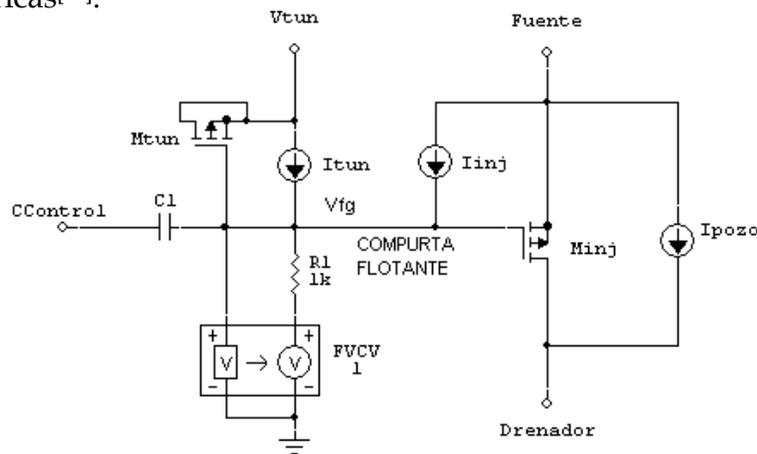


Figura 2-2. Circuito equivalente para simular un FGMOSFET canal p.

El circuito equivalente de la Figura 2-2 toma en cuenta las cuatro corrientes principales que se describen en la Figura 2-1. La corriente de fuga (M_{inj}), esta considerada dentro del modelo de simulación del transistor.

¹ Este modelo empírico se ajusta perfectamente para tecnologías entre 0.25μ y 2μ .

La estructura principal del FGMOSFET, se representa por el transistor M_{inj} de la Figura 2-2, donde su compuerta es la compuerta flotante. Debido a que PSPICE no

puede resolver circuitos con nodos flotantes, este nodo se conecta a una fuente de voltaje controlada por voltaje con una resistencia de algún valor¹. Este mismo nodo se conecta a un capacitor (C_{in}), que es la capacitancia que existe entre la compuerta de control (poli 2) y la compuerta flotante² (poli 1). También, se toma en cuenta la estructura del pozo de tuneleo a través del transistor M_{tun} .

G_{tun} , es la corriente de tuneleo, (cuando se activa este mecanismo) que como se puede observar y de acuerdo a la polarización de esta fuente, la carga del nodo de compuerta flotante disminuye. G_{inj} , es la corriente de inyección, que de acuerdo a su conexión en el circuito, aumenta la carga en la compuerta flotante. Finalmente, G_{well} es la corriente de portadores no inyectados a la compuerta flotante.

Como se puede observar en el circuito de la Figura 2-2, la carga en la compuerta flotante puede variar sólo a través de dos formas: ya sea, a través de las capacitancias asociadas a la compuerta flotante y/ó a los mecanismos de inyección y tuneleo.

Antes de mostrar resultados generados por este modelo, se analizarán las fuentes de corriente asociadas a los mecanismos de inyección y tuneleo, así como la fuente de corriente de portadores no inyectados.

¹ En este modelo la resistencia es de $1k\Omega$ aunque su valor puede ser arbitrario.

² La capacitancia para este modelo es de $10pF$.

2.3 MODELO DE INYECCIÓN, TUNELEO Y PORTADORES NO INYECTADOS

CORRIENTE DE TUNELEO

Con base al modelo utilizado, la corriente de tuneleo (G_{tun}), está dada por^[5]:

$$I_{tun} = -I_{tun0}WL \exp\left(-\frac{V_f}{V_{ox}}\right) \quad (2-1)$$

donde I_{tun0} , es la corriente pre-exponencial de tuneleo, W es el ancho de canal en micras, L es la longitud de canal en micras, V_f es un voltaje constante cuyo valor depende del espesor del óxido y V_{ox} es el potencial en el óxido en voltios ($V_{tun} - V_{fg}$).

De acuerdo a nuestro modelo¹, la ecuación (2-1) se representa por:

$$I_{tun} = -9.35 \times 10^8 \exp\left(-\frac{368.04}{V_{ox}}\right) \quad (2-2)$$

Como se puede observar en la ecuación (2-2), la corriente de tuneleo depende directamente de la diferencia de tensión entre la terminal de tuneleo y la compuerta flotante. Es muy importante tomar en cuenta lo anterior, pues si se tienen pequeñas diferencias de tensión, la corriente puede ser tan pequeña que PSPICE tendrá problemas de convergencia.

En la Figura 2-3, se muestra el comportamiento de la corriente de tuneleo de acuerdo al potencial aplicado al óxido.

¹ Recuerde que este modelo es válido para tecnologías entre 0.25 μ y 2 μ . Nuestro circuito usa tecnología de 1.2 μ .

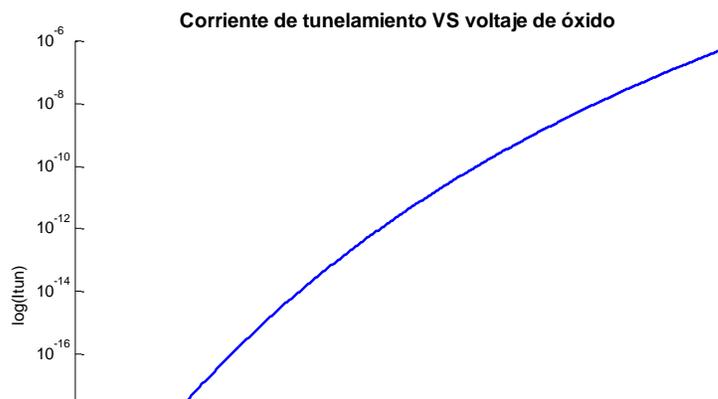


Figura 2-3. Corriente de tuneleo vs voltaje en el óxido

Nótese que la corriente de tuneleo es bastante pequeña a diferencias de potencial de óxido menores a 6V. De esta manera, por ejemplo si se tiene un voltaje de compuerta flotante de 2.5V, entonces el voltaje mínimo en la terminal de tuneleo para activar dicho mecanismo, será de 8.5V.

CORRIENTE DE INYECCIÓN

La corriente de inyección (I_{iny}), está dada por^[11]:

$$I_{iny} = \alpha I_s \exp\left(-\frac{\beta}{(V_{gd} + \delta)^2} + \lambda V_{sd}\right) \quad (2-3)$$

donde I_s es la corriente de canal o fuente, V_{gd} es el voltaje entre compuerta y drenador, V_{sd} es el voltaje entre fuente y drenador y a , β , δ , λ son constantes que sirven para ajustar la ecuación.

Una vez incorporando las constantes empíricas en la ecuación (2-3), se obtiene:

$$I_{iny} = 1.30 \times 10^{-5} I_s \exp\left(-\frac{155.75}{(V_{gd} + 0.702)^2} + V_{sd}\right) \quad (2-4)$$

En la Figura 2-4, se muestra el comportamiento de la corriente de inyección con respecto a la corriente de canal para 3 valores distintos de voltaje fuente-drenador.

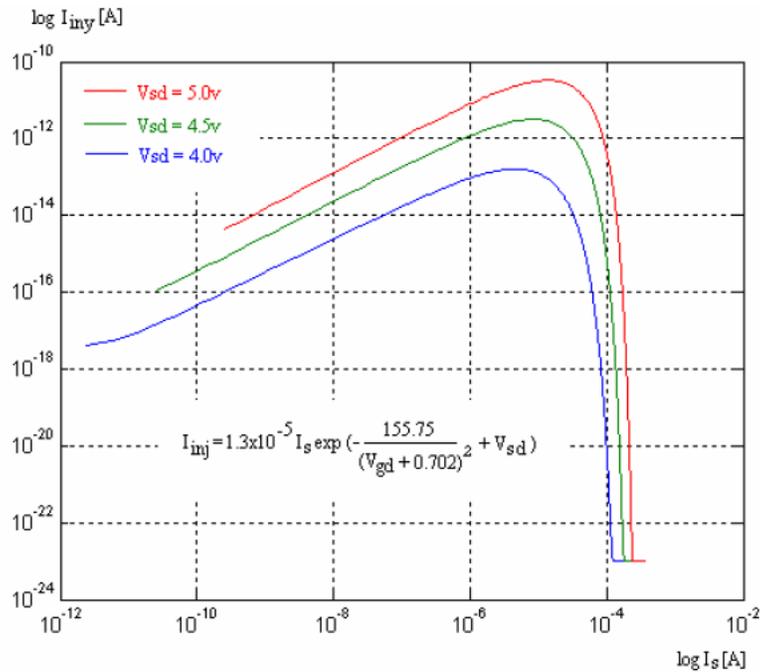


Figura 2-4. Corriente de inyección vs corriente de canal.

Como se puede observar, la corriente de inyección aumenta conforme aumenta la corriente de canal. Como se mostró anteriormente, una parte de la corriente de canal se inyecta a la compuerta flotante a través del óxido de silicio y otra parte no se inyecta como se muestra a continuación.

CORRIENTE DE ELECTRONES NO INYECTADOS

La corriente de portadores no inyectados (G_{niny}), está dada por^[11]:

$$I_{niny} = \eta I_s (\gamma V_{sd} - \kappa V_{sg} + V_t) \exp\left(\frac{-\lambda}{\gamma V_{sd} - \kappa V_{sg} + V_t}\right) \quad (2-5)$$

donde I_s es la corriente de fuente, V_{sd} el voltaje de fuente a drenador, V_{sg} el voltaje de fuente a compuerta y $\eta, \gamma, \kappa, \lambda$, son constantes empíricas.

La corriente no inyectada, también se le llama como corriente de pozo o de substrato (I_b), debido a que es ahí donde regresan los portadores que no pudieron ser inyectados en la compuerta flotante. La ecuación (2-6), determina la corriente de portadores no inyectados con las constantes empíricas determinadas experimentalmente.

$$I_{niny} = 1.22 I_s (2.985 V_{sd} - 1.985 V_{sg} + V_t) \exp\left(\frac{-94.85}{2.985 V_{sd} - 1.985 V_{sg} + V_t}\right) \quad (2-6)$$

En la Figura 2-5, se muestra la corriente de portadores no inyectados con respecto a la corriente de fuente para tres valores de voltaje de fuente-drenador.

Si se comparan las Figuras 2-4 y 2-5, se observa que la corriente de portadores no inyectados es mucho mayor que la corriente de inyección de electrones¹ por lo que se puede concluir que el mecanismo de inyección es poco eficiente.

¹ La corriente de inyección es de unas cuantas decenas de femtoamperes (fA).

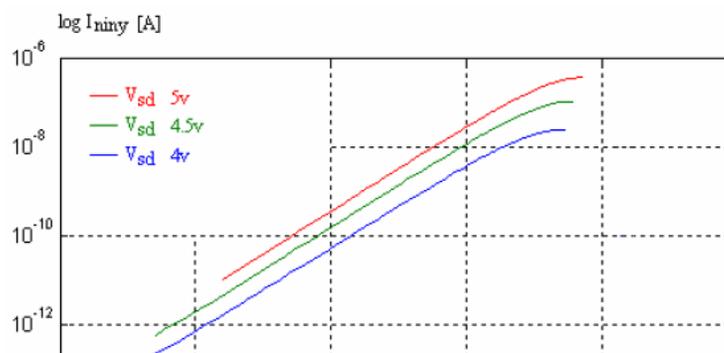


Figura 2-5. Corriente de portadores no inyectados vs corriente de fuente.

2.4 SIMULACIÓN DEL FGMOSFET CANAL P

Para la simulación del FGMOSFET canal p, se utilizará el modelo en CAPTURE que se describe en el apéndice A2, el cual se basa en el modelo empírico descrito en este capítulo. En la Figura 2-6, se muestra el circuito esquemático para simular los mecanismos de inyección y tuneleo del FGMOSFET.

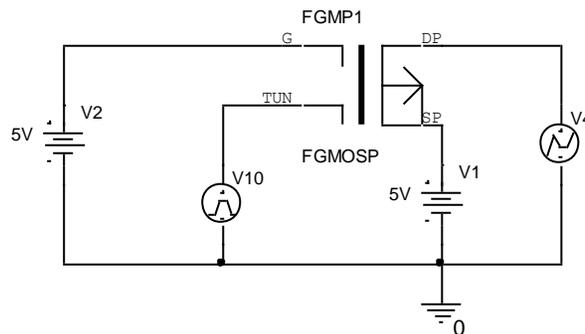


Figura 2-6. Circuito esquemático para la simulación de los mecanismos de inyección y tuneleo del FGMOS.

En la Figura 2-7 se tiene el resultado de la simulación en PSPICE de un FGMOSFET canal p con $L = 2.4\mu$, $W = 3\mu$. El voltaje de tuneleo es de aproximadamente 10.78V y el de inyección de aproximadamente 7V, por lo que se aplica al drenador -2V. El voltaje inicial en la compuerta flotante es de 2.5V.

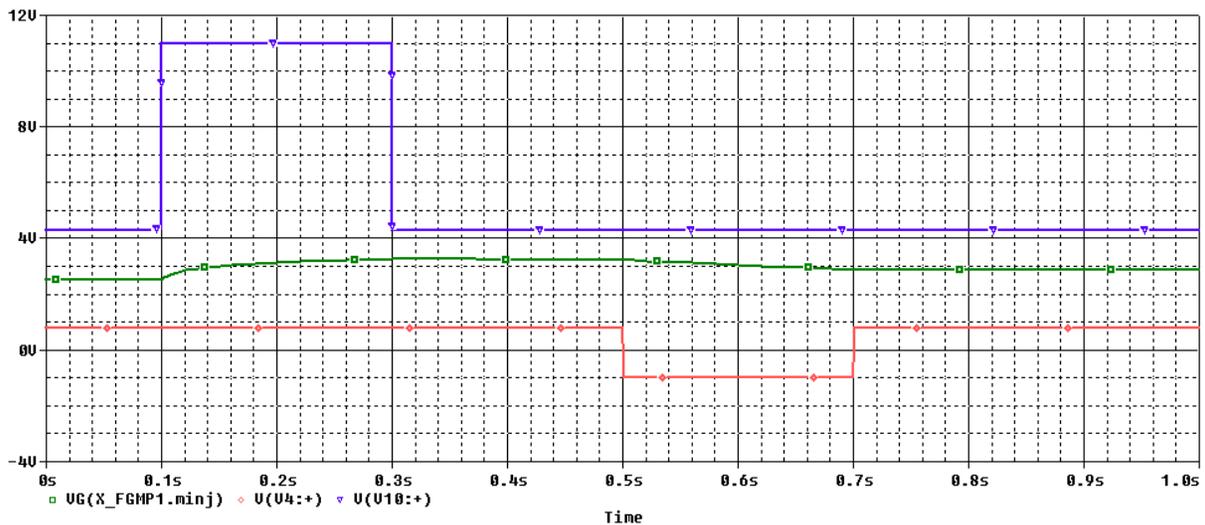


Figura 2-7. Resultado de la simulación de los mecanismos de inyección y tuneleo del FG-MOSFET canal p.

En la Figura anterior se observa que la carga de la compuerta flotante es inicialmente de 2.5V porque así se definió en el simulador; después, a los 100ms, ocurre un pulso de 11 V en la terminal de tuneleo, con lo cual se ve que el voltaje en la compuerta flotante aumenta. 200ms después, la terminal de tuneleo regresa a 4.3V (no hay tuneleo) y a los 500ms, ocurre un pulso negativo (-1V) en el drenador, lo que favorece la inyección que se refleja en la disminución del voltaje de la compuerta flotante el cual, después de 800ms, se mantiene debido a que ya no existe un mecanismo dominante.

2.5 EL AMPLIFICADOR AUTOAJUSTABLE (AFGA)

En general, la función de un amplificador es la de amplificar una señal de frecuencia f por un factor G llamado ganancia. Un amplificador tiene una señal de

entrada y una señal de salida. Las señales de entrada normalmente tienen una componente de C.D. la cual puede afectar el funcionamiento del amplificador. La solución más común a este problema es utilizar un capacitor de bloqueo a la entrada del amplificador y dejar sólo pasar la señal alterna. En amplificadores integrados, el utilizar un capacitor de bloqueo es un problema, pues se requieren capacitancias grandes las cuales es imposible integrarlas en un chip de silicio. Otras técnicas, emplean un sistema Digital que muestrea el offset de entrada, lo procesa y manda una corrección a la salida del amplificador, estos sistemas son muy complejos, además de que son más ruidosos comparados con los amplificadores comunes. El AFGA es un circuito muy sencillo que presenta un ajuste de offset a la salida, esto gracias a los mecanismos de inyección y tuneo que presenta el FGMOSFET, que es el corazón de este circuito. Además de sencillo, no se requiere de circuitos adicionales para ajustar los mecanismos de inyección y tuneo, pues son inherentes al funcionamiento del amplificador. En la Figura 2-8 se muestra el diagrama eléctrico del AFGA^[18, 13, 19].

Figura 2-8. Circuito eléctrico del AFGA.

$C1$ es la capacitancia entre la compuerta flotante y la compuerta de control, $C2$ es la capacitancia entre la compuerta flotante y el drenador, C_{tun} es la capacitancia entre

la terminal de tuneleo y la compuerta flotante, C_w es la capacitancia entre la compuerta flotante y el substrato y C_L es la capacitancia de salida (carga).

FUNCIONAMIENTO CUALITATIVO DEL AFGA

El AFGA consiste en un FGMOSp que sirve como amplificador y en un MOS canal n que sirve como fuente de corriente. Debido a las capacitancias de retroalimentación, el AFGA presenta una ganancia similar a $-(C1/C2)$. La máxima ganancia está limitada por la ganancia de lazo abierto y la capacitancia parásita entre la compuerta flotante y el drenador. La adaptación se logra mediante los mecanismos de inyección y tuneleo. Por ejemplo, cuando el voltaje de salida es menor al voltaje de equilibrio, entonces la caída en V_{ds} en el FGMOS aumenta, aumentando la corriente de inyección. Como la corriente de inyección es ahora mayor que la de tuneleo, la carga en la compuerta flotante disminuye, disminuyendo la caída en V_{ds} y por lo tanto aumenta el voltaje de salida hasta su valor de equilibrio. Por el contrario, cuando el voltaje de salida sube por arriba de su valor de equilibrio, la tensión V_{ds} disminuye, disminuyendo la corriente de inyección, por lo tanto la corriente de tuneleo es mayor y aumenta la carga en la compuerta flotante, aumentando V_{ds} y disminuyendo el voltaje de salida hasta su valor de equilibrio.

El equilibrio del AFGA se logra cuando las corrientes de canal en el transistor p y en el transistor n son iguales: $I_n = I_p = I_{so}$.

La segunda condición de equilibrio es que las corrientes de tuneleo e inyección sean iguales: $I_{tun} = I_{inj}$.

Debido a que las corrientes tanto de inyección como de tuneleo son muy inferiores a las de canal (I_{so}), y las capacitancias asociadas son similares, la primera condición es más fácil que se cumpla que la segunda.

La región en la que se cumple la primera condición pero no la segunda, es la región en que el AFGA se comporta como amplificador. La región en la que la primera condición no se mantiene, el voltaje de salida se atenúa comportándose el AFGA como filtro pasa-bajos.

El AFGA en general, es un amplificador pasa-banda con una frecuencia de corte baja dada por la corriente de inyección y tuneleo, y una frecuencia de corte alta dada por la corriente de equilibrio de canal de los transistores MOS n y FGMOS p.

MODELO DE INYECCIÓN Y TUNELEO

Para desarrollar el modelo de inyección y tuneleo, se debe de tomar en cuenta que se trabajará en la región de subumbral, es decir, $V_{gs} < V_{th}$. La corriente de canal en subumbral para los dos transistores está dada por^[13]:

$$nFET : I_n = I_{SO} e^{\kappa_n \Delta V_g / U_T} e^{\Delta V_d / V_A} \quad (2-7)$$

$$pFET : I_p = I_{SO} e^{-\kappa_n \Delta V_g / U_T} e^{-\Delta V_d / V_A} \quad (2-8)$$

donde: k_n , k , es el cambio fraccional en el potencial de superficie debido a cambios en V_g , V_a es el voltaje Early y U_t el voltaje térmico.

El modelo para la corriente de tuneleo es:

$$I_{tun} = I_{tun0} e^{(\Delta V_{tun} - \Delta V_{fg}) / V_x} \quad (2-9)$$

El modelo para la corriente de inyección es:

$$I_{iny} = I_{iny0} e^{\left(\frac{\alpha \kappa \Delta V_{fg}}{U_T} - \frac{\Delta V_d}{V_{iny}} \right)} \quad (2-10)$$

COMPORTAMIENTO DEL AFGA EN BAJA FRECUENCIA

El primer paso para analizar al AFGA, es obtener las ecuaciones que gobiernan su comportamiento, las cuales se obtienen por medio de la ley de Kirchoff de corriente en un nodo (KCL).

En el nodo de la compuerta flotante se tiene:

$$(C_1 + C_2 + C_w) \frac{dV_{fg}}{dt} = C_1 \frac{dV_{in}}{dt} + C_2 \frac{dV_{out}}{dt} + I_{tun0} \left(1 - \exp \left(-\alpha \frac{\kappa \Delta V_{fg}}{U_T} - \frac{\Delta V_{out}}{V_{iny}} \right) \right) \quad (2-11)$$

Para obtener la ecuación (2-11), se toman en cuenta las capacitancias conectadas al nodo y se aplica el principio de superposición, también se suman las corrientes de tuneo e inyección.

La ecuación (2-12) se obtiene aplicando KCL al nodo de salida:

$$(C_2 + C_L) \frac{dV_{out}}{dt} = C_2 \frac{dV_{fg}}{dt} + I_\tau \left(\exp \left(\frac{-\kappa \Delta V_{fg}}{U_T} \right) - 1 \right) \quad (2-12)$$

Cuando el AFGA se comporta como amplificador, la carga en la compuerta flotante es dependiente de la retroalimentación negativa, por lo que en las ecuaciones generales se pueden despreciar las corrientes de inyección y tuneo, esto permite una aproximación que simplifica la ecuación (2-13).

$$C_2 \frac{dV_{out}}{dt} = -C_1 \frac{dV_{in}}{dt} \quad (2-13)$$

De la ecuación anterior se puede ver claramente que la ganancia es igual a $-(C1/C2)$.

Para analizar el comportamiento del AFGA en baja frecuencia, debemos hacer dos aproximaciones, la primera es considerar la ganancia de lazo abierto desde la compuerta flotante hasta la salida, muy grande. Si se pretende mantener el voltaje de salida entre sus límites marcados, se debe tener una variación de V_{fg} muy pequeña, por lo cual se considerará V_{fg} como constante. La segunda aproximación es considerar que la corriente de equilibrio I_{so} depende de la corriente de canal del nFET, pues debido a que V_{fg} es casi constante, la corriente en el canal o de fuente varía muy poco. Bajo estas consideraciones y dada una corriente predeterminada I_{so} , de las ecuaciones (2-9) y (2-10) se tiene:

$$I_{tun} - I_{iny} = I_{tun0} \left(1 - \exp \left(- \frac{\Delta V_{out}}{V_{iny}} \right) \right) \quad (2-14)$$

La corriente total en la compuerta flotante, es la suma de las corrientes capacitivas de la entrada y la salida, más las corrientes de inyección y tuneleo.

$$C_2 \frac{dV_{out}}{dt} = -C_1 \frac{dV_{in}}{dt} + I_{tun0} \left(\exp \left(- \frac{\Delta V_{out}}{V_{iny}} \right) - 1 \right) \quad (2-15)$$

Haciendo un cambio de variable y resolviendo, se tiene :

$$\tau_1 = C_2 \frac{V_{inj}}{I_{tun0}} \quad (2-16)$$

de donde se obtiene la frecuencia de corte baja.

$$y, \quad A_v = - \frac{C_1}{C_2} \quad (2-17)$$

que es la ganancia del amplificador.

COMPORTAMIENTO DEL AFGA A ALTA FRECUENCIA

En frecuencias muy altas, el AFGA se comporta como un filtro pasa-bajos. En este régimen, las corrientes de inyección y tuneo son despreciables, por lo tanto, se puede aproximar la ecuación (2-11) a:

$$C_T \frac{dV_{fg}}{dt} = C_1 \frac{dV_{in}}{dt} + C_2 \frac{dV_{out}}{dt} \quad (2-18)$$

Juntando los efectos de baja y alta frecuencia, el AFGA se comporta como un filtro pasa-banda cuya frecuencia de corte baja está dada a partir de la ecuación (2-16) y su frecuencia de corte alta está dada a partir de la ecuación (2-19).

$$\tau_h = \frac{(C_T C_0 - C_2^2) U_T}{\kappa C_2 I_\tau} \quad (2-19)$$

EJEMPLO DE SIMULACIÓN DE UN AFGA

Ahora que se ha mostrado con detalle la teoría de funcionamiento del AFGA, se simulará un ejemplo en el que la ganancia del amplificador sea de 10^1 . En la Figura 2-9 se muestra el resultado de la simulación con una señal de entrada que tiene un cambio en su componente de C.D.

¹ La ganancia del amplificador se hace 10 asignando valores a C1 y C2.

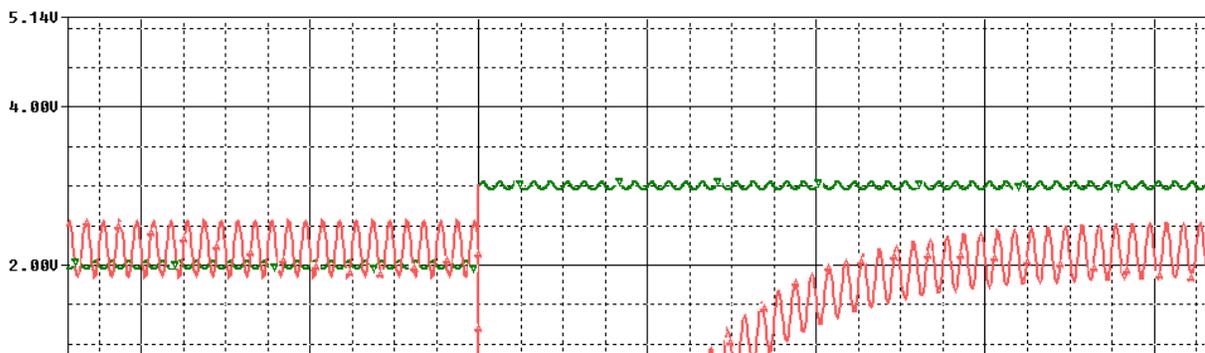


Figura 2-9. Respuesta de un AFGA con ganancia 10 ($C_1=1pF$, $C_2=0.1pF$).

3.1 EL WTA ADAPTIVO

Antes de explicar la función de un AWTA, se verá qué es un circuito WTA sencillo de dos entradas. En un circuito WTA, cada célula tiene una entrada y una salida respectiva. Para cualquier conjunto de entradas, todas las salidas tendrán un estado lógico 0, excepto aquella cuya entrada tiene el valor máximo de todas las otras. Cada célula puede inhibir a las demás y excitarse a ella misma si es que su entrada es mayor. La función WTA es utilizada ampliamente en redes neuronales que involucran competencia de aprendizaje y cuantización vectorial. Un circuito WTA clásico^[20] permanece sin cambios en sus salidas, una vez que una de sus entradas ha ganado, lo cual puede ser una desventaja en algunas aplicaciones. Gracias a las prestaciones de los FGMOSFET, se puede diseñar un WTA al cual se le introduce un nuevo concepto conocido como, “el agotamiento”. Así, cuando una entrada ha ganado, dicha salida llega a su máximo nivel mientras inhibe a las otras como si fuera un WTA clásico pero después de algún tiempo, la salida ganadora tiende a agotarse hasta permitir a otras entradas que puedan ganar repitiendo así el ciclo. Este circuito se llama AWTA ó WTA adaptable. En la Figura 2-10, se muestra un AWTA clásico de 2 entradas y dos salidas.

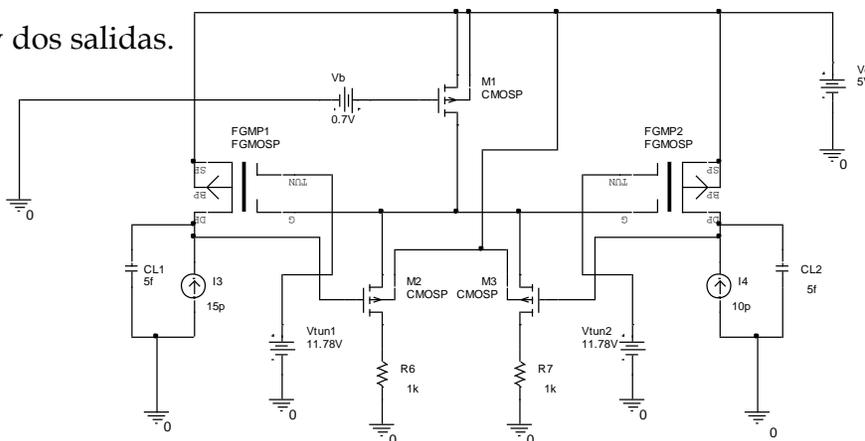


Figura 2-10. Un AWTA de dos células.

Como puede apreciarse en la Figura anterior, el AWTA funciona con corriente¹, es decir, lo que se va a comparar en las entradas es una diferencia de corriente y no de voltaje. Los resultados muestran que el circuito funciona adecuadamente siempre y cuando la diferencia entre las entradas no sea menor a 8fA. En [21] se detalla completamente el funcionamiento del AWTA. Para dos entradas de corriente mostradas en la Figura 2-11, se obtienen las salidas de corriente mostradas en la Figura 2-12.

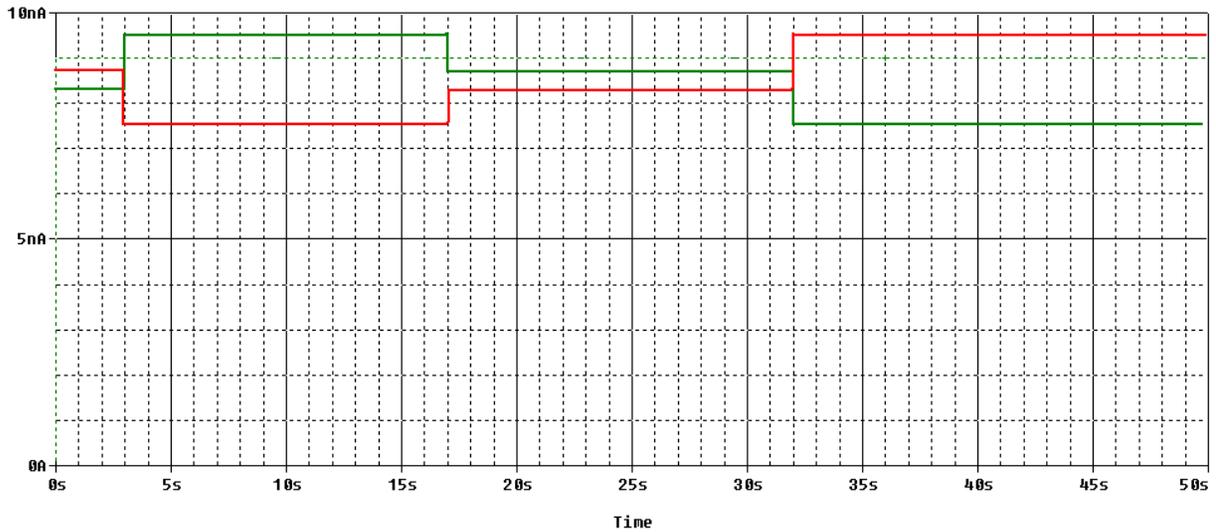


Figura 2-11. Señales de entrada de corriente al circuito AWTA de la Figura 2-10.

¹ El WTA clásico funciona con voltaje.

Como se observa, las corrientes tienen una pequeña diferencia para ver el comportamiento a la salida. Esta diferencia de corriente está alrededor de un punto de corriente de 8.5nA.

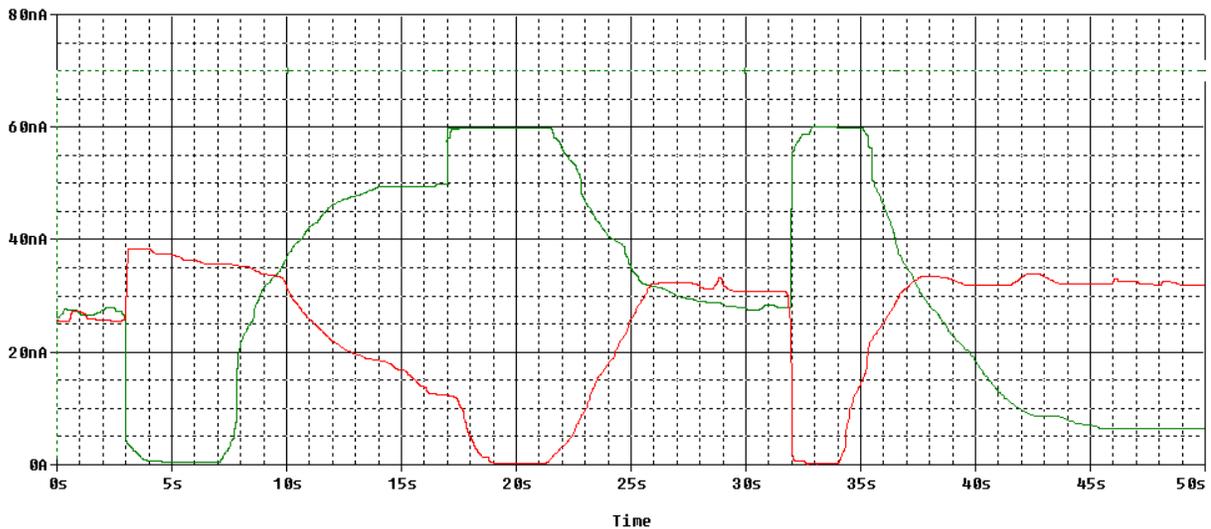


Figura 2-12. Respuesta del circuito de la Figura 2-10, con las entradas de corriente de la Figura 2-11.

RESUMEN DEL CAPÍTULO

En este capítulo se mostró un macromodelo en PSpice del transistor MOS de compuerta flotante. Se mostraron los detalles de dicho modelo así como las ecuaciones que lo conforman. Al final de este capítulo se simularon dos importantes aplicaciones que se basan en el FGMOSFET: el AFGA y el AWTA. Para simular dichas aplicaciones se utilizó el modelo presentado.

C A P Í T U L O 3

MINIMIZACION DEL
CLOCK-SKEW
MEDIANTE CELDAS DE
RETARDO ADAPTIVAS
(ADSE)

3.1 INTRODUCCIÓN

En los capítulos anteriores se dio a conocer lo más importante acerca del FGMOSFET, incluso se presentó un macromodelo en PSPICE para la simulación de dicho transistor. En este capítulo se mostrará una de las tantas aplicaciones de este transistor y que es el corazón de este trabajo, el ADSE¹. El ADSE es un elemento secuencial² o FLIP-FLOP (FF), solo que a diferencia de los FF comunes, este elemento es adaptable, es decir, es capaz de adaptarse a las variaciones de clock-skew presentes en el sistema digital en que se emplean.

El objetivo de este capítulo es el de analizar y diseñar un ADSE cuyo corazón es un FGMOSFET, además de proponer un algoritmo para el uso de varios de ellos en un sistema digital real.

¹ ADSE son las siglas en inglés de Adaptive Delay Sequential Element.

² El FLIP-FLOP que se utiliza en este trabajo es de tipo D configurado como Master/Slave.

En [5] se menciona por primera vez el concepto de ADSE como medio para corregir el clock-skew en un sistema digital. Basado en esta referencia realizada por C. Diorio, en este trabajo se retoma el concepto de ADSE para analizar e implementar la corrección del clock-skew, además se propone un algoritmo de conexión entre dichos elementos, con el propósito de ser utilizados en una aplicación real. En esta aplicación, se pueden ver las ventajas y desventajas en relación a otros circuitos de

corrección de clock-skew como los PLL¹. Existen varios algoritmos de conexión detallados en [22]. Es importante recordar que lo que se pretende es reducir el clock-skew después de la fabricación del circuito integrado, para optimizarlo sobre todo en velocidad. Aunque el ajuste de clock-skew se pretende hacer solo una vez, nuestro circuito basado en ADSE es dinámico, es decir, si después de la post-fabricación, el circuito sufre de clock-skew, éste es capaz de corregirlo las veces que sea necesario.

Como se menciona en la introducción de este trabajo, el período del reloj en un sistema digital, se limita principalmente por el máximo retardo entre dos elementos secuenciales debido a los elementos combinatorios que se conectan entre ellos, a este retardo hay que sumarle los efectos del clock-skew generado por las mismas propiedades de diseño del circuito integrado. Si se logra reducir el clock-skew hasta considerarlo despreciable, entonces solo se tendrá el limitante del retardo máximo debido a los bloques combinatorios. Por ejemplo, si se tiene un período de 100ns y el máximo retardo entre bloques combinatorios es de 10ns, entonces, si se quiere elevar la frecuencia disminuyendo este período, el límite será de 10ns o 100Mhz, debido a que si se disminuye mas el período, se pueden tener pérdidas de datos debido al doble-reloj o al reloj-nulo, lo cual significa que dos datos lleguen a un elemento secuencial antes del flanco de reloj o que llegue el flanco del reloj antes que cualquier dato, respectivamente.

¹ PLL son las siglas en inglés de Phase Locked Loop.

Si a lo anterior se suma el clock-skew, suponiendo como ejemplo que éste es de 7ns, entonces el período mínimo para el ejemplo será de 17ns, reduciendo el límite de velocidad a 58Mhz. Como se ve claramente, corrigiendo el clock-skew, es posible eficientar el sistema en velocidad en 42Mhz más. En [23] se demuestra cómo un circuito puede ser más eficiente tomando un esquema de cero clock-skew.

Se han publicado diferentes métodos para reducir el clock-skew. Estos métodos se utilizan principalmente en sistemas con procesador^[4, 24, 25, 26]. En [27] se trata con más detalle la optimización del clock-skew.

Para evitar que un sistema tenga pérdida de datos, hay que evitar siempre el doble-reloj y el reloj-nulo, para ello es necesario cumplir con las condiciones dadas en las inecuaciones (3-1) y (3-2)^[2]. Véase Figura 3-1.

$$x_i + d(i, j) \geq x_j + T_{hold} \quad (3-1)$$

$$x_i + d(i, j) + T_{setup} \leq x_j + P \quad (3-2)$$

donde x_i y x_j son los desfases en los FF i y j respectivamente, $d(i, j)$ es el retardo debido al bloque combinatorio entre el FF i y el FF j , T_{setup} y T_{hold} están asociados a los FFs y P es el período de la señal de reloj.

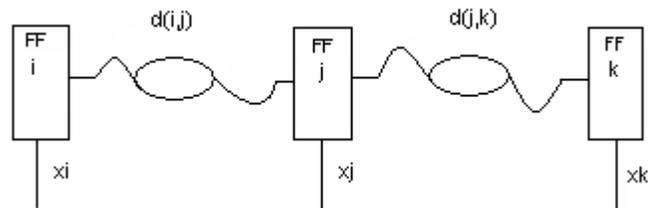


Figura 3-1. Efecto de los retardos combinatorios entre los elementos secuenciales

3.2 EL AIPMS

Existen varios tipos de elementos secuenciales, entre ellos están los estáticos, los dinámicos^[5], y los adaptables. Dentro de estos últimos, se considerarán dos de ellos: los implícitos (AIPMS¹) y los explícitos (AEPS²).

En la Figura 3-2 se muestra un FLIP-FLOP tipo maestro-esclavo con retardo adaptable de pulso implícito. En esta misma Figura se hace notar que la parte superior es el FLIP-FLOP que responde en los flancos negativos y la parte inferior es un generador de pulsos de reloj con retardo adaptable, dependiente de la carga en la compuerta flotante del FGMOSFET. Los AIPMS utilizan FLIP-FLOPS tipo maestro-esclavo con lo que se puede decir que tienen un tiempo de establecimiento positivo y tiempo de sostenimiento cero o negativo. Por lo anterior, se puede también decir que las estructuras maestro-esclavo son inmunes a variaciones en el tiempo de sostenimiento^[28, 29]. En el AIPMS se utilizará un FGMOSFET para controlar el tiempo de establecimiento.

Los transistores M1, M7 y el FGMOSFET con espejo de corriente forman el corazón de la celda de retardo adaptable, pues la corriente del inversor formado por M1 y M7 es controlada por la corriente de canal del FGMOSFET, que a su vez depende del voltaje de compuerta flotante. U18 y U19 son inversores CMOS, necesarios para proporcionar las fases requeridas por el FLIP-FLOP de la parte superior de la Figura 3-2. En esta misma parte se pueden apreciar 6 compuertas de transmisión así como 8 inversores, todos ellos hechos con tecnología CMOS de 1.2 μ m. Para que el FLIP-FLOP mantenga su estado lógico utiliza retroalimentación positiva.

¹ AIPMS es el acrónimo en inglés de Adaptive Delay Implicit-Pulsed Master-Slave.

² AEPS es el acrónimo en inglés de Adaptive Delay Explicit-Pulsed Static FLIP-FLOP.

El generador de reloj de la parte inferior de la Figura 3-2 presenta un retardo de tiempo de acuerdo a la carga de la compuerta flotante del FGMOSFET, pues el drenador de este último controla la corriente del primer inversor, que conforma el generador de reloj. En la Figura 3-3 se muestran los resultados de simulación del AIPMS donde se puede apreciar el retardo que se genera en el reloj interno que alimenta al FLIP-FLOP, este retardo depende del voltaje en la compuerta flotante. La

relación entre clock-skew y la corriente de sintonía¹ y el voltaje de compuerta flotante se muestran en las Figuras 3-4 y 3-5 respectivamente.

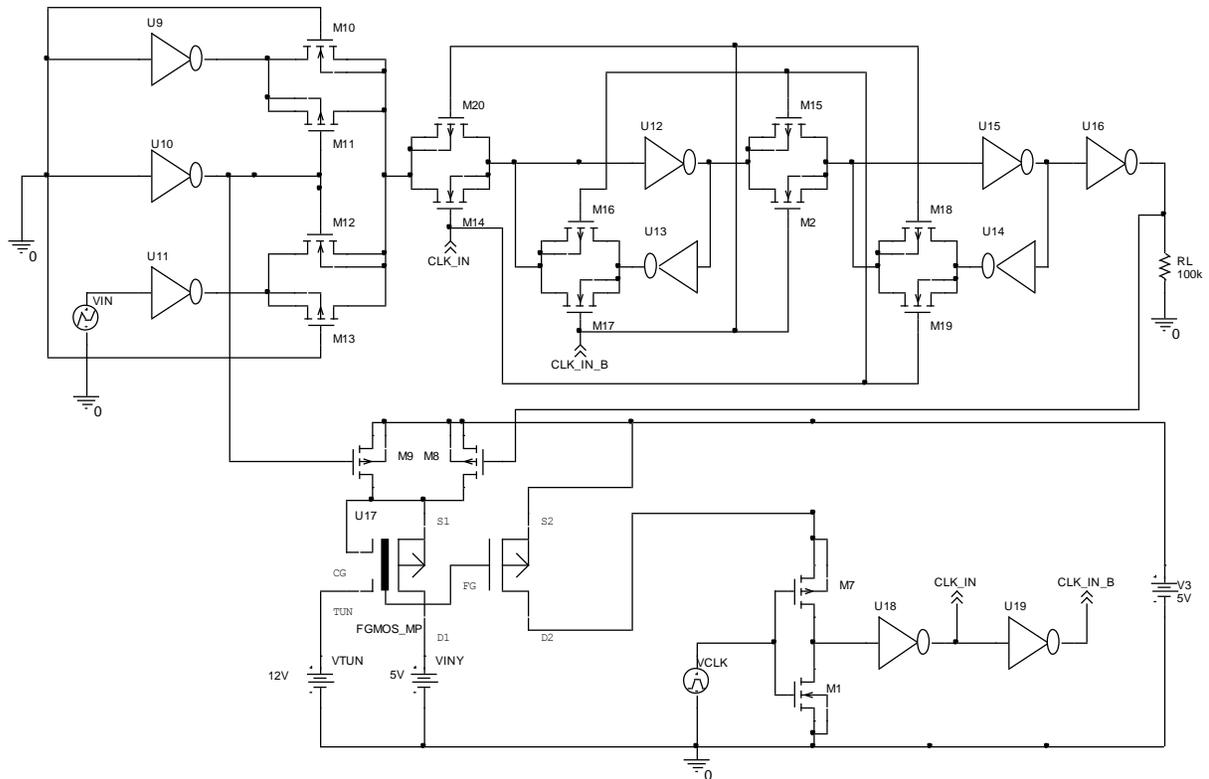


Figura 3-2. Diagrama esquemático de un AIPMS.

¹ La corriente de sintonía es la corriente del drenador del FG MOSFET.

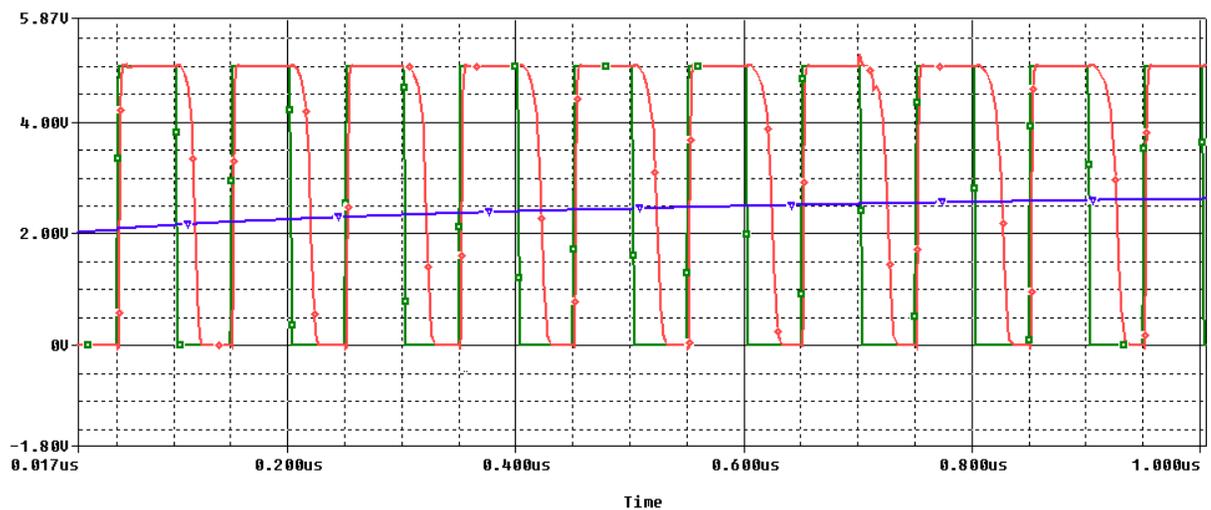


Figura 3-3. El clock-skew entre el reloj de entrada y el reloj interno del AIPMS depende de la carga en la compuerta flotante del FGMOSFET.

Como se observa en la Figura 3-3, existe un retardo (desfasamiento) entre el reloj de entrada y el reloj interno del AIPMS, con lo que el FF Maestro-esclavo se sincronizará con el desfasamiento generado y no con el reloj de entrada. Este desfasamiento depende directamente de la carga en la compuerta flotante del FGMOSFET. En la Figura 3-4 se puede ver la forma en que varía el clock-skew con respecto a la corriente de sintonía, de aquí, se puede concluir que para el diseño presentado, esta corriente debe estar en el intervalo de $4\mu\text{A}$ a $40\mu\text{A}$. De la Figura 3-5 se puede concluir que el intervalo en que se debe trabajar el diseño es entre 0V y 3V .

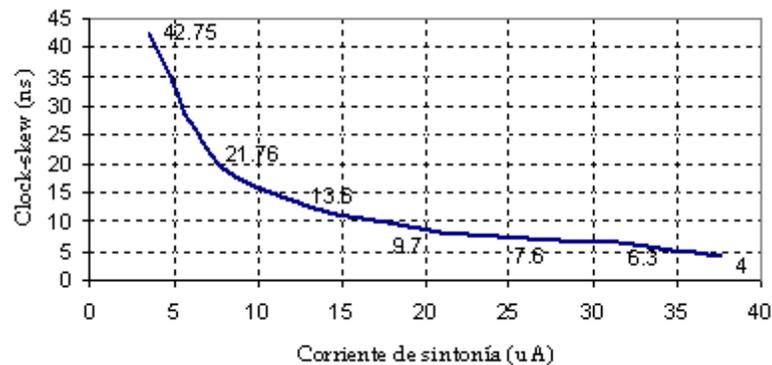


Figura 3-4. Corriente de sintonía vs clock-skew.

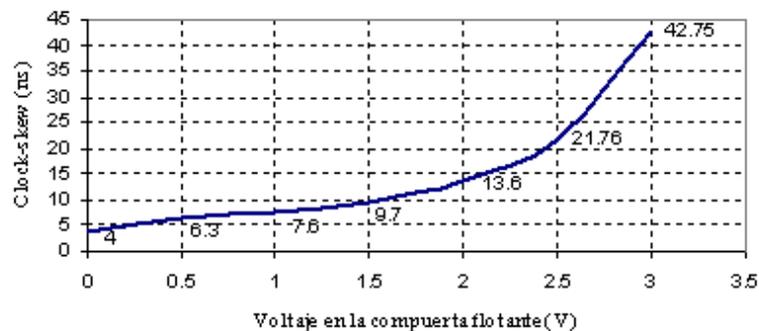


Figura 3-5. Voltaje de compuerta flotante vs clock-skew.

Para que un AIPMS cumpla con su función de corregir el clock-skew, es necesario que se ajuste su carga en la compuerta flotante a través de los mecanismos de inyección y tuneleo.

En [1] se propone un método para controlar la carga en la compuerta flotante. Este método es el siguiente:

1. Las terminales de tuneleo, inyección y TEST (entrada de U10) son comunes a todos los AIPMS que conforman el circuito integrado y se requiere de una terminal externa para cada uno de ellas.
2. Después de la fabricación del circuito integrado, se aplica un voltaje alto (10V-14V) en la terminal de tuneleo, para extraer electrones de la compuerta flotante y aumentar su voltaje; con esto, se tendrá el máximo desfaseamiento en cada uno de los ADSE.
3. Para decrementar el desfaseamiento existen dos maneras: GLOBAL y SELECTIVA. La forma GLOBAL se utiliza para regresar todos los ADSE a su desfaseamiento mínimo, esto se logra a través de la terminal de inyección. La forma SELECTIVA sirve para ajustar en particular el desfaseamiento de cierto elemento y se produce cuando la señal TEST se conecta a tierra y el FF tiene como dato de salida un cero lógico.
4. Para ajustar el desfaseamiento de cierto AIPMS es necesario un vector de sintonía que no es más que un pulso de determinado ancho y amplitud, generado dentro del mismo AIPMS, de aquí su nombre de pulso implícito.
5. Para generar los vectores de sintonía, es necesario conectar los AIPMS en forma de cadenas de sintonía, que se forman conectando la salida de

un AIPMS a la entrada SI (entrada de U9) del siguiente AIPMS, véase Figura 3-6.

Si existen muchas violaciones de clock-skew o se desea trabajar el circuito integrado a máxima frecuencia¹, es necesario resolver el problema de optimización de clock-skew como sigue:

1. Estimar todos los retardos entre elementos secuenciales y formular el problema de óptimo clock-skew como sugiere [1].
2. Este problema puede solucionarse fácilmente con los métodos propuestos en [27].
3. Con ésto, obtener un vector de desfaseamiento para cada uno de los AIPMS.
4. Traducir este vector de desfaseamiento a una corriente de sintonía, usando un método de tabla de búsqueda.
5. Iniciar todos los FF a través de la señal de tuneleo y aplicar los vectores de corriente de sintonía a cada uno de los AIPMS.

¹ La optimización en frecuencia se da cuando al corregir el clock-skew se puede reducir el período de la señal de reloj principal.

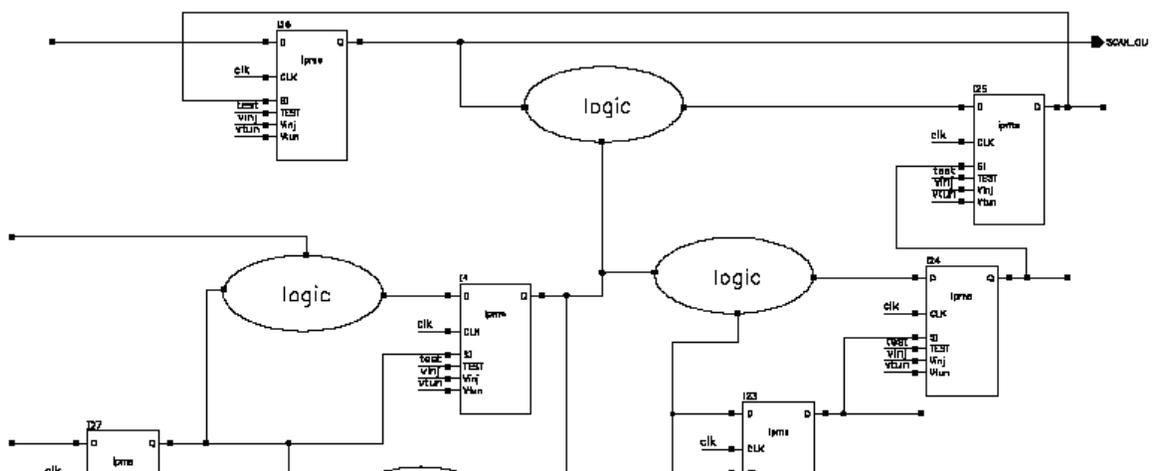


Figura 3-6. Cadenas de sintonía que se logran conectando la salida Q a la entrada SI.

Con lo anterior, se puede ver que el clock-skew puede solucionarse a través de elementos secuenciales adaptables, que sustituyan a los elementos secuenciales con arquitecturas MOS convencionales. Debido a que los AIPMS tienen más transistores y estructuras de tuneo que los IPMS¹, los primeros ocupan más área en el circuito integrado en aproximadamente 39% [5]. Cuando se toma en cuenta el diseño completo, el aumento de área por utilizar AIPMS es significativamente menor pues se reduce entre 9-17%.

¹ IPMS es el acrónimo en inglés de Implicit Pulsed Master Slave que es la contraparte del AIPMS en cuanto a adaptación.

3.3 EL AEPS

A diferencia del AIPMS, el AEPS (Adaptive Explicit Pulsed Static FF) genera un pulso explícito para muestrear los datos. Los AEPS son los más rápidos y eficientes elementos secuenciales. En la Figura 3-7 se muestra un AEPS; la parte inferior es el generador de reloj donde también se genera el pulso explícito. Al igual que el AIPMS, existe un retardo solo que en forma de ancho de pulso dependiente de la carga en la compuerta flotante de su FGMOSFET. En la parte superior, se puede observar el FF que conserva su estado lógico gracias a la retroalimentación positiva. En la Figura 3-8 se muestra cómo varía el ancho de pulso del reloj interno, de acuerdo con el voltaje de

la compuerta flotante del FGMOSFET. En este trabajo no se profundiza más sobre el AEPS, pues para la versión de este trabajo se utilizó el AIPMS, solo que con una forma de conexión diferente a las cadenas de sintonía.

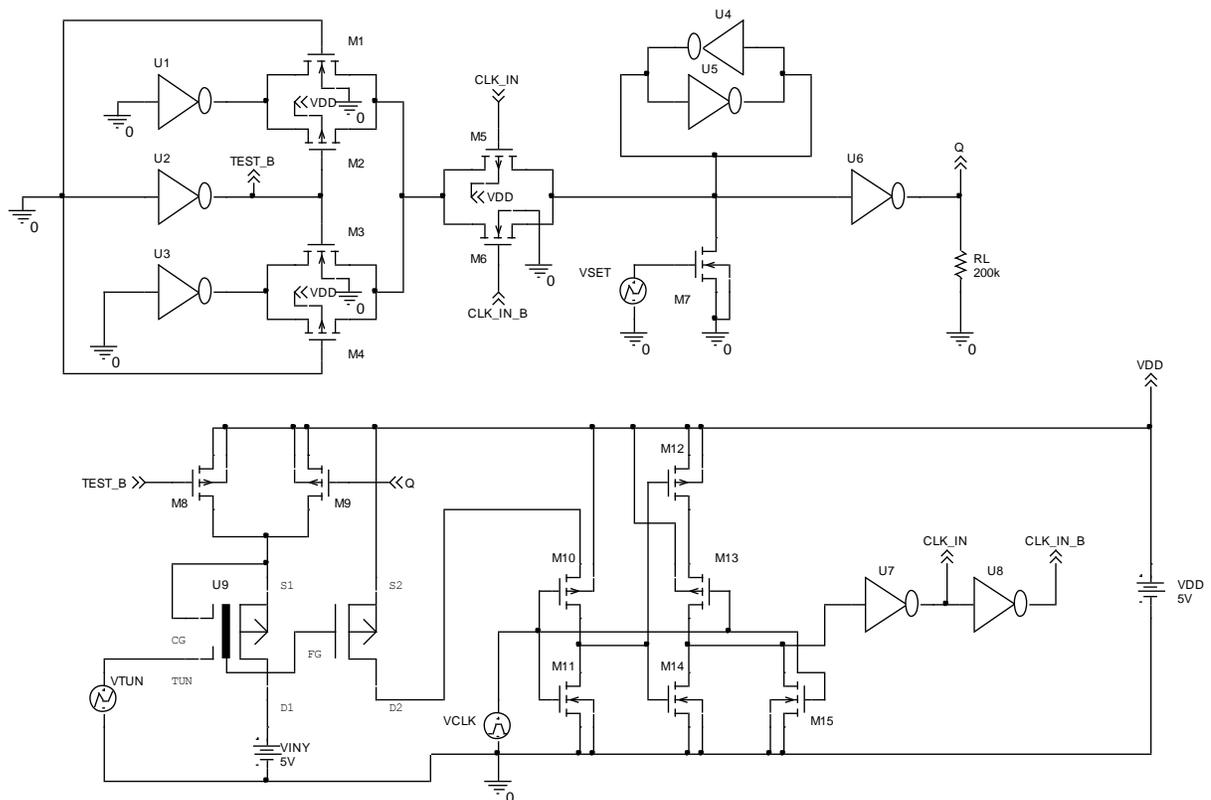


Figura 3-7. Un AEPS hecho con tecnología de $1.2\mu\text{m}$.

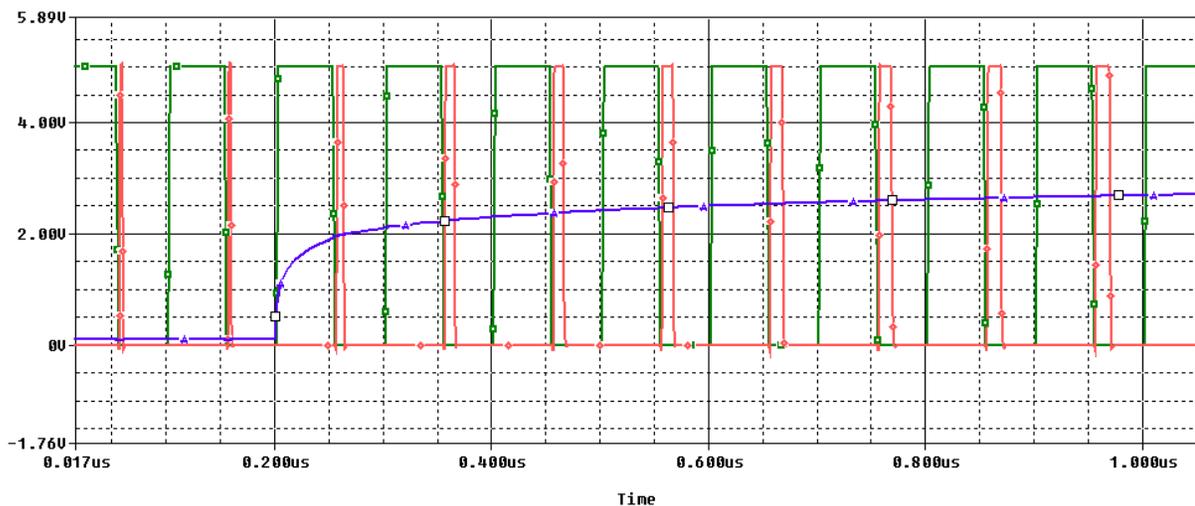


Figura 3-8. Variación del ancho de pulso de acuerdo con el voltaje de la compuerta flotante del FGMOSFET dentro del AEPS.

Al igual que el AIPMS, el AEPS utiliza más área en el circuito integrado que su contraparte, el EPS. Individualmente un AEPS utiliza aproximadamente 32% más área que el EPS, pero en el diseño total ocupa apenas entre 7 y 15% mas^[1].

3.4 ALGORITMOS PARA EFICIENTAR UN SISTEMA DIGITAL MEDIANTE CLOCK-SKEW.

En el inciso anterior se mostró una manera de utilizar el AIPMS para resolver el problema de clock-skew, la cual fue a través de cadenas de sintonía que se muestran en la Figura 3-6. En esta parte del trabajo, se propone una forma diferente de conectar los ADSE para resolver el problema de clock-skew.

La conexión se inspira en los lazos de amarre de fase (PLL), Figura 3-9. En un PLL, la salida se retroalimenta y se compara en fase con la señal de referencia, obteniendo así una señal de error que se traduce en un valor de tensión analógica, que a su vez controla un VCO¹. Los lazos de amarre de fase, tienen varias aplicaciones como los sintetizadores de frecuencia y los multiplicadores de frecuencia, aunque en este trabajo lo importante es la aplicación para corregir el clock-skew mediante el diseño e implementación de la celda.

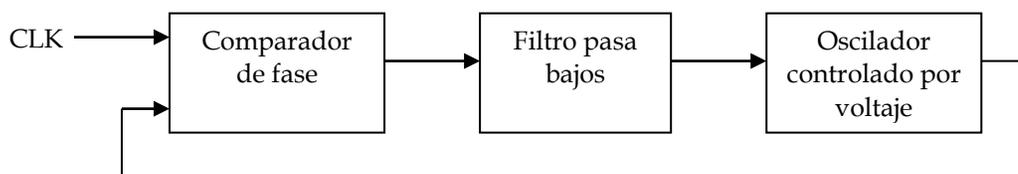


Figura 3-9. Circuito PLL para reducir el clock-skew en un sistema digital.

En el sistema anterior, la señal de reloj principal (CLK) se compara en fase con la señal de salida del VCO¹. En la salida del comparador de fase se tiene una señal de error que es una serie de pulsos de ancho variable, que a su vez se convierten en cierto nivel de voltaje que controla la frecuencia de salida. Debido a la retroalimentación, la señal de salida del VCO se ve forzada a tener la misma frecuencia de la señal de referencia (CLK), corrigiendo a su vez el clock-skew. En la sección 3.5 se detalla el diseño y la implementación de un sistema PLL.

En el apéndice B1 se muestra una de las técnicas para controlar la carga en la compuerta flotante de un FGMOSFET. En esta técnica se utilizan pulsos de corta duración para obtener un control casi lineal en determinado intervalo de variación del voltaje de la compuerta flotante.

¹ VCO son las siglas en inglés de Voltage Control Oscillator u Oscilador Controlado por Voltaje.

Con base en la técnica descrita en el apéndice B1 y los lazos de amarre de fase (PLL), se propuso un circuito capaz de reducir el clock-skew en un sistema digital utilizando FGMOSFET. Este circuito se muestra en la Figura 3-10.

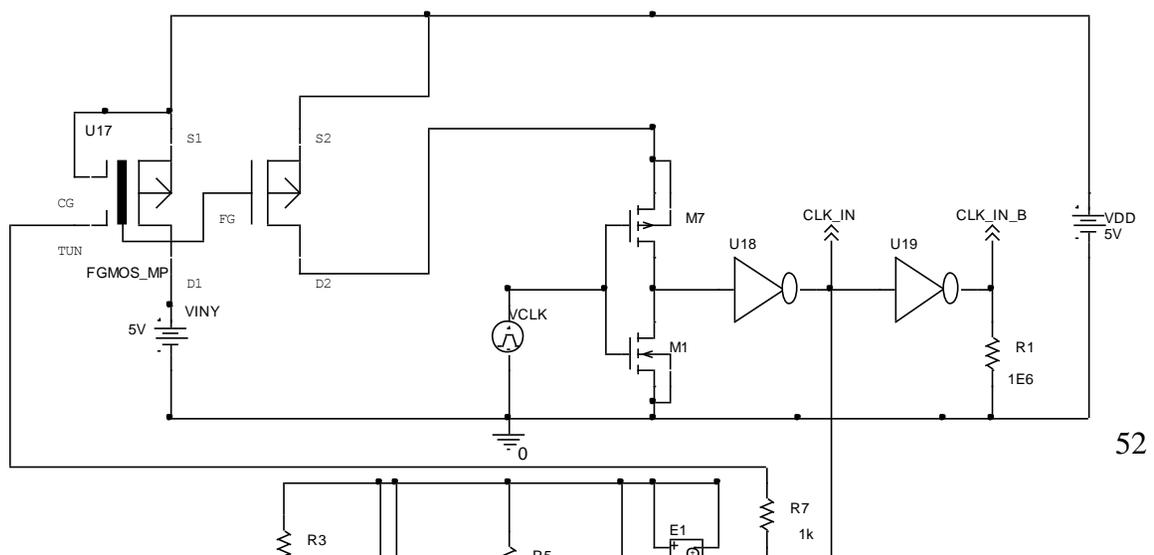


Figura 3-10. Circuito propuesto para la reducción de clock-skew en un sistema digital mediante transistor MOS de compuerta flotante.

En la Figura anterior, la parte superior es un generador de reloj igual al utilizado en un AIPMS, donde el retardo entre la señal de reloj de entrada y la señal de reloj interna o clock-skew, se controla a través de los mecanismos de inyección y tuneleo. A través del mecanismo de inyección, se puede reducir el clock-skew y a través del mecanismo de tuneleo, se puede aumentar el clock-skew.

En la parte inferior se aprecia una compuerta XOR implementada con transistores MOS con tecnología de $1.2\mu\text{m}$. Esta compuerta sirve como comparador de fase. Los transistores M2A, M3A y M4A forman un circuito de inversores que aumentan la amplitud de los pulsos de salida del comparador de fase de 5V a 14V. Los resistores R5 y R6 forman un divisor de voltaje que nos sirve para evitar que el voltaje en la terminal de tuneleo sea menor a 6V; en el capítulo 2 se mostró que la corriente de tuneleo se hace bastante pequeña cuando la tensión entre la terminal de tuneleo y la compuerta flotante es menor a 6V. En la práctica no se necesitan estos resistores, solo se necesitan en la simulación debido a que PSpice no puede trabajar con valores bastante pequeños, produciendo errores de convergencia. La fuente de

voltaje controlada por voltaje, E1, y el resistor R7, también se ocupan sólo en la simulación para evitar errores de convergencia.

FUNCIONAMIENTO DE LA CELDA

Para que la celda de la Figura 3-10 funcione adecuadamente, se necesita de una señal de reloj de referencia a la cual la celda se va a adaptar corrigiendo el clock-skew.

El funcionamiento de la celda es como sigue:

1. Se tiene una señal de reloj que llega al elemento secuencial VCLK, la cual se supone que tiene un clock-skew desconocido con respecto a la señal de reloj de referencia V3.
2. Cuando estas dos señales de reloj se comparan, se obtiene a la salida del comparador de fase un pulso con un ancho proporcional al clock-skew, este pulso es a su vez amplificado a unos 14V por los inversores formados por M2A, M3A y M4A.
3. Los pulsos que representan la señal de error, se conectan a la terminal de tuneleo del FGMOSFET para incrementar el voltaje de la compuerta flotante y a su vez aumentar el desfaseamiento entre VCLK y CLK_IN. Con esto, el clock-skew entre VCLK y V3 debe de reducirse. Para que ésto funcione, en un principio debe de provocarse la inyección en todas las celdas que conformen el sistema digital para ajustarlas a su mínimo desfaseamiento.
4. CLK_IN y CLK_IN_B son las señales de reloj internas con las que funcionará el FLIP-FLOP.

5. El ajuste de clock-skew es dinámico, es decir, después de la post-fabricación, el sistema puede auto-ajustarse para reducir el clock-skew siempre y cuando Viny se conecte a Vdd.

ALGORITMO PARA UTILIZAR LA CELDA DE LA FIGURA 3-10

Para poder utilizar la celda en un sistema real donde existen varias de ellas, es necesario seguir los pasos del siguiente algoritmo propuesto:

```
;Algoritmo para optimizar el período de  
;un sistema digital mediante la ;reducción de clock-  
skew
```

```
    ;Optimizar P  
    {  
    1.APLICAR RETIMING AL SISTEMA  
    2.DETERMINAR EL MAYOR RETARDO DEL SISTEMA  
    3.USAR ESTE RETARDO COMO REFERENCIA  
  
    MIENTRAS VFG /= 0  
    {  
        APLICAR -2V EN LA TERMINAL DE INYECCIÓN  
    }  
    4. CONECTAR VINY A VDD  
    }  
    FIN
```

Utilizando el algoritmo anterior en la celda de la Figura 3-10, se obtienen los resultados de simulación de las Figura 3-11, 3-12 y 3-13 para tres diferentes valores aleatorios de clock-skew.

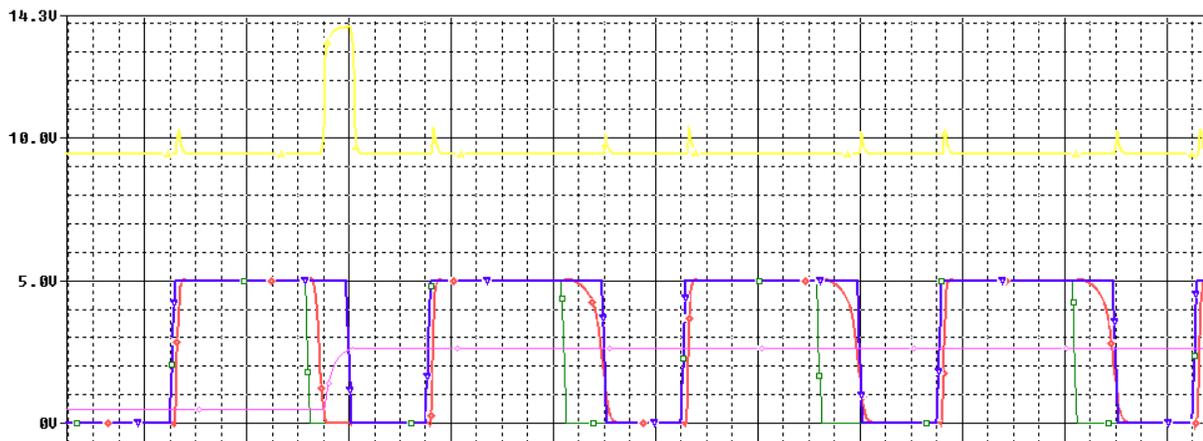


Figura 3-11. Reducción del clock-skew de 12ns

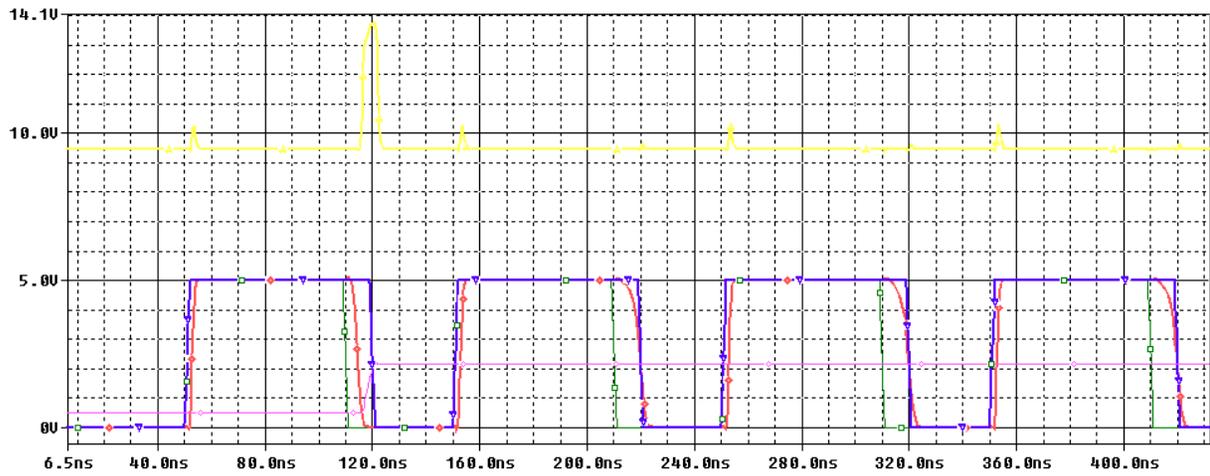


Figura 3-12. Reducción del clock-skew de 6ns

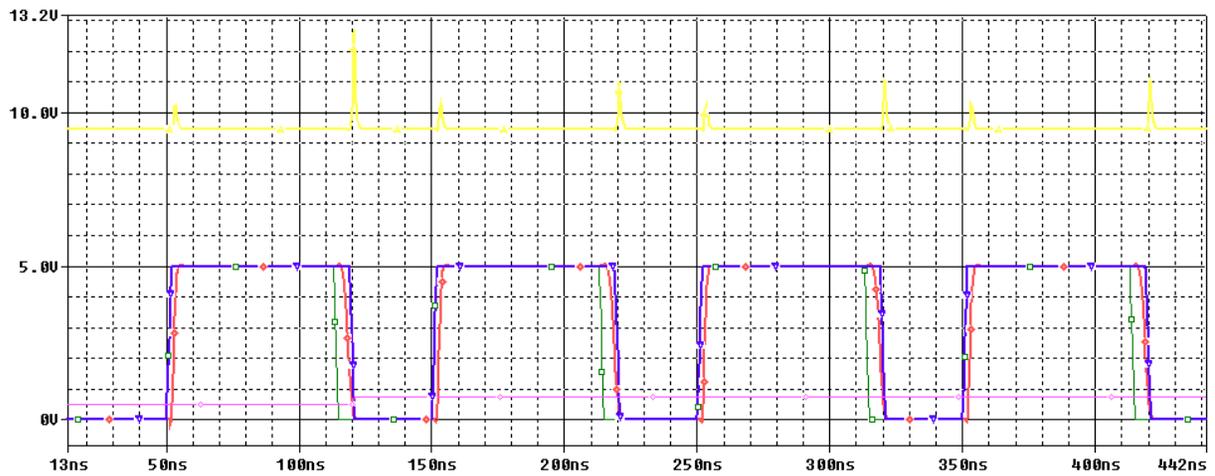


Figura 3-12. Reducción del clock-skew de 2ns

En las simulaciones, la señal en verde es el reloj del FLIP-FLOP, la señal en rojo es el reloj interno de la celda, la señal en azul es el reloj de referencia al cual debe ajustarse la señal de reloj interna, la señal en amarillo es el voltaje de tuneleo y la señal en violeta es el voltaje de la compuerta flotante. En las tres Figuras se puede ver que el tiempo de respuesta del FLIP-FLOP es de 2ns para el flanco de subida y de 4ns para el flanco de bajada. Este tiempo se debe a las características de la tecnología utilizada.

En la Figura 3-11 se tiene un clock-skew de 16ns en el flanco de bajada entre la señal de reloj y el reloj de referencia¹. Debido a la respuesta del FLIP-FLOP, se tiene un desfase de 4ns en el flanco de bajada por lo que el clock-skew real entre la señal de reloj interna y la de referencia se reduce a 12ns. Después del primer pulso de reloj, se puede ver que se genera un pulso de tuneleo de 12.2ns, con lo que la compuerta flotante adquiere un voltaje de 2.62V corrigiendo así el clock-skew para los siguientes pulsos.

¹ El reloj de referencia es el reloj correspondiente al elemento secuencial con mayor retardo o desfase del sistema.

En la Figura 3-12, se tiene un clock-skew real entre el reloj interno y el reloj de referencia de 6ns. En el primer pulso de reloj, se genera un pulso de tuneleo de 6.35ns, con lo que el voltaje de compuerta flotante se incrementa hasta llegar a 2.15V y así corregir el clock-skew.

En la Figura 3-13, se tiene un clock-skew real entre el reloj interno y el reloj de referencia de 2ns. Al igual que en los dos casos anteriores, la terminal de tuneleo recibe un pulso ahora de 1.3ns para corregir el clock-skew con un voltaje de compuerta flotante de apenas 0.75V.

Lo máximo que se puede corregir de clock-skew en esta celda son 17ns, pero debido al tiempo de respuesta de la misma, este intervalo se reduce a 13ns.

Si se quisiera utilizar un FLIP-FLOP común con esta tecnología, entonces el período mínimo sería de 4ns, esto es 250Mhz¹, aunque en la realidad no se alcanza esta frecuencia con dicha tecnología. Si se tiene un clock-skew por ejemplo de 20ns, entonces nuestro período mínimo sería de 24ns con lo que la frecuencia se vería reducida a 41.6Mhz. Si en lugar de utilizar un FLIP-FLOP normal se utiliza la celda de la Figura 3-10, entonces se puede reducir el desfase hasta en 13ns por lo que en este ejemplo sólo se tendrían 11ns, con lo que significa un aumento en la frecuencia de 90.9Mhz que representa un mejoramiento del 54%.

En el capítulo 5 se darán más detalles sobre los resultados de simulación aquí presentados.

¹ Se trata de un caso ideal, en la realidad el clock-skew y otras afectaciones reducen considerablemente la frecuencia máxima de funcionamiento de un sistema.

3.5 CORRECCIÓN DEL CLOCK-SKEW MEDIANTE CIRCUITOS DE AMARRE DE FASE POR BUCLE

En la Figura 3-9 se mostró un lazo de amarre de fase (PLL) para corregir el clock-skew en un sistema digital. En esta parte del trabajo se presentan las simulaciones del circuito de la Figura 3-14 y se analizan los resultados obtenidos.

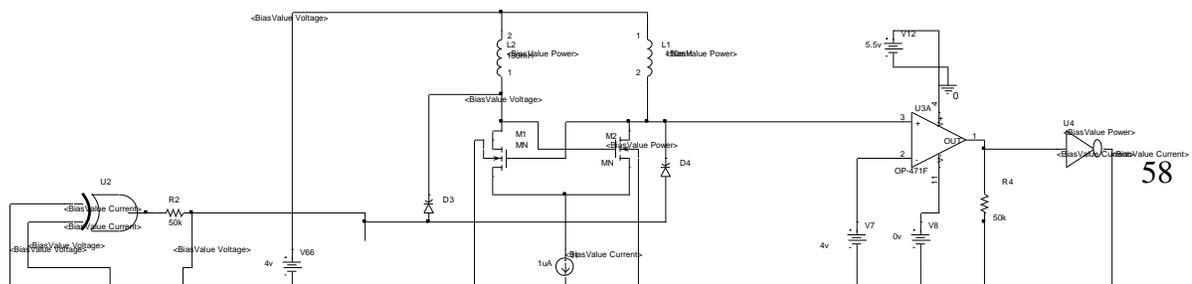


Figura 3-14. Circuito del PLL.

El circuito de la Figura anterior, se trabajó a 100khz obteniéndose los resultados de las Figuras 3-15 y 3-16.

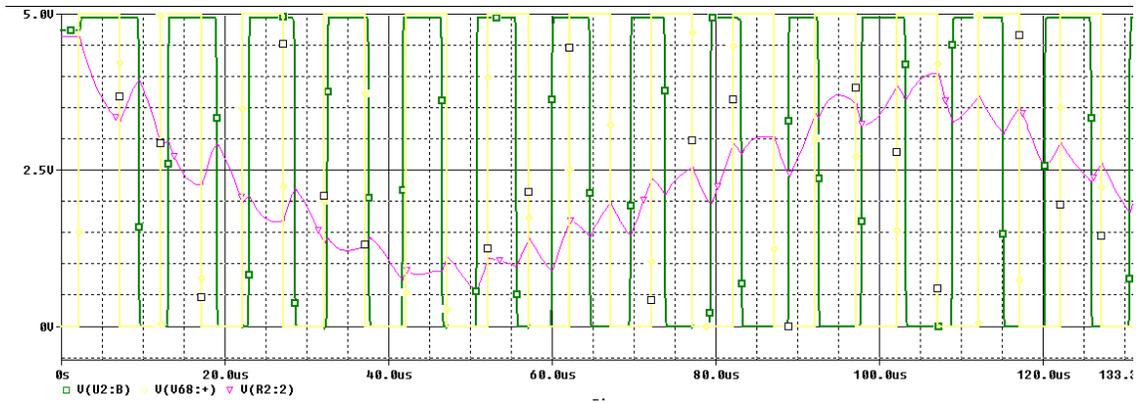


Figura 3-15. Resultados de simulación del PLL en los primeros pulsos

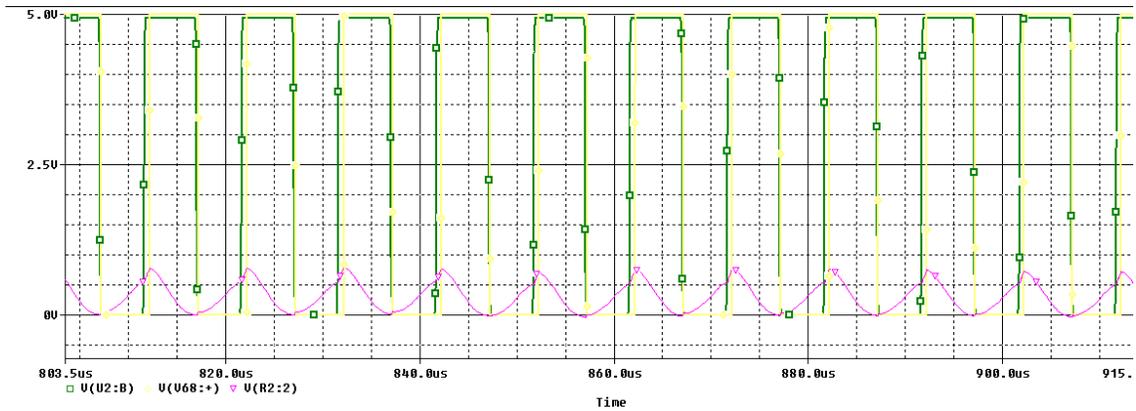


Figura 3-16. Resultados de simulación del PLL en pulsos posteriores.

En la Figura 3-15 se aprecia la diferencia de fase existente entre la señal de referencia y la señal de salida del VCO. El voltaje de entrada al VCO varía notablemente hasta que las dos señales (referencia y salida) están en fase. En la Figura 3-16, se muestra cómo las dos señales (referencia y salida) ya tienen la misma fase, corrigiendo así el clock-skew. En el capítulo 5 se darán más detalles sobre los resultados de simulación, así como la potencia total requerida para que el circuito funcione correctamente, el área requerida en el dado y otros parámetros que al final se compararán con el circuito de la Figura 3-10.

RESUMEN DEL CAPÍTULO

En este capítulo se presentó el elemento secuencial adaptable (ADSE) y sus características, se comparó este elemento con un elemento secuencial común y se vieron sus principales diferencias. En general lo que trató este capítulo es la reducción del clock-skew a través del uso de ADSE y un algoritmo de conexión.

C A P Í T U L O 4

DISEÑO
GEOMETRICO
DEL ADSE

4.1 INTRODUCCIÓN

Como parte del objetivo de este trabajo, se implementará la celda de la Figura 3-10 con su respectivo FLIP-FLOP maestro-esclavo.

Para el diseño del circuito integrado se utilizó la tecnología proporcionada por MOSIS de $1.2\mu\text{m}$. Para realizar el dibujo geométrico de la celda se utilizó el software de diseño realizado por Tanner¹. Para utilizar el software se puede acceder a la página de MOSIS^[30] y consultar su tutorial en [31].

Sobre el diseño de circuitos integrados se puede consultar [32] y [33].

¹ El software de diseño es el L-EDIT versión 8.11

4.2 DISEÑO GEOMÉTRICO DE LAS COMPUERTAS LÓGICAS

Para realizar la celda de la Figura 3-10, se utilizan dos compuertas lógicas: el inversor y la XOR. En la Figura 4-1 se muestra el diseño geométrico del inversor y en la Figura 4-2 se muestra el diseño geométrico de la compuerta XOR de dos entradas. Las dimensiones W y L fueron calculadas para el mejor desempeño de dichas compuertas.

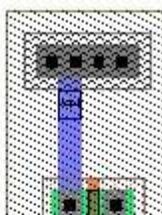


Figura 4-1. Diseño geométrico de un inversor lógico.

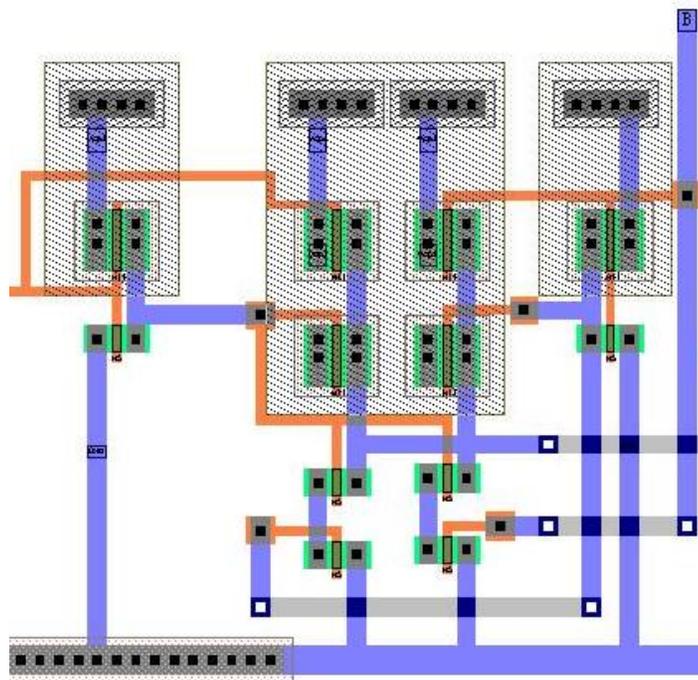


Figura 4-2. Diseño geométrico de una compuerta lógica XOR de 2 entradas.

4.3 DISEÑO GEOMÉTRICO DEL FGMOSFET

En la Figura 4-3 se muestra el diseño geométrico de un FGMOSFET canal p, cabe destacar que la estructura para el tuneleo está rodeada por un anillo de guarda para uniformizar el campo eléctrico generado por la estructura, además de disminuir el ruido que se genera en el sustrato.

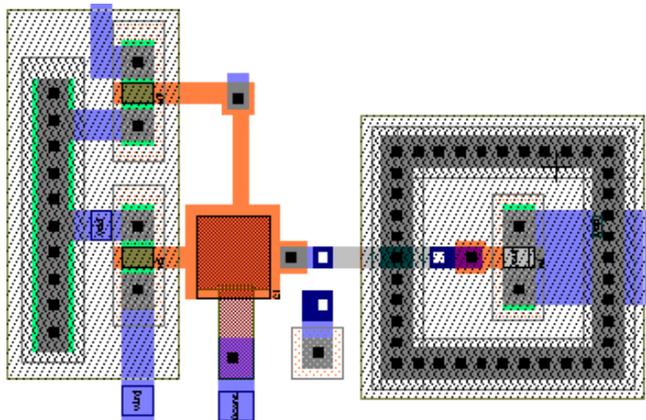


Figura 4-3. Diseño geométrico de un FGMOSFET canal p.

4.4 LAYOUT COMPLETO DEL ADSE CON L-EDIT

Finalmente en la Figura 4-4 se muestra el diseño geométrico completo del ADSE formado por la celda de la Figura 3-10 y un FLIP-FLOP maestro-esclavo.

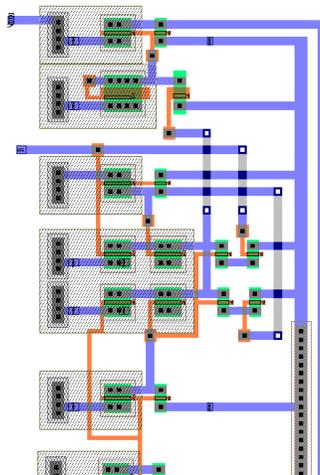


Figura 4-4. Diseño geométrico del ADSE utilizado en este trabajo.

RESUMEN DEL CAPÍTULO

En este capítulo se hizo el diseño geométrico de la celda de retardo adaptable con todos sus componentes que la integran: los inversores, la compuerta lógica XOR, el FGMOSFET y las compuertas de transmisión.

C A P Í T U L O 5

RESULTADOS

5.1 ANÁLISIS DE LOS RESULTADOS DE SIMULACIÓN

Los resultados obtenidos en las Figuras 3-11, 3-12 y 3-13 se analizan a continuación:

Para la Figura 3-11 se tiene:

Parámetro	Resultado obtenido
Clock-skew efectivo	12ns
Ancho del pulso de tuneleo	12.2ns
Flanco de bajada en CLK	51ns
Flanco de bajada en REF	67ns
Voltaje en la compuerta flotante	2.62V
Potencia máxima de consumo	1.3mW

Para la Figura 3-12 se tiene:

Parámetro	Resultado obtenido
Clock-skew efectivo	6ns
Ancho del pulso de tuneleo	6.35ns
Flanco de bajada en CLK	57ns
Flanco de bajada en REF	67ns
Voltaje en la compuerta flotante	2.15V
Potencia máxima de consumo	1.3mW

Para la Figura 3-13 se tiene:

Parámetro	Resultado obtenido
Clock-skew efectivo	2ns
Ancho del pulso de tuneleo	1.3ns
Flanco de bajada en CLK	61ns
Flanco de bajada en REF	67ns
Voltaje en la compuerta flotante	0.75V
Potencia máxima de consumo	1.3mW

Los resultados anteriores se obtuvieron con una frecuencia de reloj de 10Mhz y a una temperatura de 27°C. A continuación, se dan a conocer los parámetros generales del ADSE utilizado.

Parámetro	Resultado obtenido
Clock-skew mínimo	4ns
Clock-skew máximo	17ns
Tiempo de respuesta de la celda en el flanco de subida.	2ns
Tiempo de respuesta de la celda en el flanco de bajada.	4ns
Mínimo clock-skew efectivo	4ns
Tecnología utilizada	MOSIS 1.2u

Se espera que mejorando la tecnología, es decir, aumentando la escala de integración, se pueda trabajar con menores tiempos de respuesta en todos los circuitos que conforman el ADSE.

5.2 COMPARACIÓN DEL SISTEMA DE CLOCK-SKEW PROPUESTO CON OTROS SISTEMAS PUBLICADOS

A continuación se hace una comparación entre un lazo de amarre de fase (PLL) y nuestro sistema propuesto. Para la comparación se tomará en cuenta todos los parámetros posibles como potencia consumida, dificultad de ajuste, etc.

Haciendo la comparación a simple vista entre las Figuras 3-10 y 3-14, se puede ver que el sistema de PLL utiliza un amplificador como comparador a la salida del VCO para acoplarla a la entrada del comparador digital.

PRINCIPALES DIFERENCIAS ENTRE EL SISTEMA CON PLL Y EL SISTEMA CON ADSE PROPUESTO EN ESTE TRABAJO.

1. El sistema con PLL requiere de aproximadamente el mismo número de componentes que el sistema propuesto sólo que requiere de componentes pasivos difíciles de implementar.
2. De acuerdo a las simulaciones, el sistema con PLL requirió de más tiempo para corregir el clock-skew que el sistema con ADSE.
3. La potencia requerida por el sistema PLL es mayor que la requerida por el nuestro sistema con ADSE.

Los datos siguientes resumen las principales diferencias entre el sistema PLL y el sistema con ADSE propuesto:

	Sistema con PLL	Sistema con ADSE
Potencia total de consumo	3.5mW	1.3mW
Número de transistores	30	44
Número de diodos	2	0
Número de inductores	2	0
Número de capacitores	1	0
Número de resistores	0	0
Número de pulsos que toma el sistema para corregir el clock-skew	Variable, en nuestro ejemplo entre 10 y 15.	De 1 a 3 dependiendo del clock-skew

RESUMEN DEL CAPÍTULO

En este capítulo se mostró con detalle los resultados de simulación del sistema con ADSE utilizado en este trabajo. Finalmente, este sistema se comparó con un lazo de amarre de fase para mostrar sus principales diferencias.

CONCLUSIONES

En este trabajo de tesis se presentó un dispositivo que promete muchos beneficios en diferentes aplicaciones electrónicas, esto es, el FGMOSFET o transistor MOS de compuerta flotante, cuyo nombre se debe a que una de sus dos compuertas está completamente aislada eléctricamente. Esto le da la propiedad de retener una carga en su compuerta flotante durante muchos años, es decir, la carga es no-volátil por lo cual se pueden almacenar valores analógicos dentro de este transistor; además, este valor puede modificarse a través de los mecanismos de inyección y tuneo con lo que se concluye que las aplicaciones para este transistor tienen como límite la imaginación del usuario. Este trabajo describe una de ellas, el uso de estructuras de

retardo adaptables para mejorar la eficiencia de los sistemas digitales a través de la reducción de eventos de clock-skew.

En este trabajo también se retoma el modelo de simulación presentado por C. Diorio [5]. Este modelo probado a través de un Amplificador Auto-ajustable o AFGA y posteriormente con un AWTA (Adaptive Winner Take All Circuit), es un modelo empírico muy preciso, que comprende los efectos producidos por los mecanismos de adaptación del FGMOS, la inyección y el tuneo de electrones. A este modelo se le diseñó su símbolo y su Template para poder trabajar en el ambiente gráfico de CAPTURE.

El FGMOSFET puede ser utilizado también para reducir considerablemente los eventos de clock-skew en un sistema digital a través del uso de celdas de retardo adaptables (ADSE).

De acuerdo con las simulaciones realizadas, se demostró la funcionalidad del ADSE de la Figura 4-4. El clock-skew, de acuerdo con este trabajo, puede mejorarse hasta en 13ns, lo que podría representar un mejoramiento considerable en la reducción del período de una señal de reloj, lo que conlleva a su vez a un mejoramiento en la frecuencia de operación.

Para lograr los resultados obtenidos en el capítulo 5, se requirió de un algoritmo propuesto en este trabajo, el cual fue inspirado en un lazo de amarre de fase o PLL.

Por otra parte, se implementó una celda de retardo adaptable (ADSE) en layout con L-EDIT. Esta celda puede ser utilizada por cualquier diseñador de Circuitos Integrados que requiera reducir el clock-skew en su sistema digital.

Finalmente, en el capítulo 5 se presentaron los resultados de simulación y se hizo una comparación del sistema con ADSE propuesto en este trabajo, con un sistema con PLL. De los resultados, se demuestra que es viable la construcción de esta celda de retardo adaptable (ADSE) con el fin de reducir el clock-skew en un sistema digital.

Juan Carlos Iglesias Rojas

PERSPECTIVAS DE ESTE TRABAJO

1. Como primera perspectiva de este trabajo se encuentra la fabricación del ADSE de la Figura 4-4 para comprobar su funcionamiento en circuito integrado.
2. La segunda perspectiva de este trabajo es la de caracterizar dicha celda para obtener todos sus parámetros.

3. La tercera perspectiva es la de implementar dicho ADSE en un sistema real, es decir, en una aplicación en cualquiera de los campos de estudio como las telecomunicaciones, la computación, el control, etc.
4. Continuar con el desarrollo de sistemas de corrección de clock-skew mediante tecnología de FGMOSFET, pero a mayor escala de integración, es decir, escalar la tecnología de micras a décimas de micra, para poder manejar mayores frecuencias de operación.
5. Continuar con el uso de la tecnología CMOS de compuerta flotante para muchas otras aplicaciones en materia de telecomunicaciones, computación, control, redes neuronales, lógica difusa, etc.

REFERENCIAS Y BIBLIOGRAFÍA

- [1] **J. P. Fishburn**, "Clock Desfasamiento Optimization," IEEE Trans. Computers, vol. 39, no. 7, pp. 945-951, 1990.
- [2] **S. S. Sapatnekar and R.B. Deokar**, "Utilizing the retiming-desfasamiento equivalence in a practical algorithm for retiming large circuits," IEEE Trans. Computer-Aided Design of Circuits and Systems, vol. 15, no. 10, pp. 1237-1248, 1996.
- [3] **Maheshwari N.; Sapatnekar S.**; "Efficient retiming of large circuits" Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, Volume 6, Issue 1, March 1998 Page(s):74 – 83
- [4] **Tam S.; Limaye R.D.; Desai U.N.**; "Clock generation and distribution for the 130-nm Itanium processor with 6-MB on-die L3 cache" Solid-State Circuits, IEEE Journal of, Volume 39, Issue 4, April 2004 Page(s):636 – 642
- [5] **Rahimi K.; Bridges S.; Diorio C.** "Timing correction and optimization with adaptive delay sequential elements" Design, Automation and Test in Europe Conference and Exhibition, 2004. Proceedings, Volume 2, 16-20 Feb. 2004 Page(s):1416 - 1417 Vol.2

- [6] **Antonio Cerdeira Altuzarra**, “*Notas para el curso de Microelectrónica*”, CINVESTAV unidad D.F., serie verde, marzo 11 1996.
- [7] **R. Jacob Baker**, “*CMOS Circuit Design, Layout, and Simulation*”, Second Edition, IEEE Press Series on Microelectronics Systems, Wiley-Interscience, 2005.
- [8] **Andrew S. Grove**, “*Physics and Technology of Semiconductor Devices*”, Intel Corporation, Mountain View University of California, Berkeley, Ed. John Wiley & Sons, 1967.
- [9] **An Sang Hou**, “*A built-in-test scheme for evaluating the parameters of floating-gate MOS transistors*” Instrumentation and Measurement, IEEE Transactions on, Volume 54, Issue 3, June 2005 Page(s):988 – 995
- [10] **C. Diorio, P. Hasler, B.A. Minch and C. Mead**, “*Floating Gate MOS synapse transistors*,” in T.S. Lande (ed.), *Neuromorphic Systems Engineering: Neural Networks in Silicon*, Boston, MA: Kluwer Academic Publishers, pp. 315-337, 1998.
- [11] **Rahimi K.; Diorio C.; Hernandez C.; Brockhausen M.D.;** “*A simulation model for floating-gate MOS synapse transistors*” Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, Volume 2, 26-29 May 2002 Page(s):II-532 - II-535 vol.2
- [12] **Hasler P.; Minch B.A.; Diorio C.** “*Adaptive circuits using pFET floating-gate devices*” Advanced Research in VLSI, 1999. Proceedings. 20th Anniversary Conference on, 21-24 March 1999 Page(s):215 – 229
- [13] **Hasler P.; Minch B.A.; Diorio C.;** “*An autozeroing floating-gate amplifier*”, Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, see also Circuits and Systems II: Express Briefs, IEEE Transactions on, Volume 48, Issue 1, Jan 2001 Page(s):74 – 82
- [14] **S. M. Sze**, “*VLSI Technology*”, Bell Laboratories, Incorporated, Murray Hill, New Jersey, Ed. McGrawHill Book Company, 1983.
- [15] **M. Lenzlinger and E. H. Snow**, “*Fowler-Nordheim tunneling into thermally grown SiO₂*,” J. of Applied Phys., vol. 40, no. 6 pp. 278-283, 1969
- [16] **Paul Hasler, Chris Diorio, Bradley A. Minch, Carver Mead**, “*Single Transistor Learning Synapses*”, California Institute of Technology Pasadena, CA 91125.
- [17] **Paul Hasler, Bradley A. Minch, Chris Diorio, and Carver Mead**, “*A floating Gate MOS Learning Array with Locally Computed Weight Updates*”, California Institute of Technology Pasadena, CA 91125.
- [18] **Hasler P.; Smith P.D.;** “*An autozeroing floating-gate amplifier with gain adaptation*”, Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on, Volume 2, 30 May-2 June 1999 Page(s):412 - 415 vol.2
- [19] **Paul Hasler, Bradley A. Minch, Chris Diorio, and Carver Mead**, “*An autozeroing amplifier using hot-electron injection*”, California Institute of Technology Pasadena, CA 91125.
- [20] **J. Lazzaro, S. Ryckebusch, M.A. Mahowald, and C.A. Mead**, “*Winner-Take-All Networks of O(N) Complexity*”, NIPS 1 Morgan Kaufmann Publishers, San Mateo, CA, 1989, pp 703-711.
- [21] **W. Fritz Kruger, Paul Hasler, Bradley A. Minch, and Christof Koch**. “*An Adaptive WTA using Floating Gate Technology*” California Institute of Technology Pasadena, CA 91125.

- [22] **M. Abramovici, M.A. Breuer, and A. D. Friedman**, “*Digital Systems Testing and Testable Design*”, New York, NY, Computer Science Press, 1990.
- [23] **Velenis D.; Tang K.T.; Kourtev I.S.; Adler V.; Baez F.; Friedman E.G.**; “*Demonstration of speed enhancements on an industrial circuit through application of non-zero clock desfasamiento scheduling*” Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on, Volume 2, 2-5 Sept. 2001 Page(s):1021 - 1025 vol.2 **Harsha Sathyamurthy, Sachin**
- [24] **Kai Wang; Marek-Sadowska M.**; “*Potential slack budgeting with clock desfasamiento optimization*” Computer Design: VLSI in Computers and Processors, 2004. ICCD 2004. Proceedings. IEEE International Conference on 11-13 Oct. 2004 Page(s):265 – 271
- [25] **Neves J.L.; Friedman E.G.**; “*Design methodology for synthesizing clock distribution networks exploiting nonzero localized clock desfasamiento*” Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, Volume 4, Issue 2, June 1996 Page(s):286 – 291
- [26] **Harsha Sathyamurthy, Sachin S.; Sapatnekar and John P. Fishburn**, “*Speeding up pipelined circuits through a combination of gate sizing and clock desfasamiento optimization*” IEEE Transactions of computer-aided design of integrated circuits and systems, vol 17, no. 2, February 1998.
- [27] **R.B. Deokar and S. S. Sapatnekar**, “*A graph theoretic approach to clock desfasamiento optimization,*” Proc. IEEE International Symposium on Circuits and Systems, pp. 1,407-1,410, 1994.
- [28] **V. Stojanovic, V. G. Oklobdzija**, “*Comparative analysis of master-slave latches and flip-flops for high-performance and low-power systems,*” IEEE Journal of Solid-State Circuits, vol. 34, no. 4, pp. 536-548, 1999
- [29] **J. Tschanz, S. Narendra, Z. Chen, S. Borkar, M. Sachdev, V. De**, “*Comparative Delay and energy of single edge-triggered & dual edge-triggered pulsed flip-flops for high- performance microprocessors,*” Proc. IEEE International Symposium on Low Power Electronics and Design, pp. 147-152, 2001.
- [30] **MOSIS**, “*Main Web Page*” www.mosis.com
- [31] **Tanner Research Inc.** “*L-EDIT tutorial*”, <http://mitghmr.spd.louisville.edu/lutz/resources/ledit/index.html>
- [32] **C.A. Mead**, “*Scaling of CMOS Technology to submicrometer feature sizes,*” Journal of VLSI Signal Processing, vol. 8, 1994, pp. 9-25.
- [33] **Behzad Razavi**, “*Design of Analog CMOS Integrated Circuits*” University of California, Los Angeles , McGrawHill, New York 2001
- [34] **David Báez López**, “*Análisis de Circuitos con CADENCE PSPICE*”, Ed. Alfaomega grupo editor S.A. de C.V. México, D.F. 2002.
- [35] **W.C. Dillard**, “*A tutorial for schematics*”, Auburn University, also available at: http://www.eng.auburn.edu/~sjreeves/Courses/ENGR1110/Tutor91_2.pdf#search='orcad%20spice%20%20advanced%20tutorial'
- [36] **Omar H. Garnica**, “*Ajuste de parámetros de polarización en circuitos analógicos CMOS utilizando dispositivos de compuerta flotante*”, Tesis de Maestría, CINVESTAV, Diciembre 2004.

- [37] S.M. Sze, "Semiconductor Devices, Physics and Technology", AT&T Bell Laboratories Murray Hill, New Jersey, Ed. John Wiley & Sons, 1985.

APENDICE A1

MODELO BSIM3V3 DEL FGMOSFET EN SUBUMBRAL

Introducción.

El modelo de simulación utilizado por ORCAD PSPICE en el nivel 7 es el BSIM3v3.

El modelo BSIM3v3 en subumbral utiliza los parámetros de la tabla 1 y las ecuaciones de las tablas 2 y 3 para canal p y canal n respectivamente.

Parámetro	Unidades	Descripción
μ_0	cm ² / V.s	Movilidad en campo eléctrico bajo
W	μm	Ancho del canal del transistor

L	μm	Largo del canal del transistor
V _{off}	V	Voltaje de desplazamiento
N _s	cm ⁻³	Concentración de impurezas en el sustrato
T _{OX}	m	Espesor del óxido debajo de la compuerta
NLX	m	Parámetro de impurificación lateral no-uniforme
V _{th0}	m	Voltaje de umbral a polarización cero en el sustrato
k ₁	V ^{1/2}	Factor de cuerpo de primer orden
k ₂		Factor de cuerpo de segundo orden
k ₃		Coefficiente de ancho estrecho en el canal
k _{3b}	V ⁻¹	Dependencia de k ₃ sobre la polarización del sustrato
W ₀	m	Parámetro de ancho estrecho
D _{VT1}		Coefficiente de efecto de canal corto 2
N _{factor}		Coefficiente de pendiente en subumbral
C _{dsc}	F/m ²	Capacitancia de acoplamiento drenador/fuente a canal
C _{dscb}	F/Vm ²	Dependencia de C _{dsc} con la polarización en el sustrato
C _{dscd}	F/Vm ²	Dependencia de C _{dsc} con la polarización en el drenador
C _{it}	F/m ²	Capacitancia de cargas atrapadas en la interfase
C _d	F/m ²	Capacitancia en la unión pn del drenador a polarización cero en el sustrato
x _j	m	Profundidad de la unión
ε _{si}	F/m ²	Constante dieléctrica del silicio (11.8*ε ₀)
L _{eff}	μm	Longitud efectiva del canal
W _{eff}	μm	Ancho efectivo del canal
V _{bs}	V	Voltaje sustrato – fuente
V _{sg}	V	Voltaje fuente – compuerta
V _{sd}	V	Voltaje fuente – drenador

Tabla1. Parámetros utilizados por el modelo BSIM3v3.

Parámetro	Ecuación para calcular el parámetro
Corriente drenador-fuente	$i_{ds} = I_{s0} \left(1 - \exp\left(-\frac{V_{sd}}{V_T}\right) \right) \exp\left(\frac{V_{sg} - V_{th} - V_{off} }{nV_T}\right)$
Corriente pre-exponencial	$I_{s0} = \mu_0 \frac{W}{L} \sqrt{\frac{q\epsilon_{si}N_s}{2\phi_s}} V_T^2$
Potencial de superficie	$\phi_s = 2 \frac{kT}{q} \ln\left(\frac{N_s}{n_i}\right)$

Voltaje térmico	$V_T = \frac{kT}{q}$
Voltaje de umbral	$V_{th} = V_{th0} + k_1 \left(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s} \right) - k_2 V_{bs}$ $+ k_1 \left(\sqrt{1 + \frac{N_{LX}}{L_{eff}}} - 1 \right) \sqrt{\phi_s} + (k_3 + k_{3b} V_{bs}) \frac{T_{ox}}{W_{eff} + W_0} \phi_s$
Parámetro de barrido subumbral	$n = 1 + N_{factor} \frac{C_d}{C_{ox}} + \frac{C_{it}}{C_{ox}}$ $+ \frac{\left(C_{dsc} + C_{dscd} V_{ds} + C_{dscb} V_{bseff} \right) \left(\exp \left(-D_{VT1} \frac{L_{eff}}{2lt} \right) + 2 \exp \left(-D_{VT1} \frac{L_{eff}}{lt} \right) \right)}{C_{ox}}$
Capacitancia de la unión pn drenador-substrato	$C_d = \frac{\epsilon_{si}}{x_j}$

Tabla 2. Ecuaciones utilizadas por el modelo BSIM3v3 para un MOSFET canal p

Para calcular el voltaje de umbral, el modelo desprecia los efectos de canal corto, el efecto de carga compartida entre la fuente y el drenador, el efecto de disminución de la barrera inducida por el drenador y el voltaje efectivo formado por el acortamiento del canal.

Parámetro	Ecuación para calcular el parámetro
Corriente drenador-fuente	$i_{ds} = I_{s0} \left(1 - \exp \left(-\frac{V_{ds}}{V_T} \right) \right) \exp \left(\frac{V_{gs} - V_{th} - V_{off}}{nV_T} \right)$
Corriente pre-exponencial	$I_{s0} = \mu_0 \frac{W}{L} \sqrt{\frac{q\epsilon_{si} N_s}{2\phi_s}} V_T^2$
Potencial de superficie	$\phi_s = 2 \frac{kT}{q} \ln \left(\frac{N_s}{n_i} \right)$

Voltaje térmico	$V_T = \frac{kT}{q}$
Voltaje de umbral	$V_{th} = V_{th0} + k_1 \left(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s} \right) - k_2 V_{bs}$ $+ k_1 \left(\sqrt{1 + \frac{N_{LX}}{L_{eff}}} - 1 \right) \sqrt{\phi_s} + (k_3 + k_{3b} V_{bs}) \frac{T_{ox}}{W_{eff} + W_0} \phi_s$
Parámetro de barrido subumbral	$n = 1 + N_{factor} \frac{C_d}{C_{ox}} + \frac{C_{it}}{C_{ox}}$ $+ \frac{(C_{dsc} + C_{dscd} V_{ds} + C_{dscb} V_{bseff}) \left(\exp\left(-D_{VT1} \frac{L_{eff}}{2lt}\right) + 2 \exp\left(-D_{VT1} \frac{L_{eff}}{lt}\right) \right)}{C_{ox}}$
Capacitancia de la unión pn drenador-substrato	$C_d = \frac{\epsilon_{si}}{x_j}$

Tabla 3. Ecuaciones utilizadas por el modelo BSIM3v3 para un MOSFET canal n.

A continuación se da a conocer el código en PSPICE utilizado en el APENDICE A2 para crear el modelo en CAPTURE del transistor FGMOS canal p.

```

* -----
*| Transistor MOSFET de compuerta flotante canal P con terminal de   |
*| tuneleo                                                           |
*| Centro de Investigación y de Estudios Avanzados                   |
*| Created by: Juan Carlos Iglesias Rojas                             |
* -----

* Parámetros del FGMOSFET

+     PARAMS: C1=0 FGI=0
+     L=0 W=0 AS=0 PS=0 AD=0 PD=0

* Fuentes de voltaje y de muestreo

Vtunn 4 3 0V
Vs SP 6 0V
Vd 9 DP 0V
Vninj 11 DP 0V
Vinjj 8 DP 0V

* Capacitancia de entrada (desde la compuerta de control (poli2) hacia la compuerta flotante
(polil1))
cin G 3 {C1}

```

```

* Capacitor mos
mtun TUN 3 TUN TUN mp l=2.4u w=3u ad=7.2p as=7.2p pd=10.8u ps=10.8u

* Sinapsis
minj 9 3 6 6 mp l={L} w={W} ad={AD} as={AS} pd={PD} ps={PS}

* Muestreo de corriente convertido a voltaje
* hxxx n(+) n(-) vnombro transresistencia
his 12 0 Vs 1

* Fuente de voltaje controlada por voltaje para mejorar la convergencia
efg 7 0 3 0 1
rfg 3 7 1k

* Tuneleo de Fowler - Nordheim
*Itun0 = 9.35e8 W L = 9.35e8 (3) (2.4) =6.732e9
gtun TUN 4 value = {6.732e9*exp(-368.04/v(TUN,3))}

* Modelo de inyección de electrones de alta energía (calientes) generados por impacto
ginj 3 8 value = {1.3e-5*v(12)*exp( (-155.75/((v(3,9)+0.702)*(v(3,9)+0.702))) + v(6,9))}

* Modelo de electrones no inyectados
gninj SP 11 value = {1.127*v(12)*(2.985*v(6,9)-1.985*v(6,3)+0.78)*exp( -94.85/(2.985*v(6,9)-1.985*v(6,3)+0.78))}

* Carga inicial en la compuerta flotante
.ic v(3)= {FGI}

.ENDS FGMOSP_M

```

Para el código anterior se ocupó la tecnología de 1.2 μ de MOSIS que se muestra a continuación.

```

* N9BK SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
* DATE: Jan 21/00
* LOT: n9bk WAF: 01
* Temperature_parameters=Default
*$
.MODEL MN NMOS ( LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 3.16E-8
+XJ = 3E-7 NCH = 7.5E16 VTH0 = 0.5498487
+K1 = 0.9538243 K2 = -0.0828391 K3 = 3.132585
+K3B = -2.2454866 W0 = 8.074599E-7 NLX = 1E-8
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0.7293339 DVT1 = 0.3624623 DVT2 = -0.342915
+U0 = 635.8066371 UA = 1.056642E-9 UB = 2.844692E-18
+UC = 1.134033E-11 VSAT = 1.14072E5 A0 = 0.617973
+AGS = 0.0993993 B0 = 1.806196E-6 B1 = 5E-6
+KETA = -6.086326E-3 A1 = 0 A2 = 1
+RDSW = 3E3 PRWG = -0.0138428 PRWB = -0.0258797
+WR = 1 WINT = 6.949999E-7 LINT = 2.389034E-7
+XL = 0 XW = 0 DWG = -1.727896E-8
+DWB = 2.046946E-8 VOFF = -0.0600681 NFACTOR = 0.5519083
+CIT = 0 CDSB = 4.858138E-8 CDSCD = 3.400857E-7
+CDSCB = 8.72449E-5 ETA0 = -1 ETAB = -0.3473855
+DSUB = 0.7260434 PCLM = 1.3145274 PDIBLC1 = 8.840407E-3
+PDIBLC2 = 1.988193E-3 PDIBLCB = 0.1 DROUT = 0.0568002
+PSCBE1 = 2.164387E9 PSCBE2 = 5E-10 PVAG = 0.2637783
+DELTA = 0.01 RSH = 53.5 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0

```

```

+WWN      = 1          WWL      = 0          LL      = 0
+LLN      = 1          LW       = 0          LWN     = 1
+LWL      = 0          CAPMOD   = 2          XPART   = 0.5
+CGDO     = 1.68E-10  CGSO    = 1.68E-10  CGBO    = 1E-9
+CJ       = 2.764726E-4  PB      = 0.99      MJ       = 0.5557165
+CJSW     = 1.425866E-10  PBSW    = 0.99      MJSW    = 0.100001
+CJSWG    = 6.4E-11    PBSWG   = 0.99      MJSWG   = 0.100001
+CF       = 0 )
*chip3 t48s
*$
.MODEL MP PMOS (
+VERSION = 3.1          TNOM    = 27          TOX      = 3.16E-8
+XJ      = 3E-7        NCH     = 2.4E16      VTH0    = -0.8476404
+K1      = 0.4513608  K2      = 2.379699E-5  K3      = 13.3278347
+K3B     = -2.2238332  W0      = 9.577236E-7  NLX     = 7.59957E-7
+DVT0W   = 0          DVT1W   = 0          DVT2W   = 0
+DVT0    = 1.0901095  DVT1    = 0.3847402  DVT2    = -0.0695115
+UO      = 236.8923827  UA      = 3.833306E-9  UB      = 1.487688E-21
+UC      = -1.08562E-10  VSAT   = 1.158963E5  A0      = 0.2655434
+AGS     = 0.4032984  B0      = 4.918573E-6  B1      = 5E-6
+KETA    = -3.420028E-3  A1      = 0          A2      = 0.364
+RDSW    = 3E3        PRWG    = 0.1264689  PRWB    = -0.0934992
+WR      = 1          WINT    = 7.565065E-7  LINT    = 9.271589E-8
+XL      = 0          XW      = 0          DWG     = -2.13917E-8
+DWB     = 3.857544E-8  VOFF    = -0.0877184  NFACTOR = 0.2508342
+CTI     = 0          CDSC    = 2.924806E-5  CDSCD   = 1.497572E-4
+CDSCB   = 1.091488E-4  ETA0    = 0.27103     ETAB    = -0.0155124
+DSUB    = 0.2873      PCIM    = 1E-10       PDIBLC1 = 3.837833E-4
+PDIBLC2 = 1.29647E-3  PDIBLCB = -1E-3         DROUT   = 9.988424E-4
+PSCBE1  = 3.51921E9  PSCBE2  = 5.279883E-10  PVAG    = 15.0001499
+DELTA   = 0.01       RSH     = 76.8        MOBMOD  = 1
+PRT     = 0          UTE     = -1.5        KT1     = -0.11
+KT1L    = 0          KT2     = 0.022       UA1     = 4.31E-9
+UB1     = -7.61E-18  UC1     = -5.6E-11    AT      = 3.3E4
+WL      = 0          WLN     = 1          WW      = 0
+WWN     = 1          WWL     = 0          LL      = 0
+LLN     = 1          LW      = 0          LWN     = 1
+LWL     = 0          CAPMOD  = 2          XPART   = 0.5
+CGDO    = 2.1E-10    CGSO    = 2.1E-10    CGBO    = 1E-9
+CJ       = 2.971957E-4  PB      = 0.8        MJ       = 0.4398377
+CJSW    = 1.665196E-10  PBSW    = 0.8442544  MJSW    = 0.1000437
+CJSWG   = 3.9E-11    PBSWG   = 0.8442544  MJSWG   = 0.1000437
+CF       = 0          )
* CHIP 3 T48S
*$

```

APENDICE A2 DISEÑO DEL FGMOSFET PARA TRABAJAR EN CAPTURE

Introducción.

ORCAD CAPTURE es una herramienta poderosa para simulación de circuitos. Presenta un ambiente gráfico amigable con el cual se pueden diseñar circuitos eléctricos complejos en un corto tiempo^[34]. También se pueden realizar MODELOS matemáticos que representen a un dispositivo electrónico dado.

En este apéndice se explica con detalle el procedimiento para crear el símbolo eléctrico en CAPTURE del FGMOSFET canal P, su PSpiceTemplate y su asociación con el MODELO en modo texto^[35].

El primer paso es abrir la ventana de CAPTURE y crear una nueva librería en la dirección deseada.

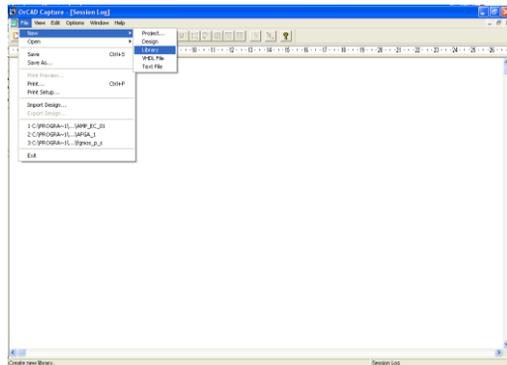


Figura A-1

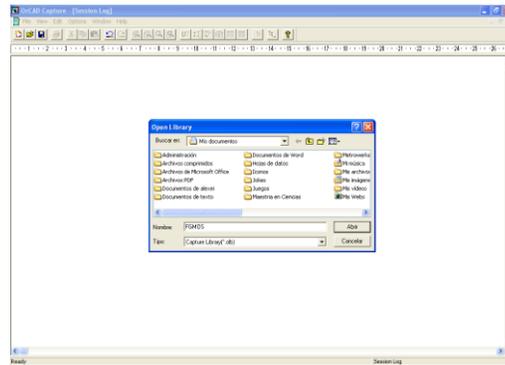


Figura A-2

La librería de componentes tiene extensión .OLB

Una vez creada la librería, es necesario crear uno o varios componentes (dispositivos electrónicos), para ello se da clic con el botón derecho del ratón sobre el nombre de la librería que se encuentra en la parte superior izquierda de la pantalla y a continuación se selecciona "New Part" como se muestra en la Figura A-3.

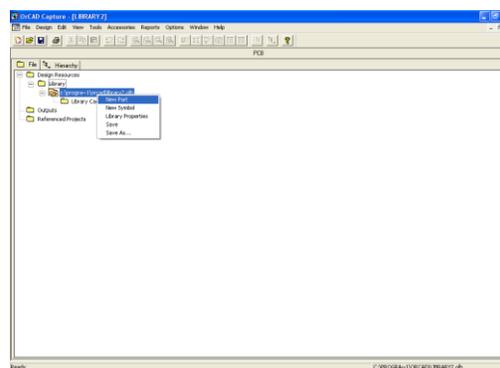


Figura A-3

A continuación se pone el nombre de la nueva parte, Figura A-4 y aparecerá una pantalla para editar el símbolo de la nueva parte, Figura A-5.

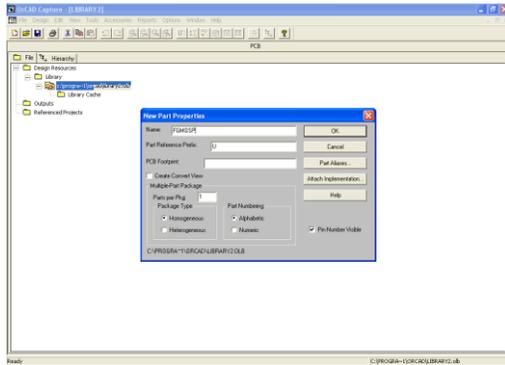


Figura A-4

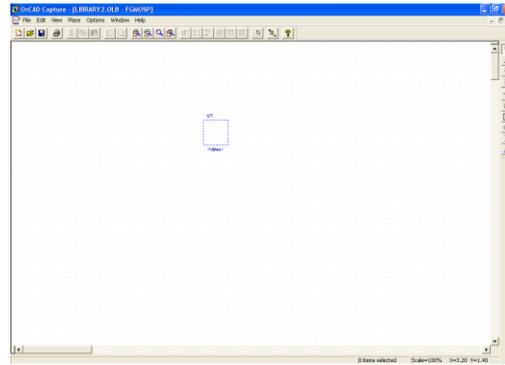


Figura A-5

Con los botones de la derecha, dibuje el símbolo de su dispositivo y agregue terminales, poniendo atención al nombre que les de a cada una de ellas pues este nombre se utilizará de aquí en adelante.

Una vez creado el símbolo como se muestra en la Figura A-6, vamos a configurar el componente y a crear su PSpiceTemplate, para ello vamos a “Options” y “Package Properties”, aparecerá la pantalla de la Figura A-7.

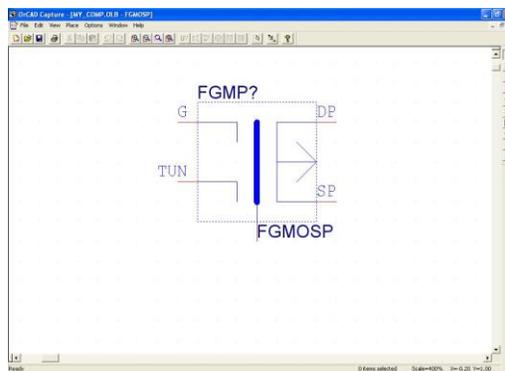


Figura A-6



Inicialmente, si nuestro componente tiene parámetros modificables por el usuario, por ejemplo el ancho de canal (W) o la carga inicial en la compuerta flotante (FGI), estos se deben definir como una propiedad, para ello, existe un botón a la derecha de la ventana que dice “New”, una vez presionado aparece una pantalla que pide el nombre y el valor de la propiedad, en el nombre escriba el parámetro, por ejemplo (FGI), la casilla de valor déjela en blanco.

Otra propiedad importante es el “Implementation type”, la cual debe de cambiarse a “PSpiceModel” como se ve en la Figura A-8. En “Implementation” debemos poner el valor con el nombre del modelo matemático que se describirá más adelante, para nuestro caso le pondremos “FGMOS_M”.

Hay otras propiedades menos importantes como “Pin Names Visible”, “Pin Names Rotate”, hacer visible el nombre de los pines o rotarlos, que se alteraran al gusto del diseñador.

Una propiedad importante o quizá la más importante es el PSpice Template que es como la programación del componente, es decir, cómo se va a comportar en CAPTURE, para ello se tiene que crear esta propiedad presionando el botón “New” y poner el nombre exactamente como lo escribo aquí “PSpiceTemplate”. Una vez creada la propiedad, la selecciono y escribo el valor, ver Figura A-9, este valor se describe más adelante.

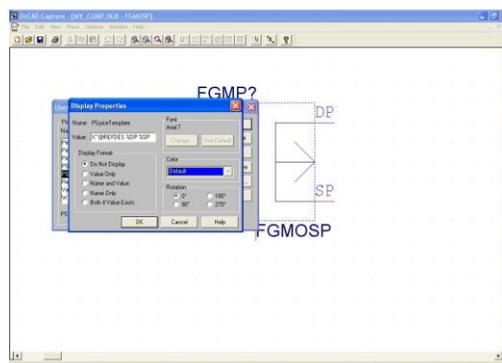


Figura A-9

El PSpiceTemplate se compone como sigue:

```
X^@REFDES %DP %SP %FG %G %TUN @MODEL PARAMS: \n+ ?C1|C1=@C1|
~C1|C1=0.1PF| ?FGI|FGI=@FGI| ~FGI|FGI=2.5V| \n+ ?L|L=@L|
~L|L=2.4u| ?W|W=@W| ~W|W=3u| ?AD|AD=@AD| ~AD|AD=7.2p|
?AS|AS=@AS| ~AS|AS=7.2p| ?PD|PD=@PD| ~PD|PD=10.8u|
?PS|PS=@PS| ~PS|PS=10.8u|
```

- | | |
|----------------|--|
| X^@REFDES | - Inicio del template, siempre es constante |
| %DP %SP %FG %G | - Define cada una de las terminales del dispositivo |
| @MODEL | - Define un modelo de PSpice, hasta aquí debe terminar el Template si no hay parámetros definidos por el usuario |
| PARAMS: | - Palabra reservada para definir parámetros |
| \n+ | - Brinca la casilla |
| ?C1 C1=@C1 | - Formato para nombrar un parámetro que se pedirá en una casilla |
| ~C1 C1=0.1PF | - Formato para poner un parámetro con un valor predeterminado. |

Una vez terminado el PSpiceTemplate, guarde los cambios y cierre la ventana.

Abra un proyecto en capture o cree uno nuevo, a continuación haga clic en el botón de partes, aparecerá la pantalla de la Figura A-10.

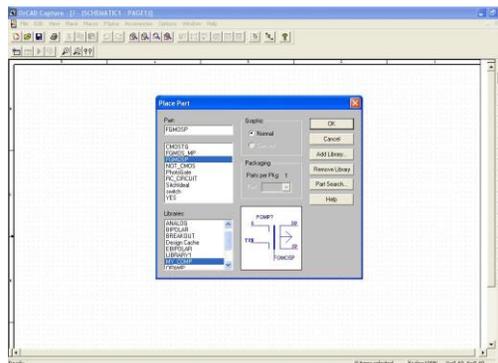


Figura A-10

Presione el botón “Add Library” y dirija al archivo en donde está su dispositivo electrónico.

En la columna de la izquierda aparecerá su librería, seleccione ésta y en la parte superior aparecerá el o los componentes que haya creado. Seleccione su componente para que aparezca en el editor de CAPTURE.

Una vez hecho esto, con el explorador de Windows vaya a la carpeta ORCAD/CAPTURE/LIBRARY/PSPICE¹ y con el bloc de notas cree un archivo en donde almacenará sus modelos de cada dispositivo, la extensión debe de ser .LIB

Edite su modelo, a continuación explicaremos cómo se compone un modelo en PSpice.

¹ En algunas versiones de ORCAD puede variar la ruta especificada en cuyo caso hay que buscar las librerías.

```
.SUBCKT FGMOSP DP BP SP G TUN
```

Es un sub-circuito Nombre del modelo Terminales del dispositivo

```
* -----  
* | Transistor MOSFET de compuerta flotante canal P con terminal de tuneleo |  
* | Centro de Investigación y de Estudios Avanzados                            |  
* | Created by: Juan Carlos Iglesias Rojas                                    |  
* -----
```

Los comentarios empiezan con *

* Parámetros del FGMOS

Esta parte define los parámetros, a todos se les pone =0, esto no es el valor predeterminado, es solo un formato

```
+    PARAMS: C1=0 C2=0 FGI=0  
+    LP=0 WP=0 ASP=0 PSP=0 ADP=0 PDP=0  
+    LT=0 WT=0 AST=0 PST=0 ADT=0 PDT=0
```

Toda esta parte es igual que un circuito en modo texto .CIR

* Fuentes de voltaje y de muestreo

Vtunn 4 3 0V
 Vs SP 6 0V
 Vd 9 DP 0V
 Vninj 11 DP 0V
 Vinjj 8 DP 0V

* Capacitancia de entrada (desde la compuerta de control (poli2) hacia la compuerta flotante (poli1))
 cin G 3 {C1}

* Capacitancia entre la compuerta flotante y el drenador
 cfd DP 3 {C2}

* Capacitor mos

mtun TUN 3 TUN TUN cmosp l={LT} w={WT} ad={ADT} as={AST} pd={PDT} ps={PST}

En lugar de un valor constante, se pueden emplear los parámetros, por ejemplo, en lugar de $W = 3u$ puedo poner $W = \{WP\}$, ahora W tomará el valor que le asigne en CAPTURE.

* Sinopsis

minj 9 3 6 BP cmosp l={LP} w={WP} ad={ADP} as={ASP} pd={PDP} ps={PSP}

minj es el nombre del MOSFET definido en los parámetros de nivel 7 archivo .LIB que debe estar en la carpeta de librerías de PSPICE arriba mencionada, Figura A-11 y A-12

* Muestreo de corriente convertido a voltaje

* hxxx n(+) n(-) vnombre transresistencia
 his 12 0 Vs 1

* Fuente de voltaje controlada por voltaje para mejorar la convergencia

efg 7 0 3 0 1
 rfg 3 7 1k

* Tuneleo de Fowler - Nordheim

*Itun0 = 9.35e8 W L = 9.35e8 (3) (2.4) =6.732e9
 gtnun TUN 4 value = {6.732e9*exp(-368.04/v(TUN,3))}

* Modelo de inyección de electrones de alta energía (calientes) generados por impacto

ginj 3 8 value = {1.3e-5*v(12)*exp((-155.75/((v(3,9)+0.702)*(v(3,9)+0.702))) + v(6,9))}

* Modelo de electrones no inyectados

gninj SP 11 value = {1.127*v(12)*(2.985*v(6,9)-1.985*v(6,3)+0.78)*exp(-94.85/(2.985*v(6,9)-1.985*v(6,3)+0.78))}

* Carga inicial en la compuerta flotante

.ic v(3)= {FGI}

En un sub-circuito no se ponen los tipos de análisis que se vana a realizar, pues estos se definen directamente en CAPTURE.

.ENDS FGMOSP Termina el modelo
 *\$

Aquí puedo empezar otro modelo

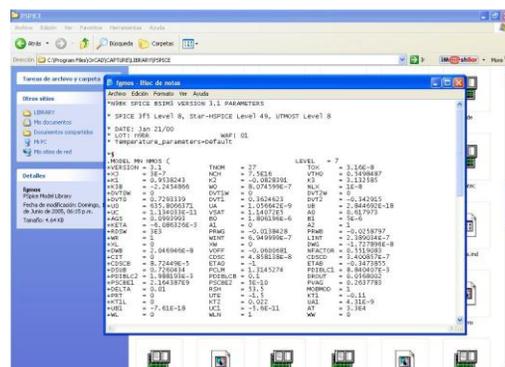
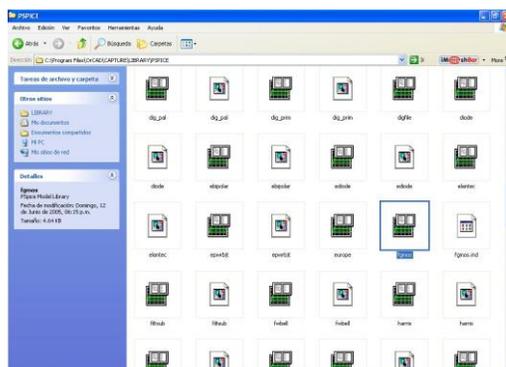


Figura A-11

Figura A-12

Una vez creado el modelo, guárdelo y regrese a la pantalla de CAPTURE. Seleccione el componente y de clic en “Edit”, “Pspice Model”, Figura A-13, aparecerá la pantalla de la Figura A-14.

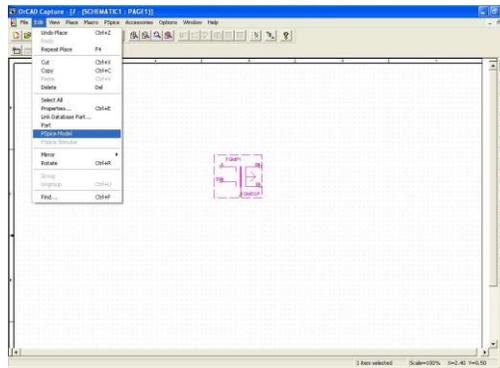


Figura A-13

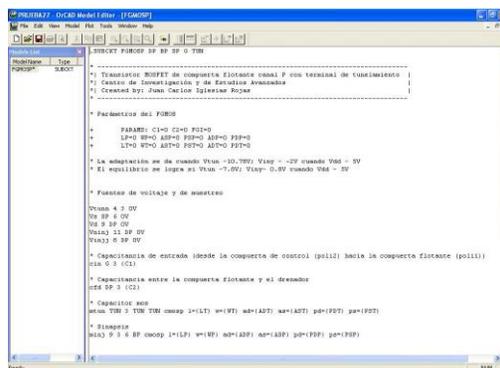


Figura A-14

Ahora podrá ver el modelo matemático que creó con el bloc de notas, puede modificar el modelo y guardarlo.

Cierre la ventana, hasta aquí ya aseguró que el símbolo tiene conexión con su respectivo modelo.

Ahora agregue las librerías tanto de sub-circuitos como la de los parámetros de nivel 7 en la librería “nom.lib”, esto asegura que cuando realice una simulación, se incluirán sus librerías, Figura A-15.

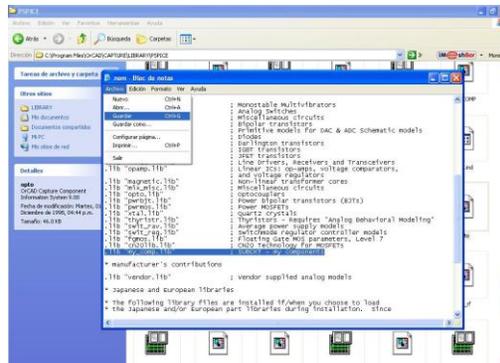


Figura A-15

Guarde los cambios y regrese a CAPTURE.

Haga doble clic sobre el dispositivo y podrá ver el Template y los parámetros que se programaron para insertarlos, si se deja vacía la casilla, entonces tomará los valores predeterminados del Template, Figura A-16.

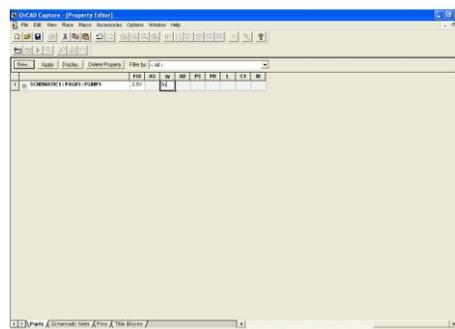


Figura A-16

Ponga los parámetros necesarios según su circuito. Conecte su dispositivo ambiente CAPTURE como se muestra en la Figura A-17 y disfrute con su nuevo símbolo que es más práctico de utilizar que el modo texto.

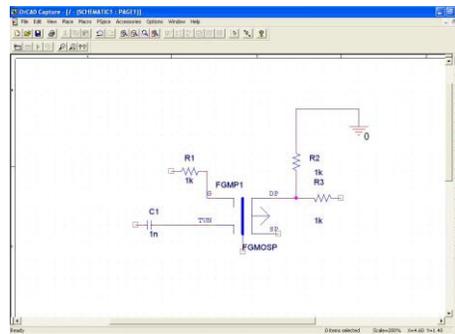


Figura A-17

APENDICE B1 CONTROL DE CARGA MEDIANTE PULSOS

Introducción.

Como se vio en el capítulo 1, la carga en la compuerta flotante de un transistor FGMOS se controla a través de los mecanismos de inyección y tuneleo, la desventaja es que esta carga es no-lineal y por ello es muy difícil controlarla. El control de la carga es muy importante pues la característica más importante del FGMOSFET, es precisamente la capacidad de almacenar esta carga, la cual dependiendo de la

aplicación, refleja otro parámetro, por ejemplo en este trabajo la carga refleja un retardo de tiempo. En [36] se propone utilizar bajos voltajes de tuneo para incrementar la carga de manera más lenta y así poder tener un mejor control de dicha carga, la desventaja es que la dependencia no-lineal continúa además de que la adaptación se hace mucho más lenta. En este apéndice se explica una técnica la cual permite controlar la carga de la compuerta flotante de forma casi lineal en determinado intervalo de variación. Este circuito se utilizó en la fabricación del ADSE.

Cuando polarizamos un transistor FGMOS de tal manera de favorecer la inyección o el tuneo, la carga en la compuerta flotante varía de forma no-lineal. En la Figura B-1 se muestra el circuito utilizado para hacer las pruebas con la carga en la compuerta flotante.

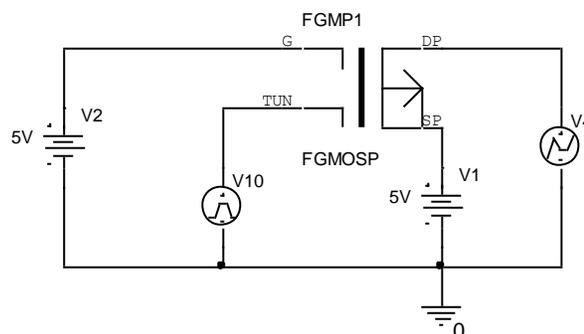


Figura B-1. Circuito de prueba para controlar la carga en la compuerta flotante.

Al circuito de la Figura B-1 se le aplica un pulso de 0.2s de 10.78V en V10, con lo que se favorece el tuneo y después se aplica un pulso negativo de 0.2s de -2V en V4, con lo que se hace una diferencia de potencial más grande entre drenador y fuente, favoreciendo la inyección. En la Figura B-2 se muestra el resultado de la simulación donde se aprecia el comportamiento no-lineal de la carga en la compuerta flotante.

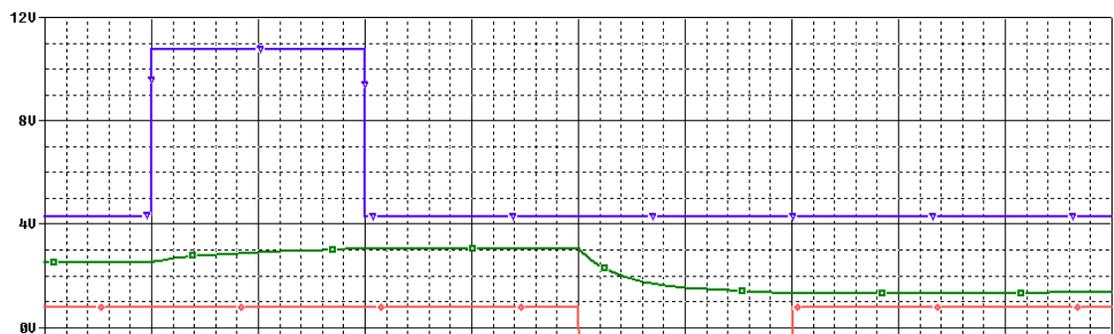


Figura B-2. Resultado de la simulación para ver el comportamiento de la compuerta flotante a un voltaje constante.

Para evitar la no-linealidad en intervalos de variación de carga pequeños, se utiliza fuentes que generen pulsos de corta duración ($10^{-3}s - 10^{-9}s$) que sustituyen las fuentes V4 y V10 para los diferentes mecanismos de adaptación.

En la Figura B-3 vemos el resultado de la simulación cuando se aplican pulsos de 50us en la terminal de tuneleo y la respuesta casi lineal de la compuerta flotante.

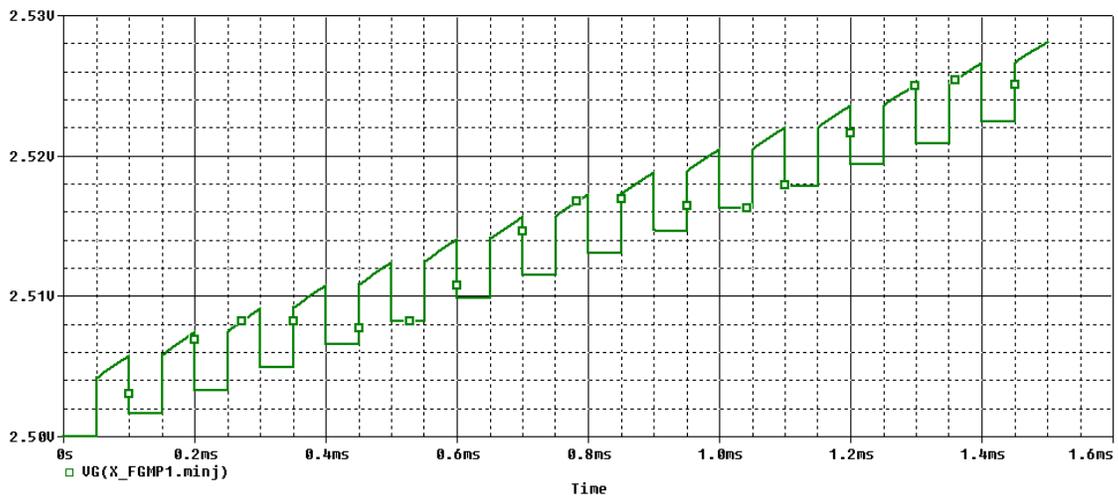


Figura B-3. Respuesta de la compuerta flotante a un tren de pulsos de 50us en la terminal de tuneleo.

En la Figura B-4 vemos el resultado de la simulación cuando se aplican pulsos de 50us en el drenador y favorecer la inyección, la respuesta es casi lineal en la compuerta flotante.

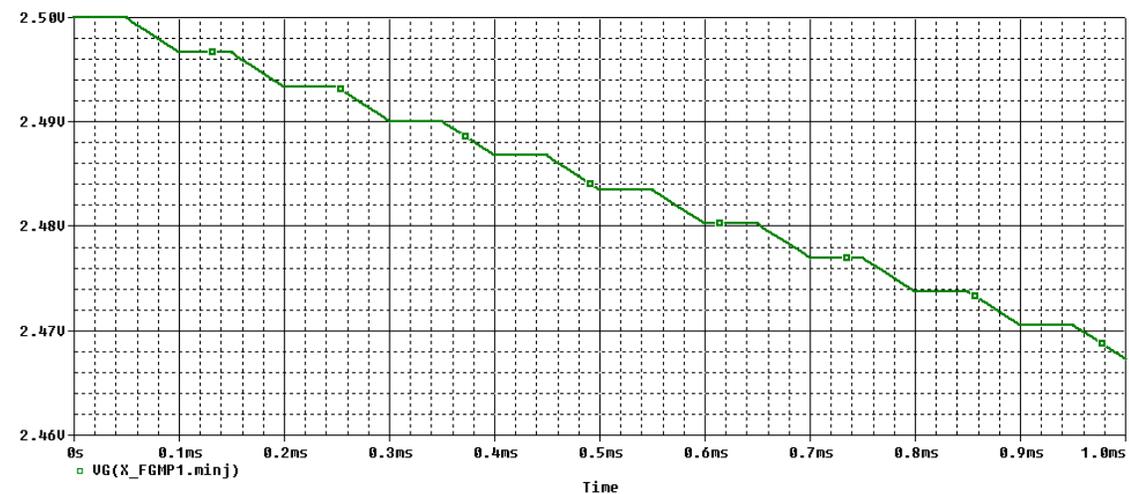


Figura 4. Respuesta de la compuerta flotante a un tren de pulsos de 50us en la terminal de drenador.

Se puede experimentar con diferentes valores de tiempo o de voltaje hasta obtener cierta linealidad, por ejemplo en nuestros ejemplos, para incrementar el voltaje de compuerta flotante en 1.8mV, se requiere de un pulso de 12V con una duración de 50us. Los valores pueden ajustarse para resoluciones como 100uV, 1mV, 10mV, etc.

En nuestro ejemplo de inyección, se puede ver que la compuerta flotante se decreta en pasos de 3.3mV por cada pulso de -2V con una duración de 50us.

La parte importante de esta técnica de control, es que puedo controlar la carga de la compuerta flotante en forma casi lineal abriendo la posibilidad para muchas aplicaciones con FGMOSFET. Por ejemplo si necesitamos reducir el voltaje de la compuerta flotante en 165mV, se puede aplicar 50 pulsos de 50us a -2V de inyección.

Es muy importante saber que al utilizar pulsos, no estamos cambiando el comportamiento no-lineal de la carga en la compuerta flotante, solo estamos empleando una forma de controlar la carga en ella, como puede ser usar un solo pulso de determinado ancho y amplitud^[5]. El uso de las reglas de linealidad está limitado a intervalos relativamente pequeños de voltaje de variación en la compuerta flotante (200mV), ver Figura B-5, para variaciones más grandes, ya no es válida la regla de los pulsos, Figura B-6.

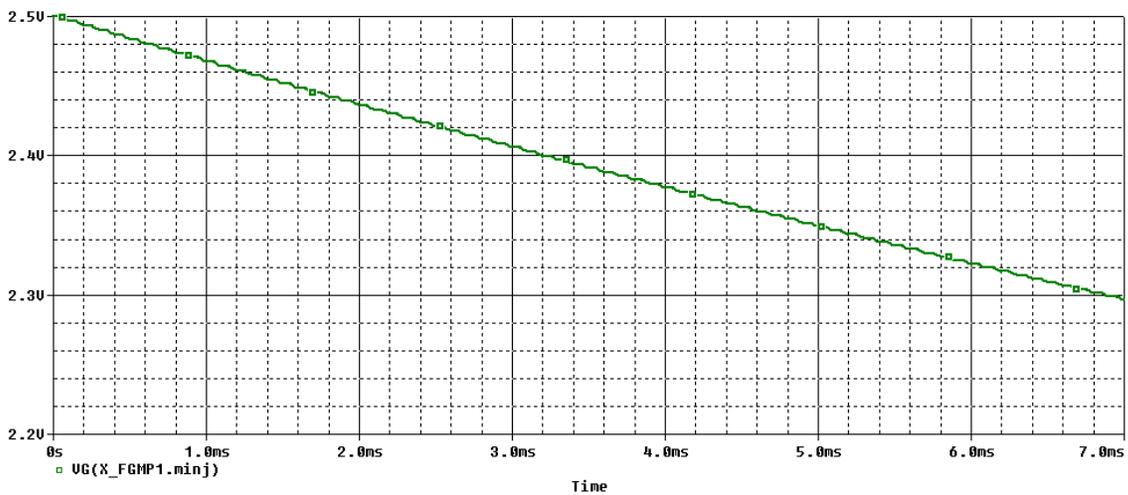


Figura B-5. La regla de aplicar pulsos para inyectar o tunelear de forma lineal, es válida sólo para intervalos de variación de carga pequeños (200mV).

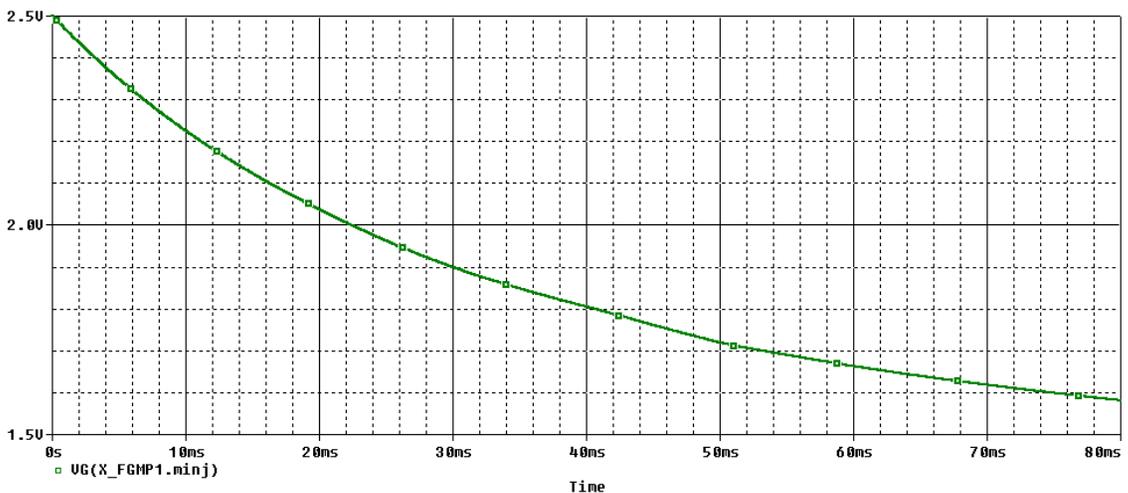


Figura B-6. Para intervalos de variación de carga en la compuerta flotante grandes, se pierde la linealidad y la validez de la regla de pulsos.

En muchas de las aplicaciones con FGMOSFET, no es necesario variar demasiado el voltaje de la compuerta flotante, por lo que se puede utilizar pulsos y una regla de linealidad que nos ahorrará trabajo en cálculos de tiempo y amplitud del voltaje aplicado para tunelear o inyectar electrones.

Para tunelear es necesario un alto voltaje (entre 10 y 20V), este voltaje puede obtenerse a través de una terminal externa o a través de un circuito de bombeo de carga (charge pump circuit)^[37].

Finalmente, si se requiere de un control preciso de la carga en la compuerta flotante, se pueden utilizar pulsos controlados a través de una retroalimentación como el utilizado en los ADSE de este trabajo de tesis.