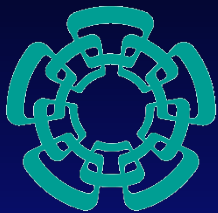


Centro de Investigación y de Estudios Avanzados del

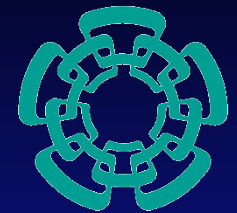
Instituto Politécnico Nacional

Departamento de Ingeniería Eléctrica

Sección de Electrónica del Estado Sólido



Cinvestav



Cinvestav

Doctorado en Ciencias en Ingeniería Eléctrica

Circuitos para la reducción de offset en amplificadores operacionales mediante tecnología CMOS de compuerta flotante en modo de inyección y tuneleo de electrones

Juan Carlos Iglesias Rojas

Ciudad de México

DICIEMBRE 2017

OBJETIVOS

- Reducir la tensión de offset en amplificadores operacionales a menos de $100\mu\text{V}$.
- Utilizar la tecnología CMOS de compuerta flotante en modo de inyección y tuneleo de electrones para tal fin.
- Diseñar un amplificador operacional convencional y otro con reducción de offset con el fin de realizar las mediciones eléctricas necesarias.
- Diseñar un circuito de programación para las estructuras de compuerta flotante.

OBJETIVOS

- Implementar el algoritmo LMS (Least Mean Square) en el circuito de programación.
- Realizar las mediciones necesarias para obtener los resultados experimentales.
- Desarrollar una aplicación a nivel industrial del amplificador operacional con offset reducido.
- Publicar en revista de prestigio los resultados experimentales de la aplicación.

CONTENIDO

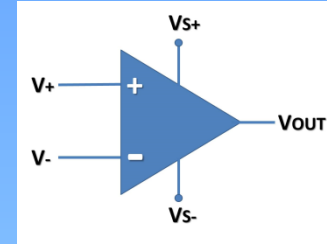
- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

Introducción

- Una de las estructuras más utilizadas en el diseño electrónico son los **amplificadores operacionales**.



- Un parámetro crítico en muchas aplicaciones con amplificadores operacionales es la **tensión de offset referida a la entrada**.



- El amplificador operacional es la base no sólo de muchos diseños analógicos sino también digitales.



Organización

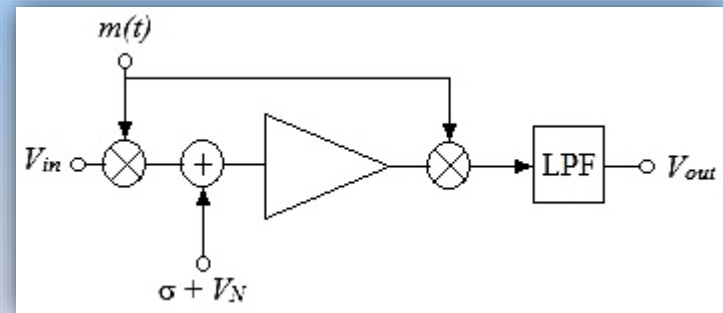
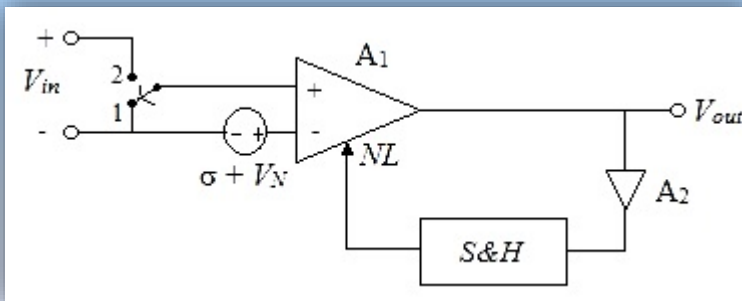
- Descripción de los diferentes métodos de reducción de offset para conocer el estado del arte.
- Descripción del transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones. Regiones de operación, macro-modelo de simulación, y circuitos de programación de la compuerta flotante.
- Base teórica del algoritmo LMS. Circuitos para implementar el algoritmo LMS en un FPGA y mediante LabVIEW. Resultados experimentales de la programación de diferentes POOAs (Amplificador Operacional de Offset Programable).
- Diseño del amplificador operacional convencional y de precisión. Simulación, diseño geométrico y obtención de parámetros eléctricos de dichos amplificadores. Reducción de la tensión de offset después del proceso de programación.
- Descripción, diseño e implementación de un detector de flama de bajo voltaje mediante el uso de POOAs.
- Conclusiones y trabajo futuro.

CONTENIDO

- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

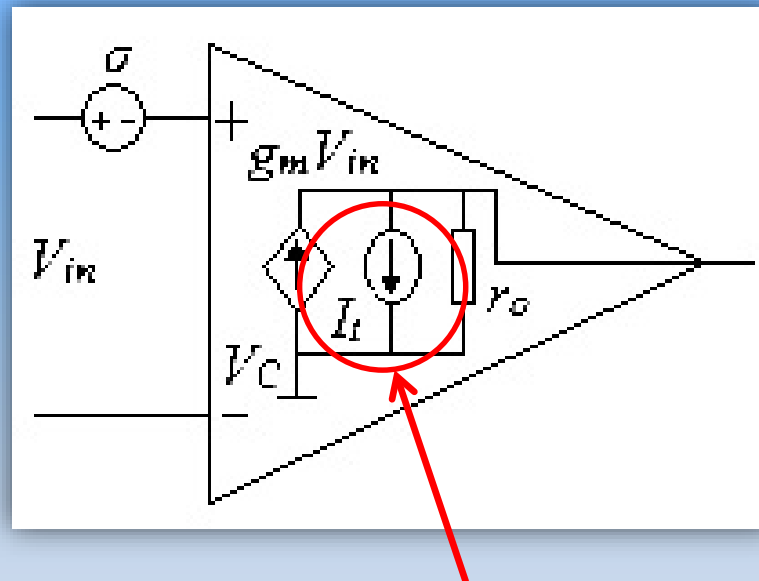
Principales métodos de reducción de offset en sistemas analógicos

- Método de auto-cero
- Método de correlación de doble muestreo
- Método de estabilización por corte
- Método de ajuste por rayo laser



Método de reducción de offset mediante el uso de FGMOS

- En este método se utilizan estructuras de compuerta flotante para que a través de la carga programada se compense la tensión de offset (σ).



En este amplificador (OTA), el valor de la fuente de corriente I_t depende de la carga en las estructuras de compuerta flotante

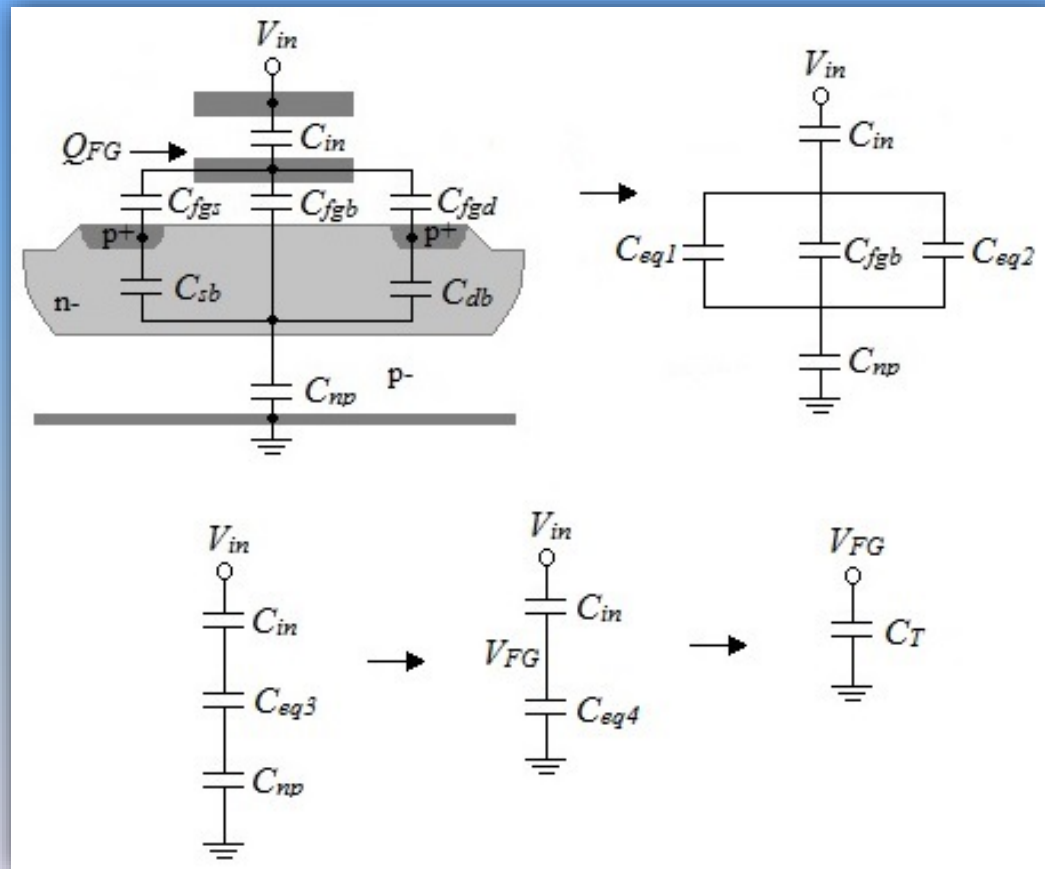
Comparación entre diferentes métodos de reducción de offset

	AZ	CDS	CS	Ajuste por láser	FGMOS
Modo	Muestreo	Muestreo	Continuo	Continuo	Continuo
Offset (σ)	Moderado	Moderado	Bajo	Bajo	Bajo
Ancho de banda	Alto	Alto	Bajo	Alto	Alto
Ruido $1/f$	Reducido	Reducido	Reducido	Sin efecto	Sin efecto
Complejidad	Moderado	Moderado	Alto	Moderado	Bajo
Consumo	Moderado	Moderado	Moderado	Bajo	Bajo
Área extra	Moderado	Moderado	Moderado	Moderado	Bajo
Programación en campo	No	No	No	No	Si
Tipo de reducción de offset	Periódico	Periódico	Continuo	Largo plazo	Largo plazo

CONTENIDO

- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones



Análisis del voltaje en la compuerta flotante

➤ Por acoplamiento capacitivo:

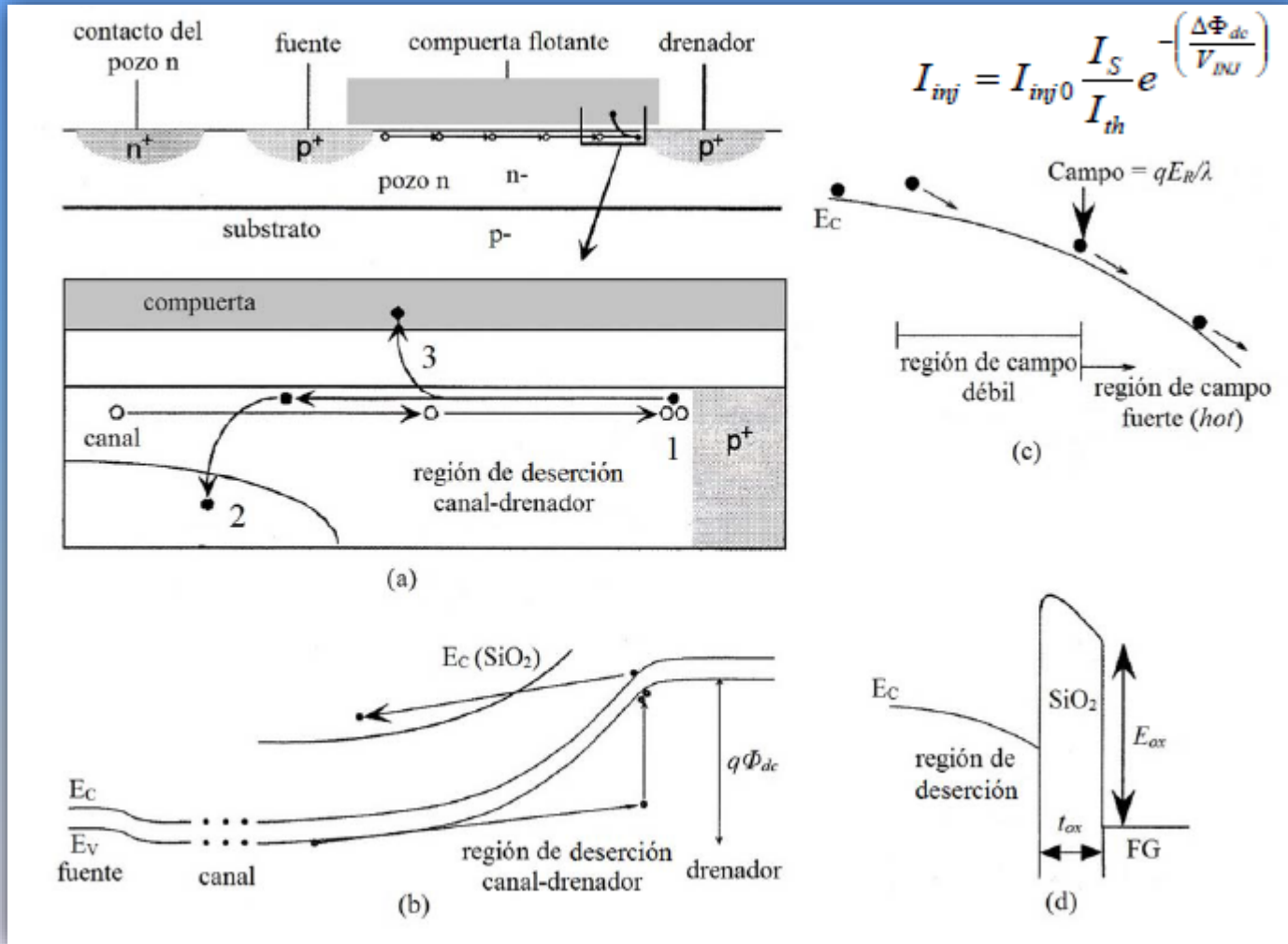
$$\begin{aligned}
 C_{eq1} &= \frac{C_{fgs} C_{sb}}{C_{fgs} + C_{sb}}; C_{eq1} = \frac{C_{fgd} C_{db}}{C_{fgd} + C_{db}} \\
 C_{eq3} &= C_{eq1} + C_{eq2} + C_{fgb} \\
 C_{eq4} &= \frac{C_{eq3} C_{np}}{C_{eq3} + C_{np}} \\
 C_T &= C_{eq4} + C_{in}
 \end{aligned}$$

$$\begin{aligned}
 V_{FG2} &= \frac{V_{in} \left(\frac{1}{j\omega C_{eq4}} \right)}{\frac{1}{j\omega C_{eq4}} + \frac{1}{j\omega C_{in}}} = \frac{V_{in}}{1 + \frac{C_{eq4}}{C_{in}}} = \frac{V_{in} C_{in}}{C_{eq4} + C_{in}} \\
 &= \frac{V_{in} C_{in}}{C_T}
 \end{aligned}$$

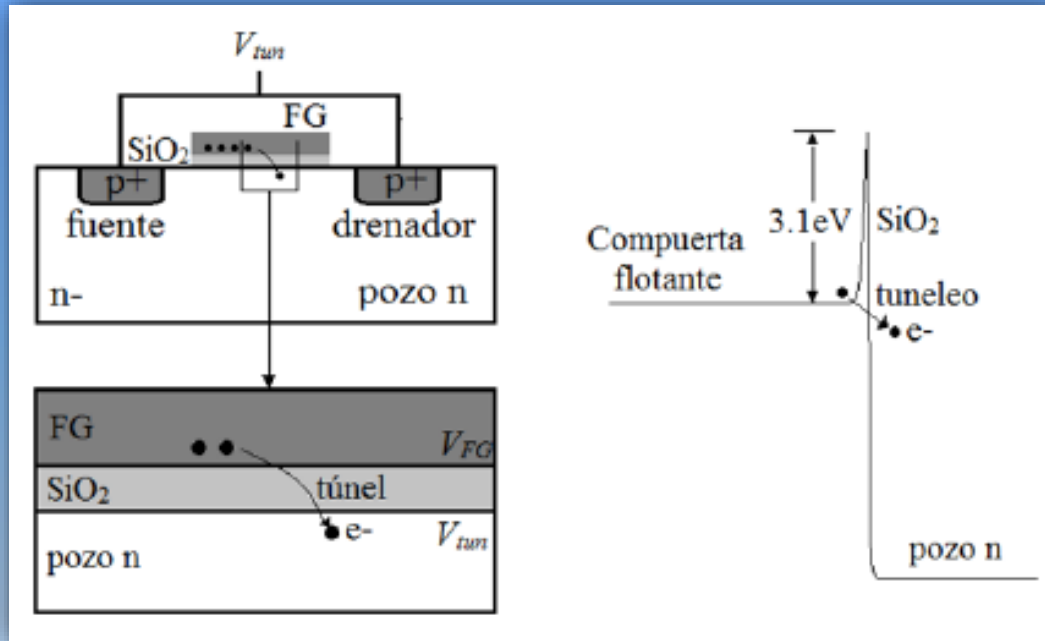
➤ Por acoplamiento capacitivo y carga en la compuerta flotante:

$$V_{FG} = \sum_{i=1}^n \frac{C_i}{C_T} V_i + \frac{Q_{FG}}{C_T}$$

El mecanismo de inyección de electrones

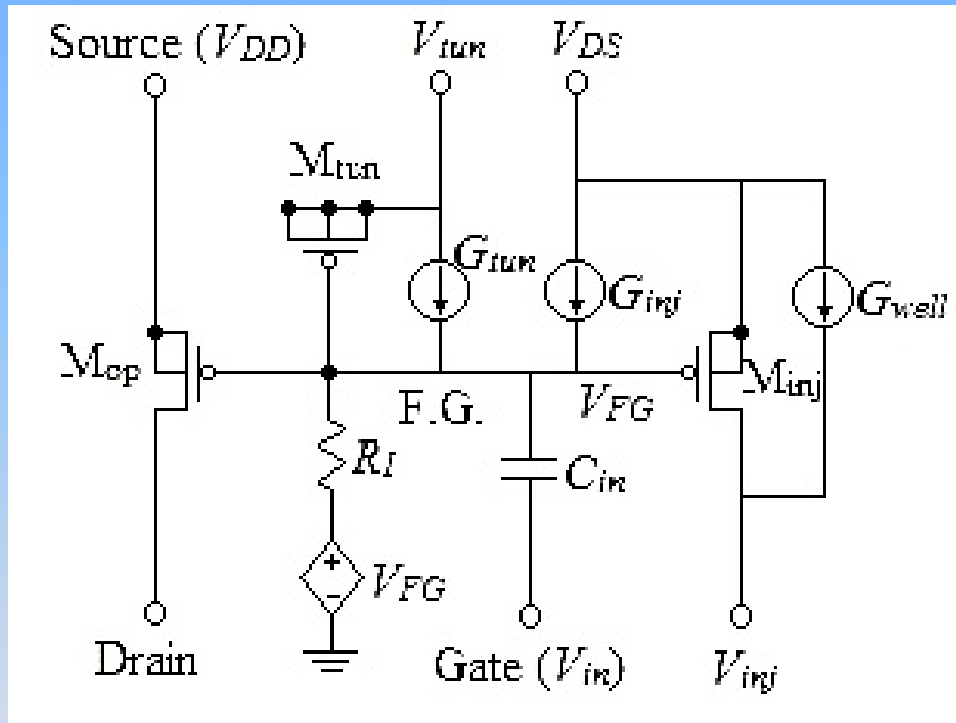


El mecanismo de tuneleo de electrones



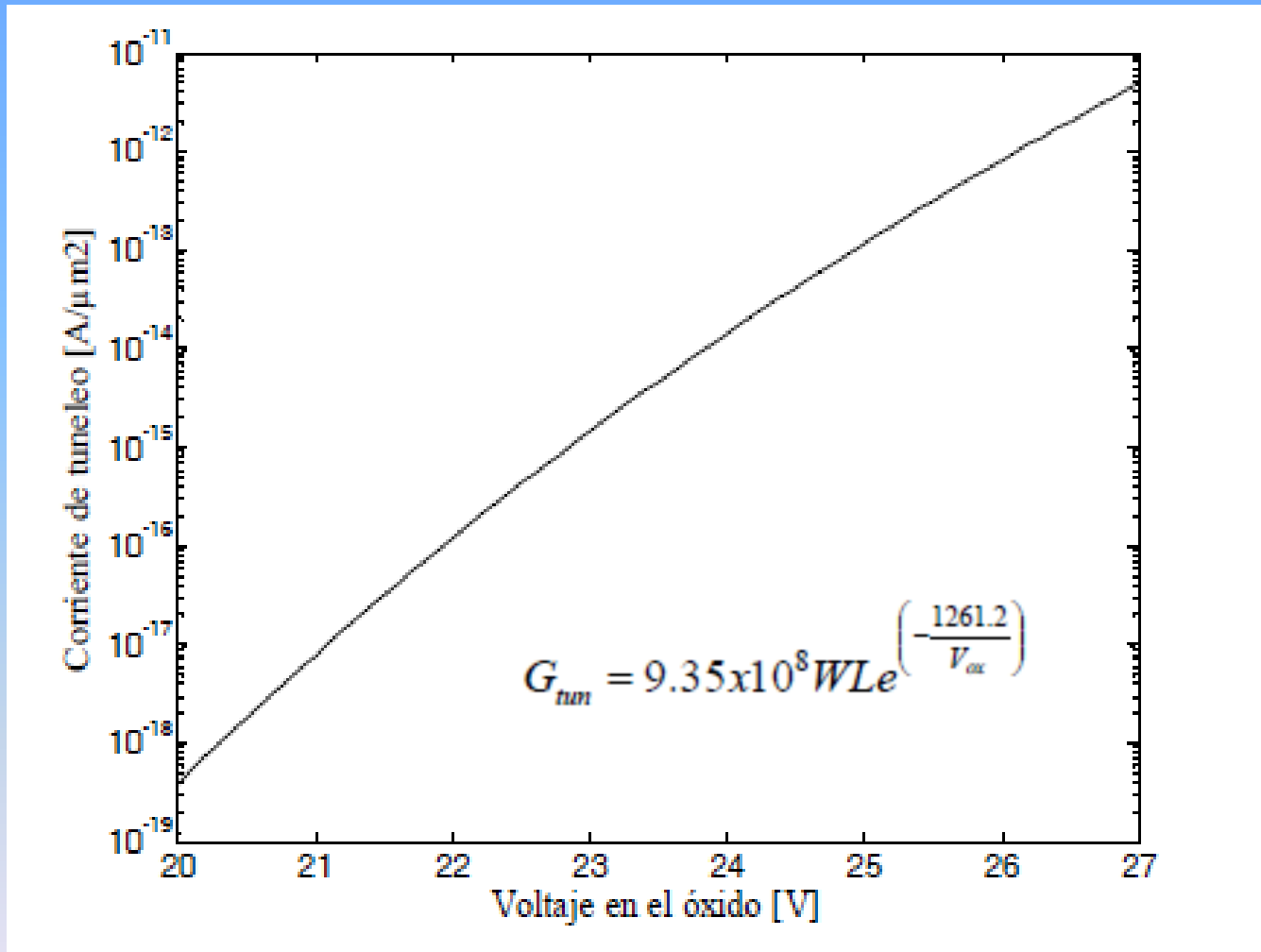
- La corriente de tuneleo es de naturaleza complicada cuando se trabaja de manera teórica.
- Es común utilizar modelos heurísticos implementados en simuladores.

Macro-modelo de simulación

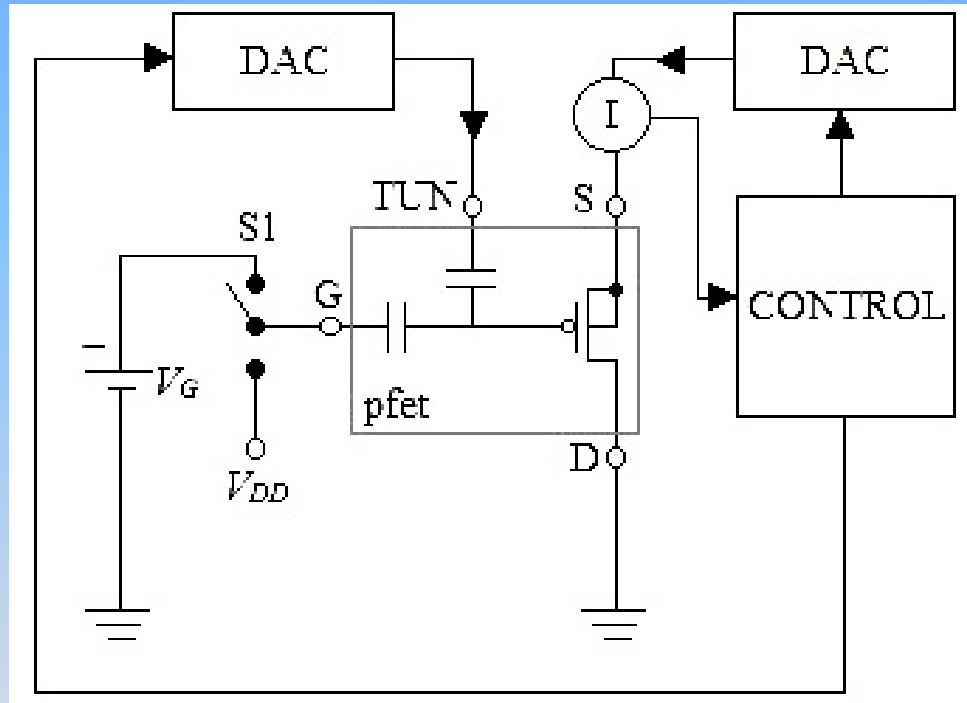


- Macro-modelo para una estructura de compuerta flotante de programación indirecta.
- G_{inj} , G_{tun} y G_{well} modelan la corriente de inyección, tuneleo y portadores no inyectados.

Simulaciones obtenidas

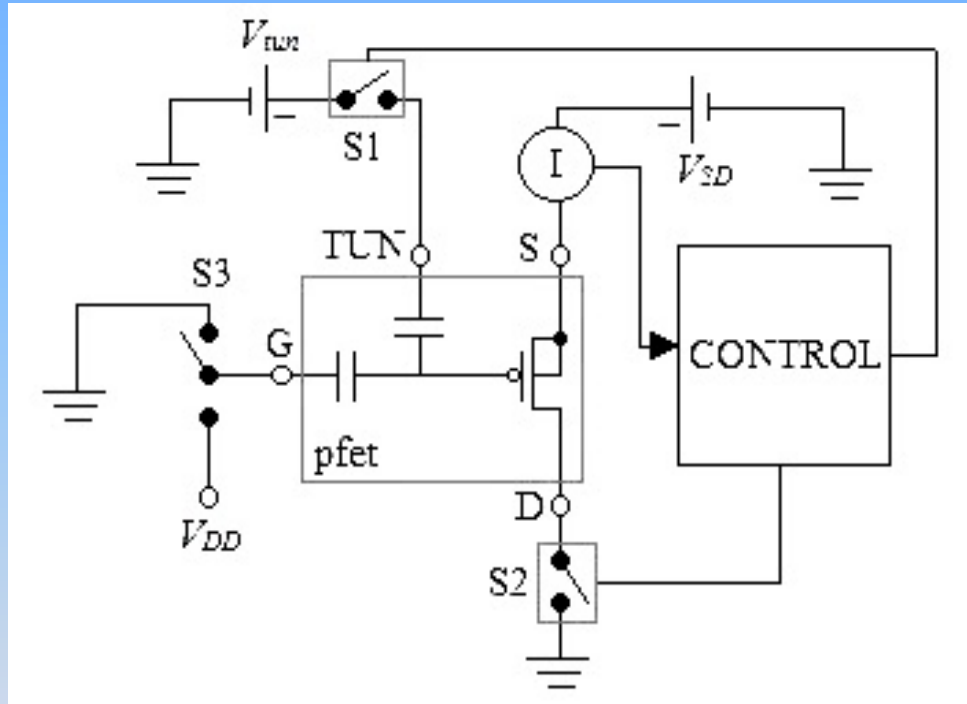


Programación por amplitud drenador-fuente



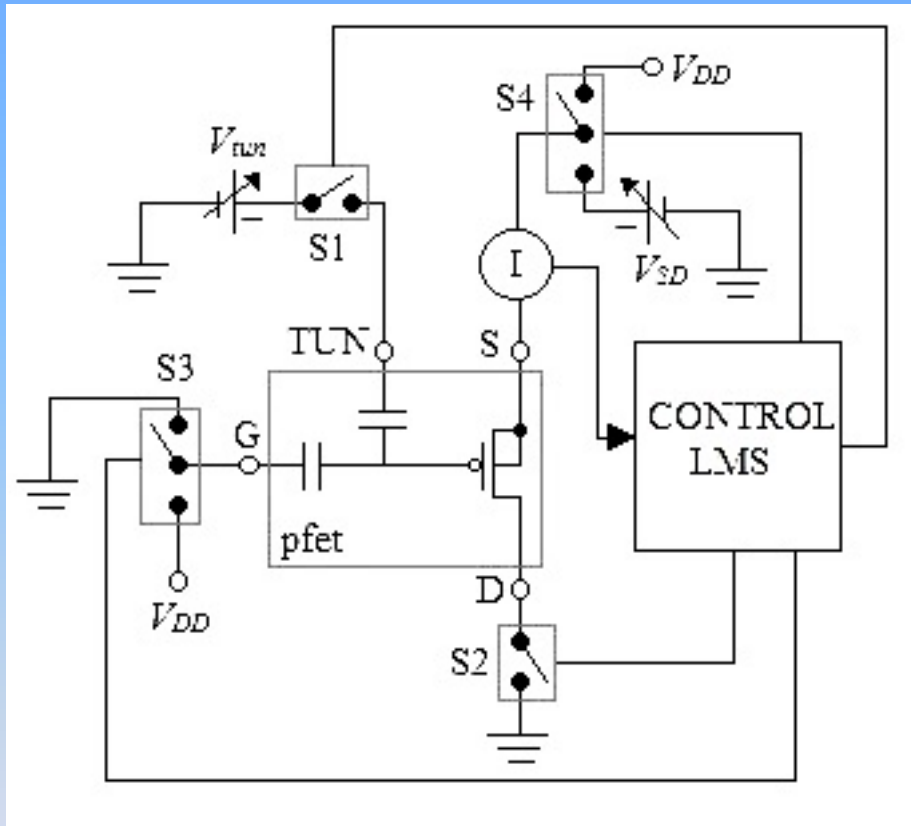
- Este esquema utiliza dos convertidores digital - analógico (DAC).
- El circuito de control utiliza un convertidor analógico - digital.
- La resolución de los DAC limita la exactitud de la programación.

Programación mediante pulsos



- Este esquema no utiliza convertidores digital - analógico.
- El circuito de control utiliza un convertidor analógico - digital.
- La programación se realiza mediante pulsos a través de $S1$ y $S2$.

Circuito de programación utilizado

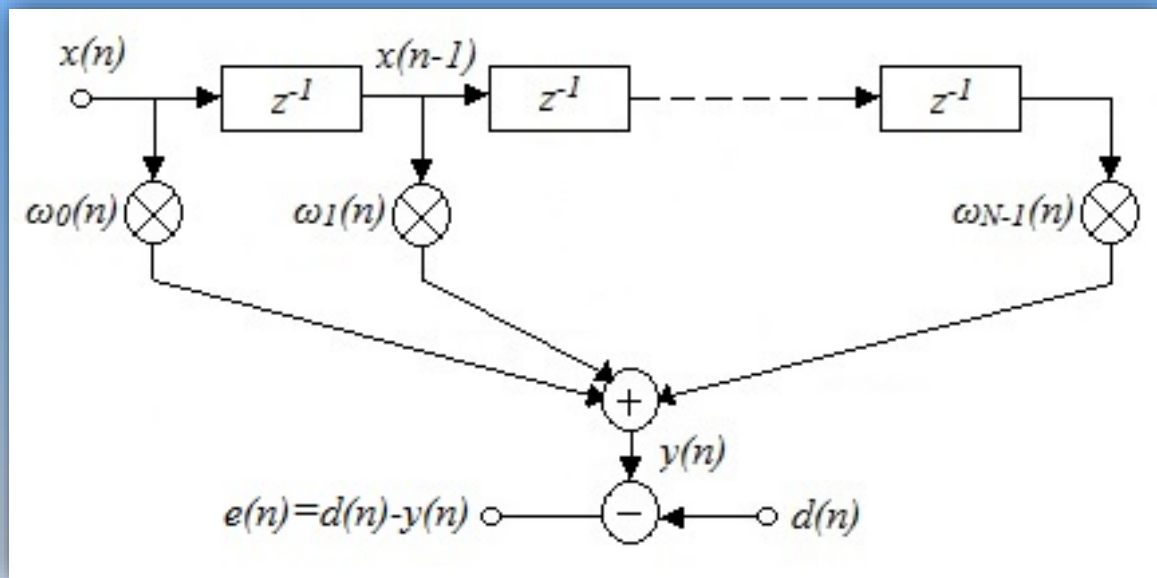


- S3 se utiliza para favorecer la inyección o el tuneleo.
- V_{SD} y V_{TUN} ajustan la resolución de la corriente de inyección y tuneleo.
- La programación se realiza mediante pulsos a través de S1 y S2.

CONTENIDO

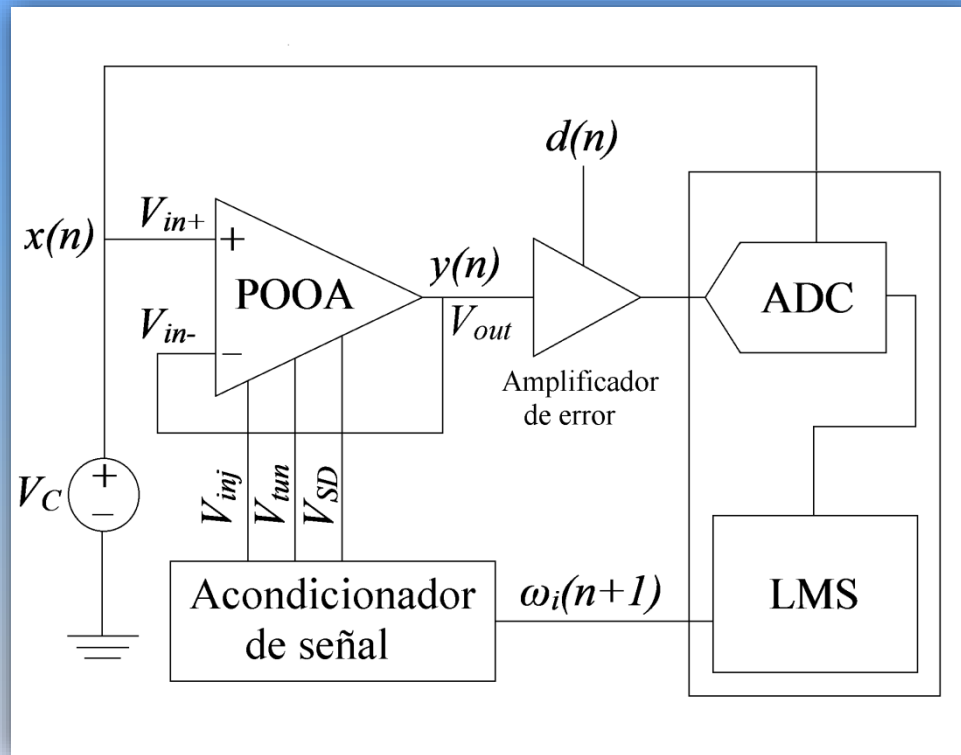
- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante



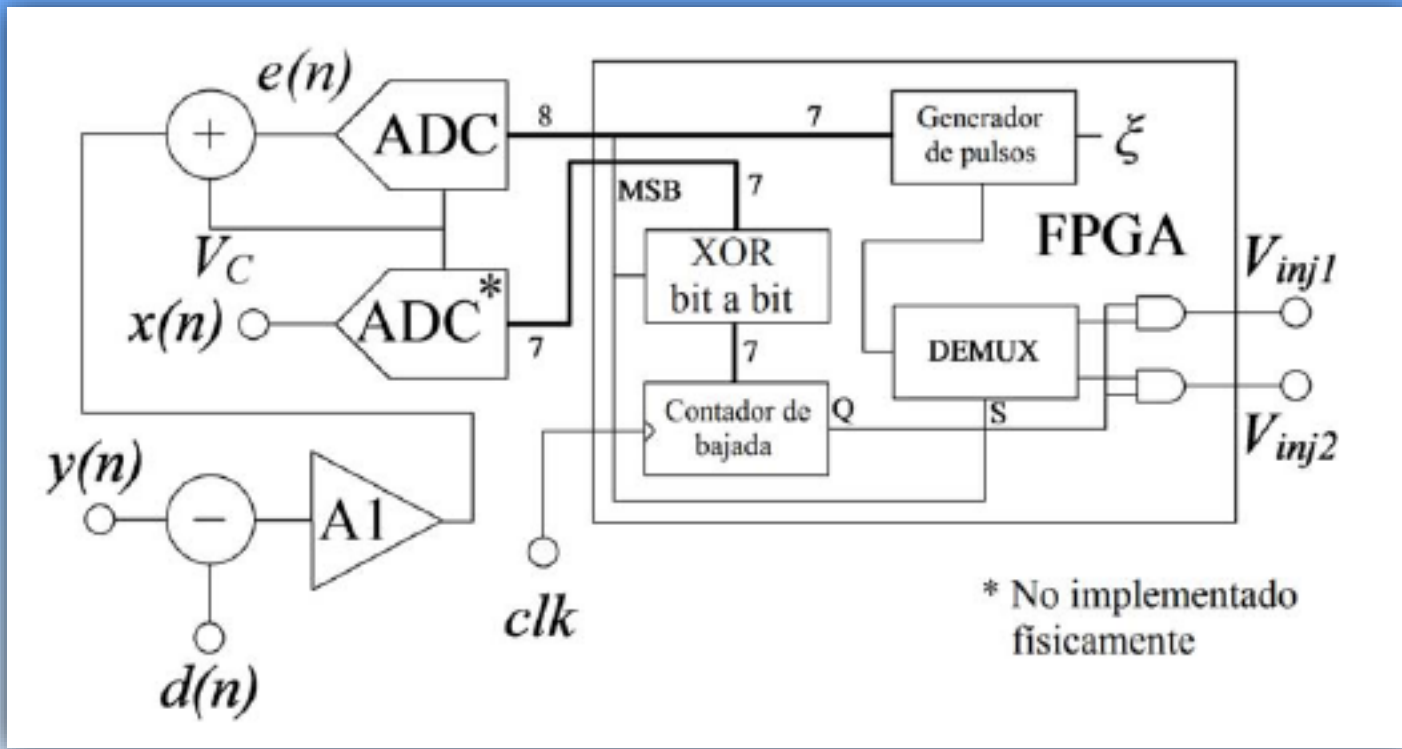
$$\omega(n+1) = \omega(n) + \xi x(n)e(n)$$

Implementación del algoritmo LMS



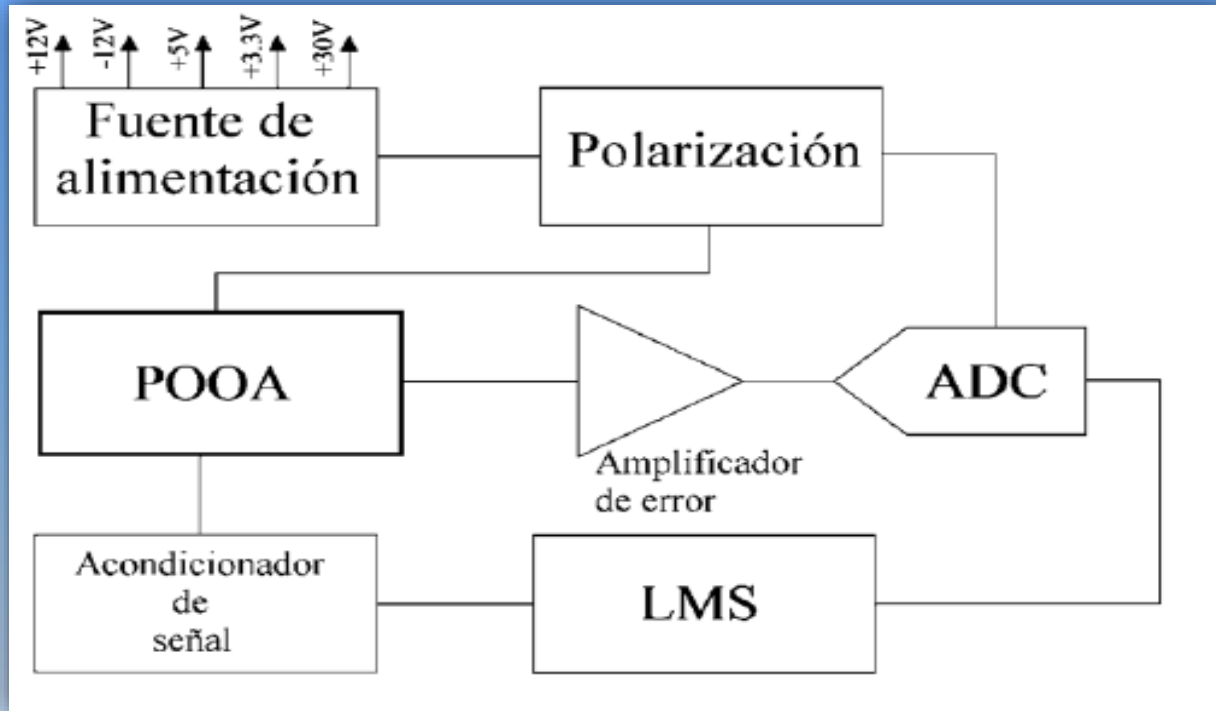
- $x(n)$ - Señal de entrada
- $y(n)$ - Señal de salida
- $d(n)$ - Señal deseada
- $\omega_i(n)$ - Peso actual
- $\omega_i(n+1)$ - Peso siguiente
- V_C - Tensión en modo común

Implementación del algoritmo LMS en el FPGA



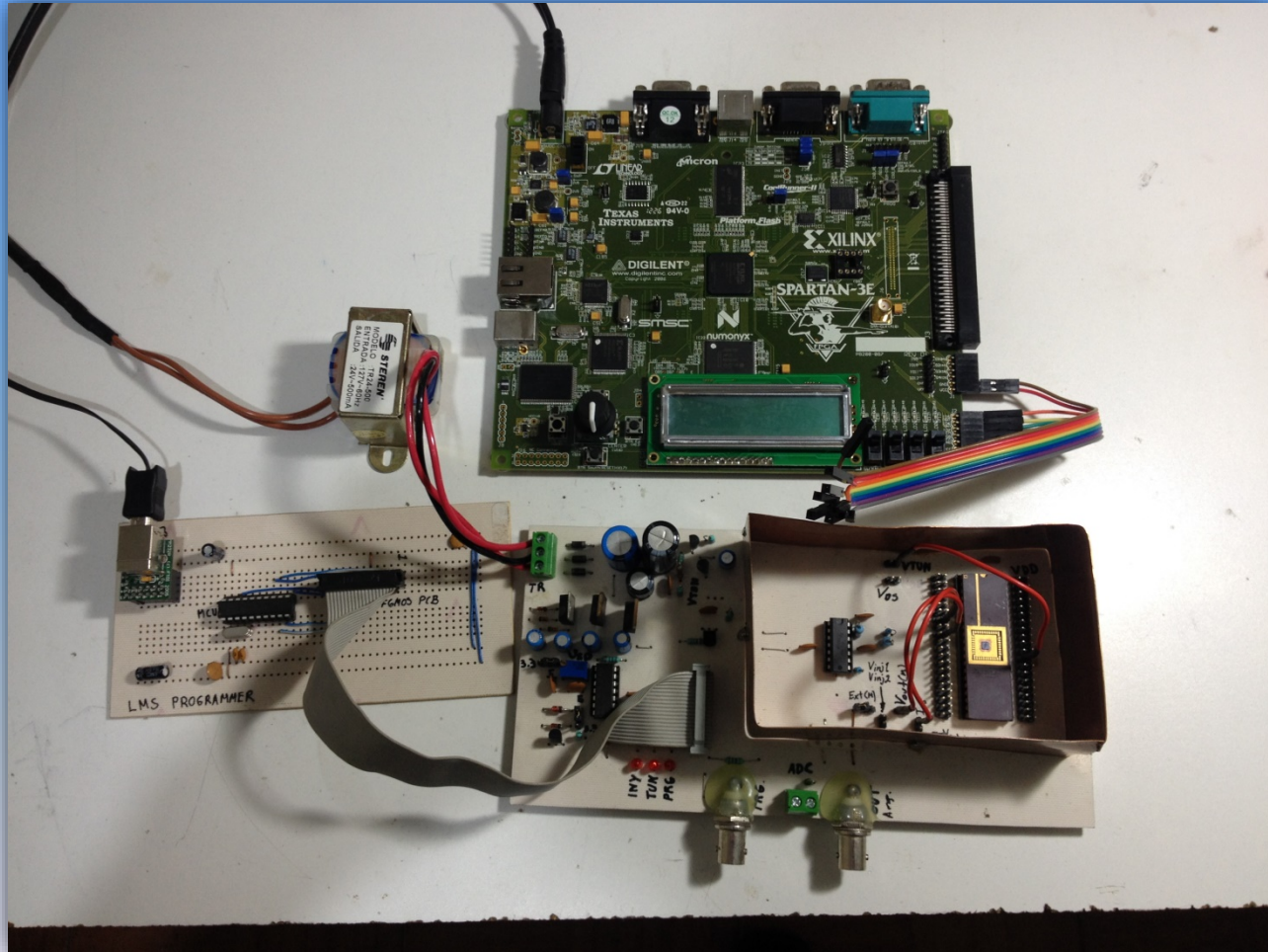
$$\omega(n+1) = \omega(n) + \zeta x(n)e(n)$$

Sistema de programación

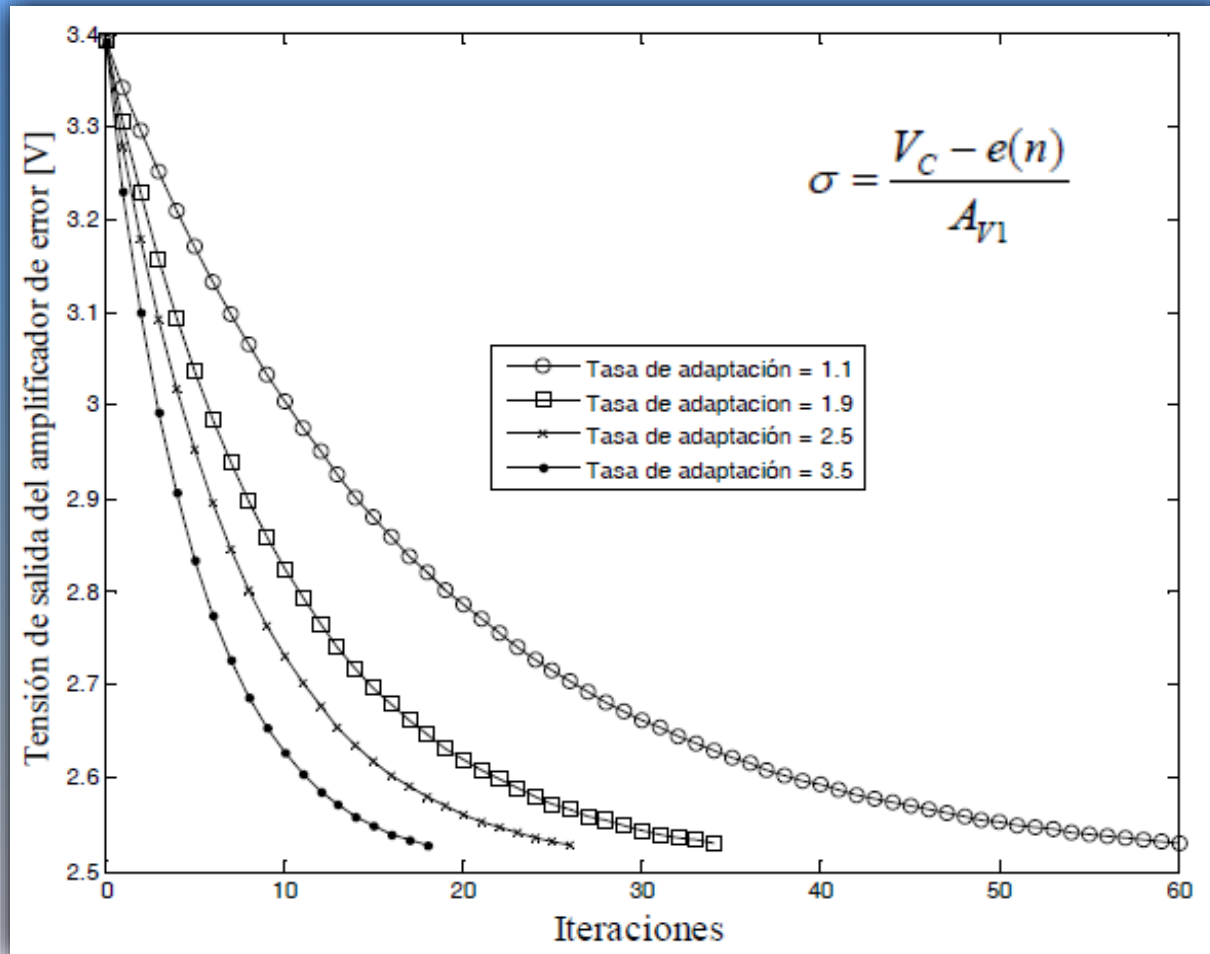


- El amplificador de error es un amplificador de **muy baja tensión de offset** ($< 30\mu\text{V}$).
- La ganancia del amplificador es seleccionable entre **100 y 1000**.

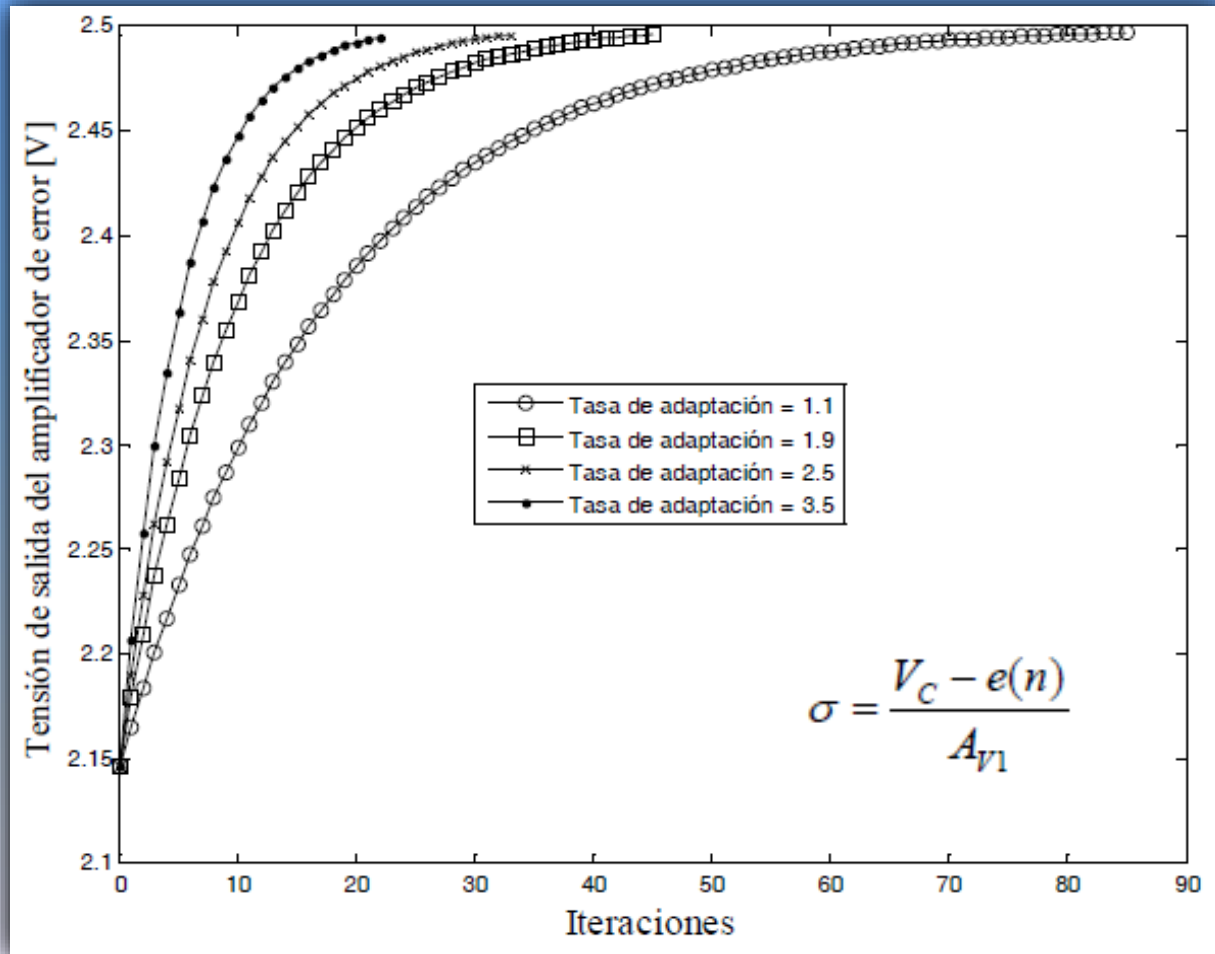
Sistema de programación



Resultados experimentales



Resultados experimentales



Resultados experimentales

- Resultados obtenidos para un amplificador con tensión de offset inicial de $-890\mu\text{V}$ y una ganancia en el amplificador de error de 1000.

Tasa de adaptación	Tensión de offset final	Número de iteraciones	Tensión final de salida	Tensión final de error
1.1	$29.6\mu\text{V}$	61	2.5296V	-0.0296V
1.9	$25.3\mu\text{V}$	35	2.5253V	-0.0253V
2.5	$27.1\mu\text{V}$	27	2.5271V	-0.0271V
3.5	$27\mu\text{V}$	19	2.527V	-0.027V

- Resultados obtenidos para un amplificador con tensión de offset inicial de $+3.54\text{mV}$ y una ganancia en el amplificador de error de 100.

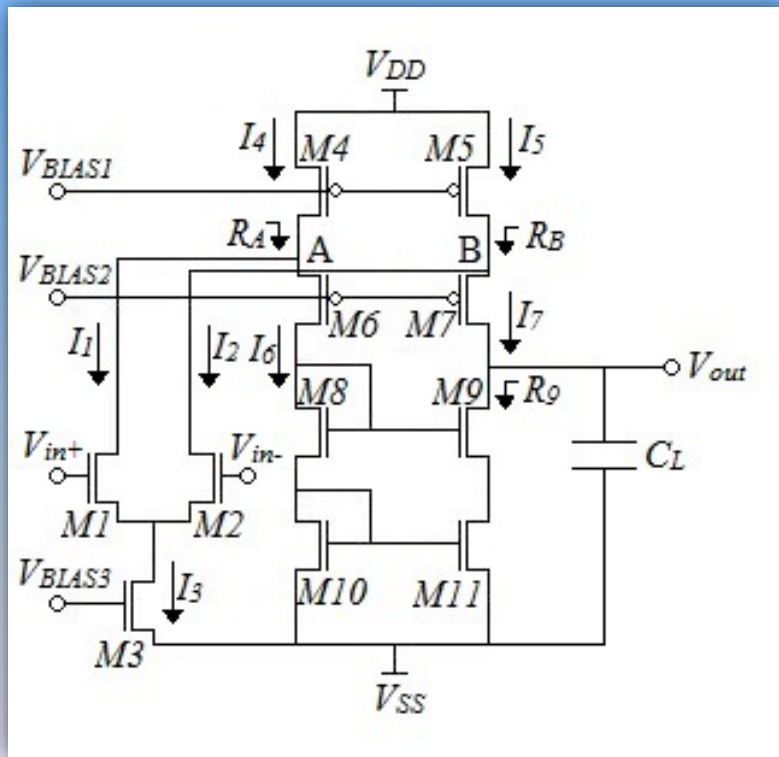
Tasa de adaptación	Tensión de offset final	Número de iteraciones	Tensión final de salida	Tensión final de error
1.1	$30\mu\text{V}$	86	2.497V	+0.003V
1.9	$40\mu\text{V}$	46	2.496V	+0.004V
2.5	$44\mu\text{V}$	34	2.4956V	+0.0044V
3.5	$53\mu\text{V}$	23	2.4947V	+0.0053V

CONTENIDO

- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

Reducción de la tensión de offset referida a la entrada en amplificadores operacionales

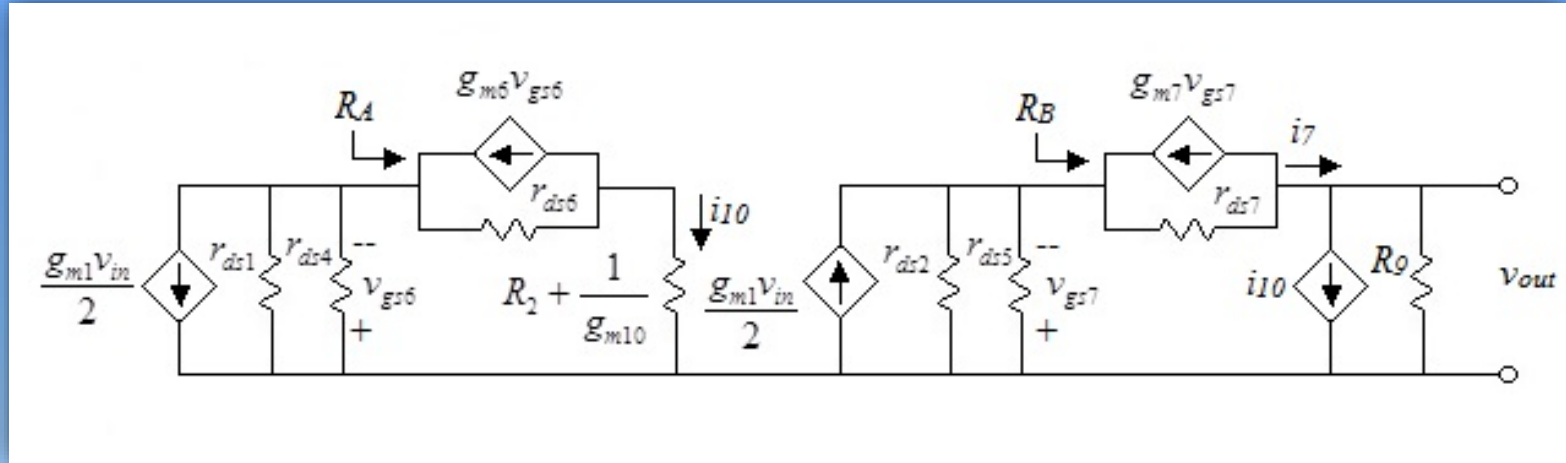
- Se utilizó una topología “folded cascode”.



Características de diseño:

- Alta estabilidad
- Ganancia moderada
- Ancho de banda moderado
- Bajo consumo
- Diseño sencillo de implementar

Diseño del amplificador “folded cascode”.



Donde:

$$R_A = \frac{r_{ds6} + R_2 + \frac{1}{g_{m10}}}{1 + g_{m6}r_{ds6}} \approx \frac{1}{g_{m6}}$$

$$R_2 = V_{DSS(SAT)} / I_6$$

$$R_B = \frac{r_{ds7} + R_9}{1 + g_{m7}r_{ds7}} \approx \frac{R_9}{g_{m7}r_{ds7}} \approx r_{ds}$$

$$R_9 = g_{m9}r_{ds9}r_{ds11}$$

Diseño del amplificador “*folded cascode*”.

De acuerdo al procedimiento descrito en [58] y mediante el uso de un script en MATLAB se obtiene:

Transistor	Relación geométrica	Largo de canal	Ancho de canal
M1, M2	20.56	3.6 μm	74 μm
M3	20.65	3.6 μm	74.4 μm
M4,M5,M6,M7	78	3.6 μm	280.8 μm
M8,M9,M10,M11	21.66	3.6 μm	78 μm

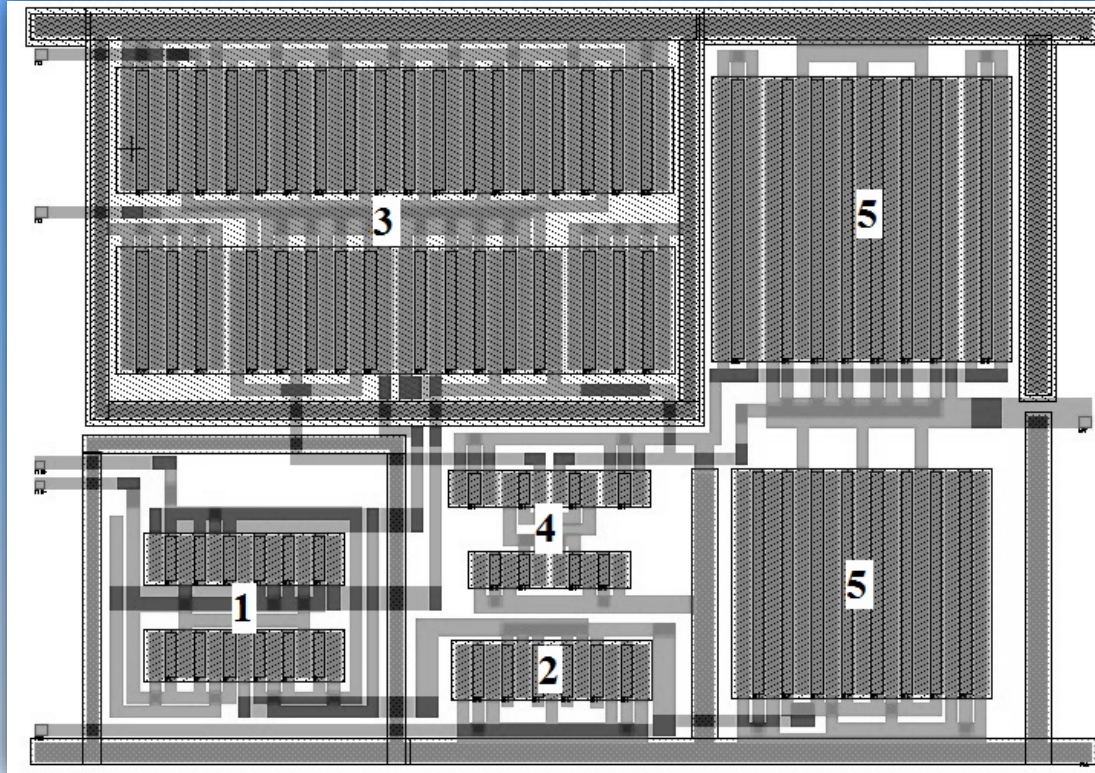
Después de realizar ajustes por simulación, se obtiene:

Transistor	Largo de canal (L)	Ancho de canal (W)	Multiplicador (M)
M1, M2	3.6 μm	14.4 μm	6
M3	3.6 μm	16.8 μm	4
M4,M5,M6,M7	3.6 μm	38.4 μm	8
M8,M9,M10,M11	3.6 μm	9.6 μm	1
M12	3.6 μm	90 μm	6
M13	3.6 μm	72 μm	6

Resultados de simulación

Parámetro	Magnitud a 27°C	Magnitud a 0°C	Magnitud a 85°C	Unidad
Ancho de banda (BW)	811	702	999	kHz
Ganancia en lazo abierto (A_{OL})	69.9	70.08	69.7	dB
Margen de fase (ϕ_m)	68.4	70.12	64.5	°
Velocidad de cambio (SR)	14	13.6	14.7	V/ μ s
Tiempo de establecimiento(t_{st})	400	350	450	ns
Rango de salida (OR)	$V_{SS}+0.7$ $\sim V_{DD}-1.8$	$V_{SS}+0.65$ $\sim V_{DD}-1.85$	$V_{SS}+0.7$ $V_{DD}-1.9$	V
CMRR	70.8	70.8	70.9	dB
PSRR	82.4	83.2	80.95	dB
Offset sistemático (σ_s)	156	158	121	μ V
Potencia total disipada (P_{diss})	7.2	7.25	7.11	mW

Diseño geométrico



1 – Par diferencial de entrada; 2 – Polarización del par diferencial de entrada; 3 – Transistores canal p del cascode doblado; 4 – Transistores canal n del cascode doblado; 5 – Buffer de salida.

Resultados experimentales

➤ Ganancia en lazo abierto, ancho de banda y margen de fase:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
A_{OL}	64.5	65	65	64.1	65.1	dB
BW	233	240	238	225	235	kHz
ϕ_m	70	69.5	69.8	70.1	69.1	°

➤ Velocidad de cambio, tiempo de establecimiento y rango de salida:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
SR	2	2.2	2.2	2.1	2.1	V/ μ s
t_{st}	1560	1450	1450	1680	1550	ns
OR	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.58$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	V

Resultados experimentales

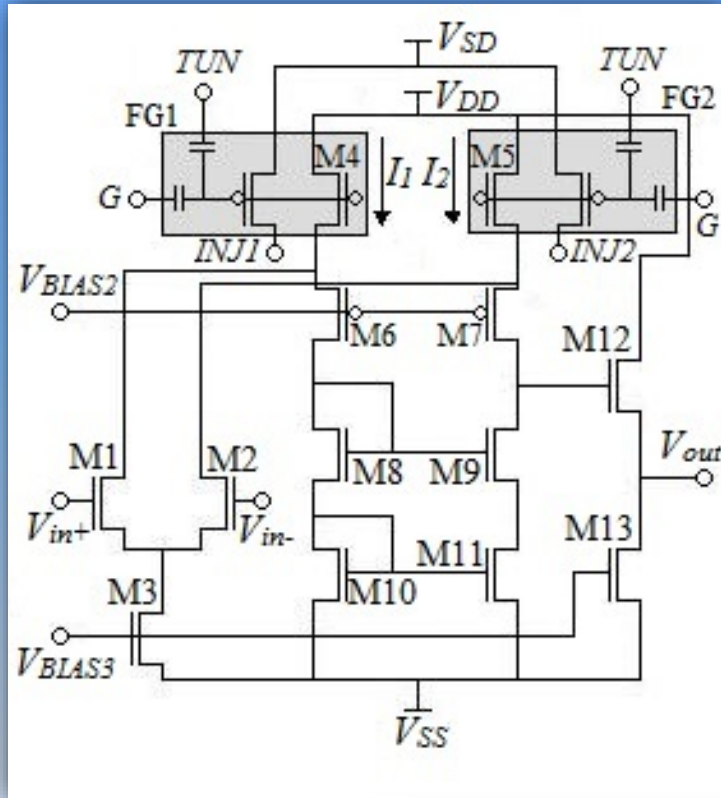
- Relación de rechazo en modo común y relación de rechazo a la fuente:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
<i>CMRR</i>	65	67	68	69	65	dB
<i>PSRR</i>	70	70	70	71	70	dB

- Tensión de offset referido a la entrada:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
σ	+2.8	+3.54	+4.51	-0.89	+1.89	mV

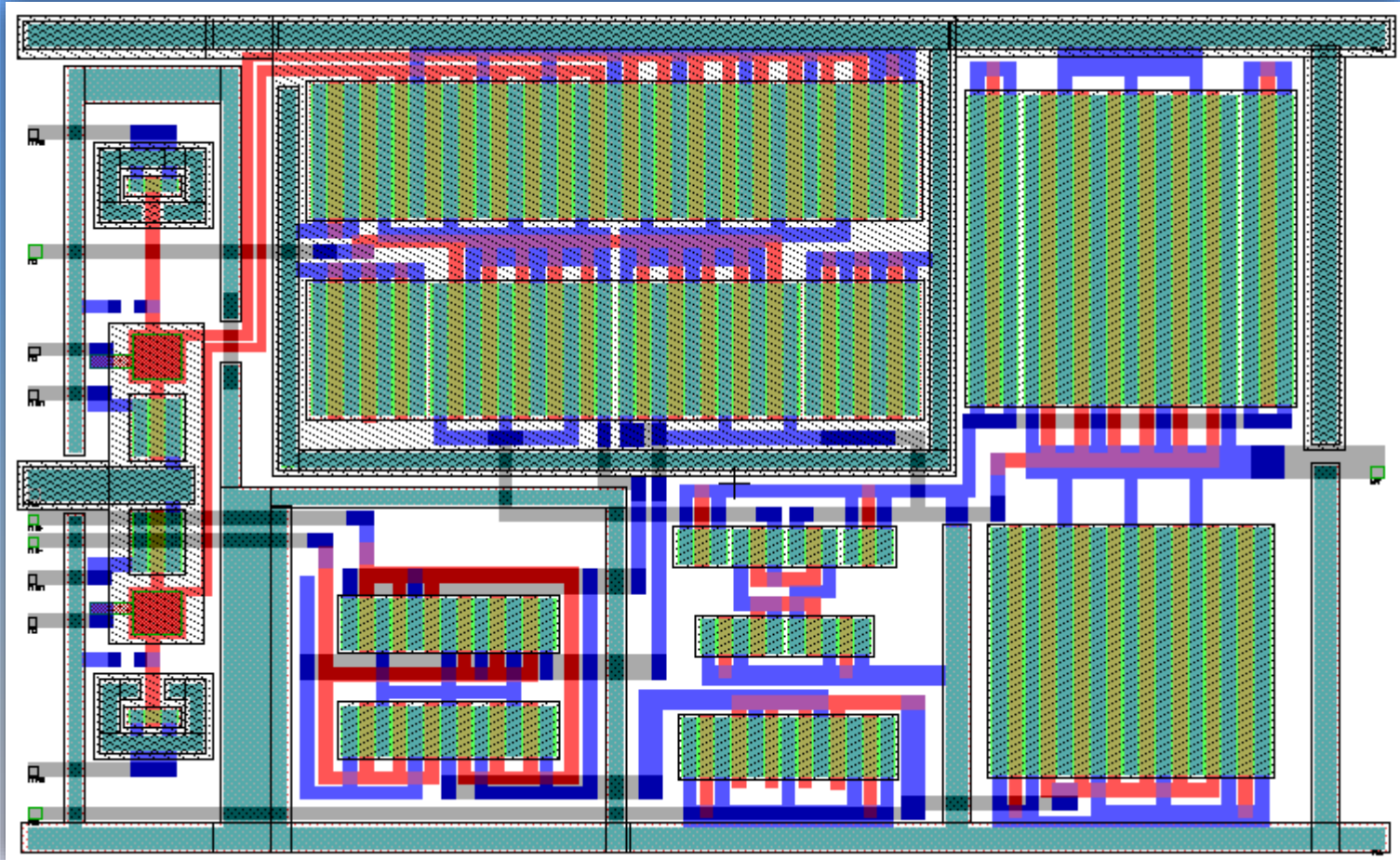
Diseño del POOA



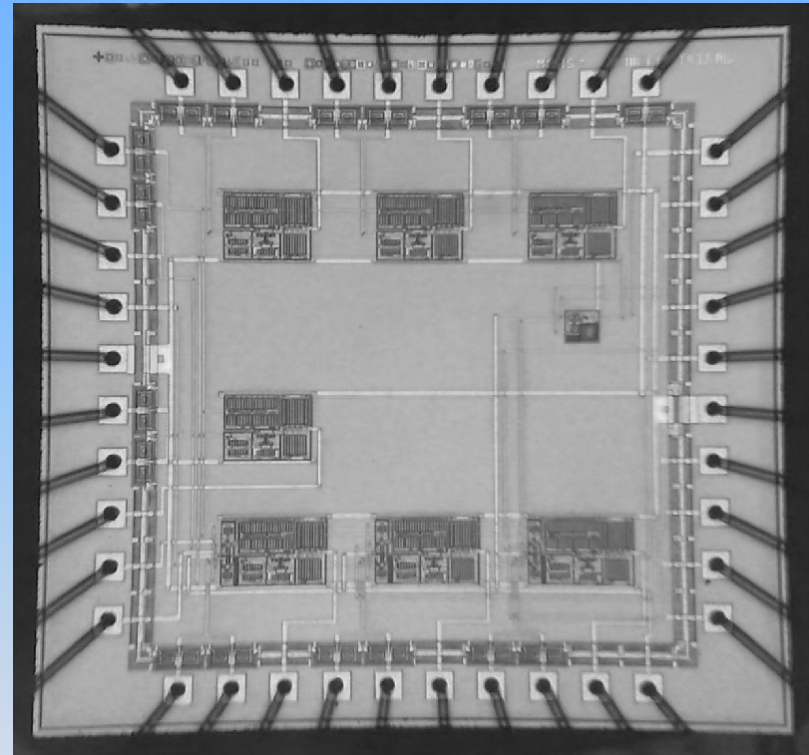
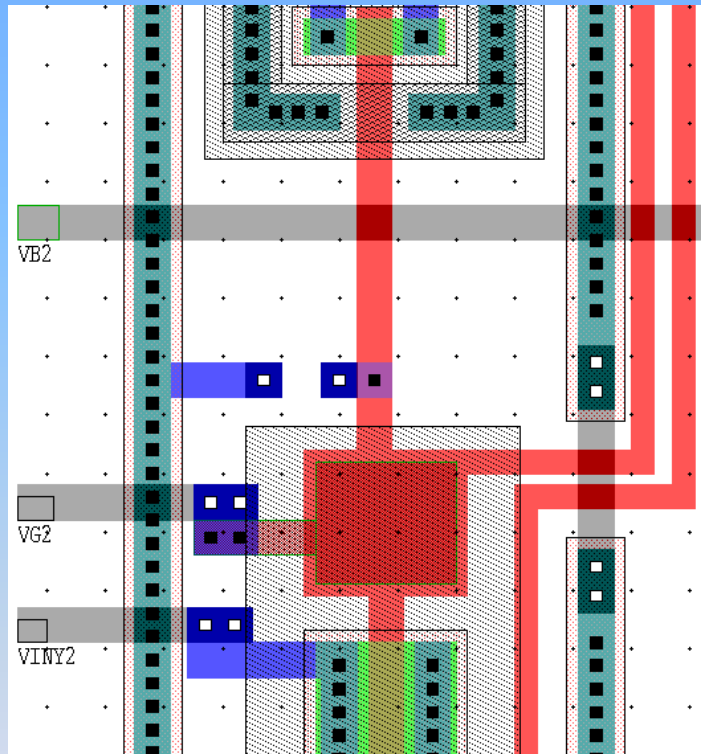
- Es la topología “*folded cascode*”
- Se agregan dos estructuras de compuerta flotante, FG1 y FG2
- Las estructuras de compuerta flotante utilizan programación indirecta
- M12 y M13 son los transistores que conforman el buffer de salida

Transistor	L	W	M
M_{inj}	$3.6\mu\text{m}$	$16.8\mu\text{m}$	1
M_{nm}	$3.6\mu\text{m}$	$3.6\mu\text{m}$	1

Diseño geométrico del POOA

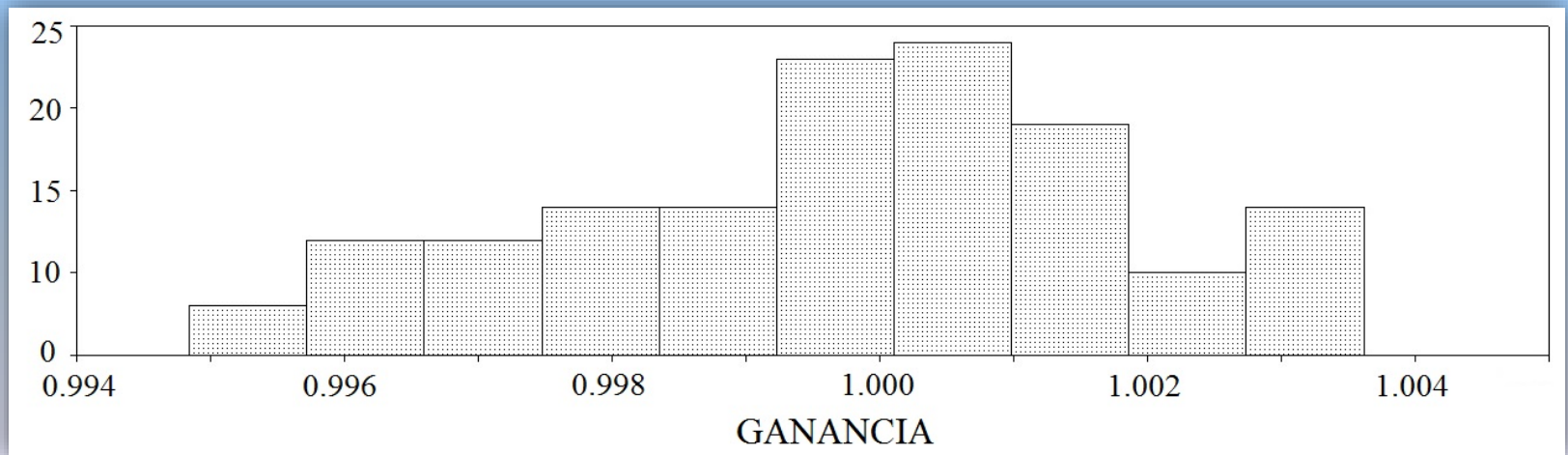


Diseño geométrico del POOA



Simulación de la tensión de offset

- Se utiliza simulación tipo Monte Carlo.
- Se hace variable el parámetro de tensión de umbral con un tipo de distribución Gaussiana.
- Se realizan al menos 100 simulaciones y se analiza el histograma. En esta simulación se grafica la ganancia en configuración de seguidor de voltaje.



Resultados experimentales

- Ganancia en lazo abierto, ancho de banda y margen de fase:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
A_{OL}	65	64.5	64.5	64.3	64.8	dB
BW	235	238	239	233	230	kHz
ϕ_m	70	70	69.1	69.1	69.5	°

- Velocidad de cambio, tiempo de establecimiento y rango de salida:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
SR	2	2.1	2.1	2	2	V/ μ s
t_{st}	1550	1650	1650	1550	1550	ns
OR	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	V

Resultados experimentales

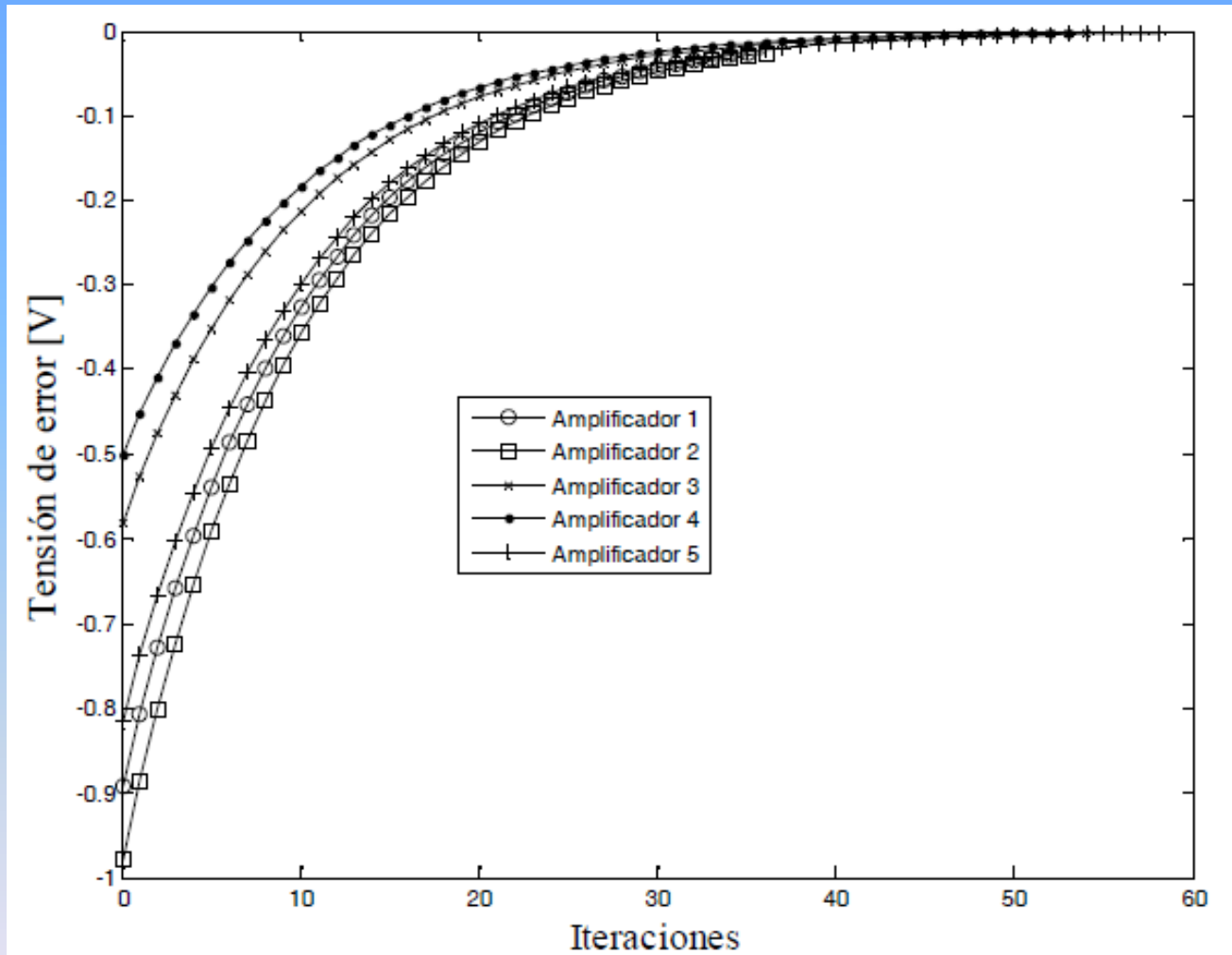
- Relación de rechazo en modo común y relación de rechazo a la fuente:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
<i>CMRR</i>	65	66	66	65	65	dB
<i>PSRR</i>	70	70	70	69	70	dB

- Tensión de offset referido a la entrada:

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
σ	+25	+26	+26	-27	+27	μV

Resultados experimentales

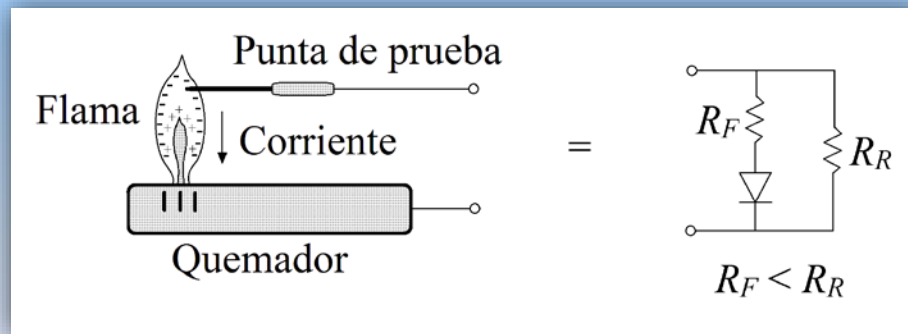


CONTENIDO

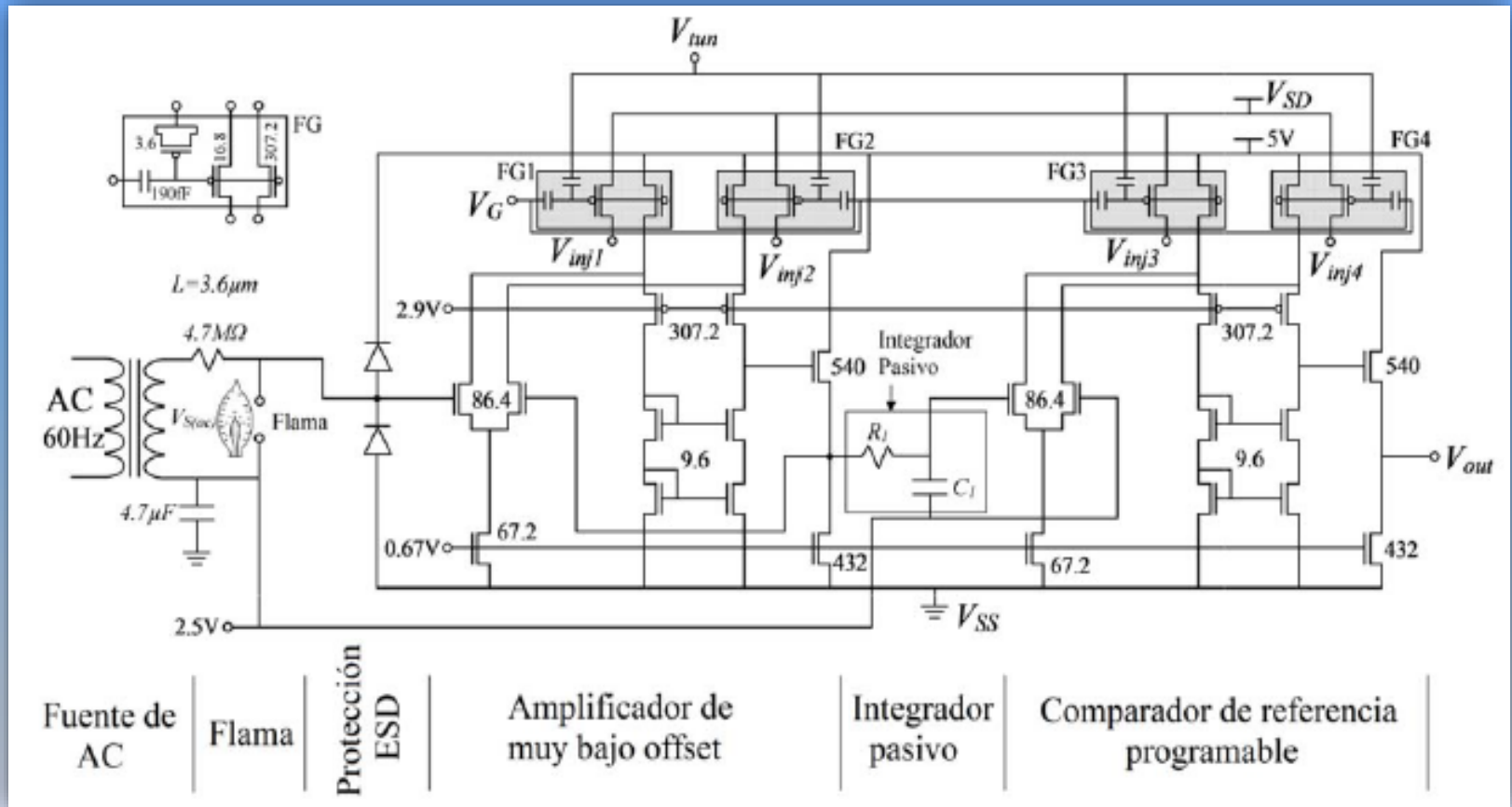
- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable

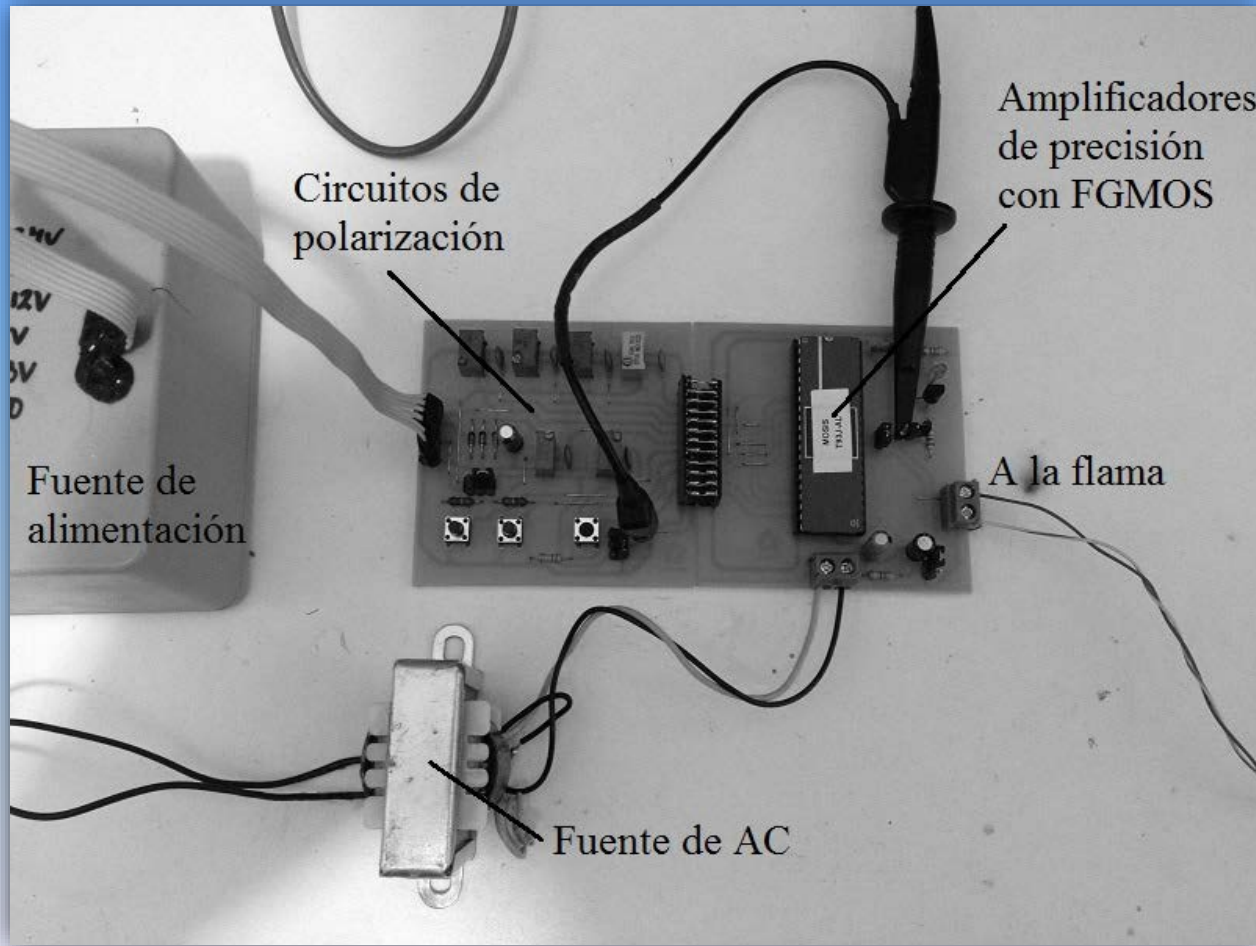
Principio de detección de flama por conductividad eléctrica



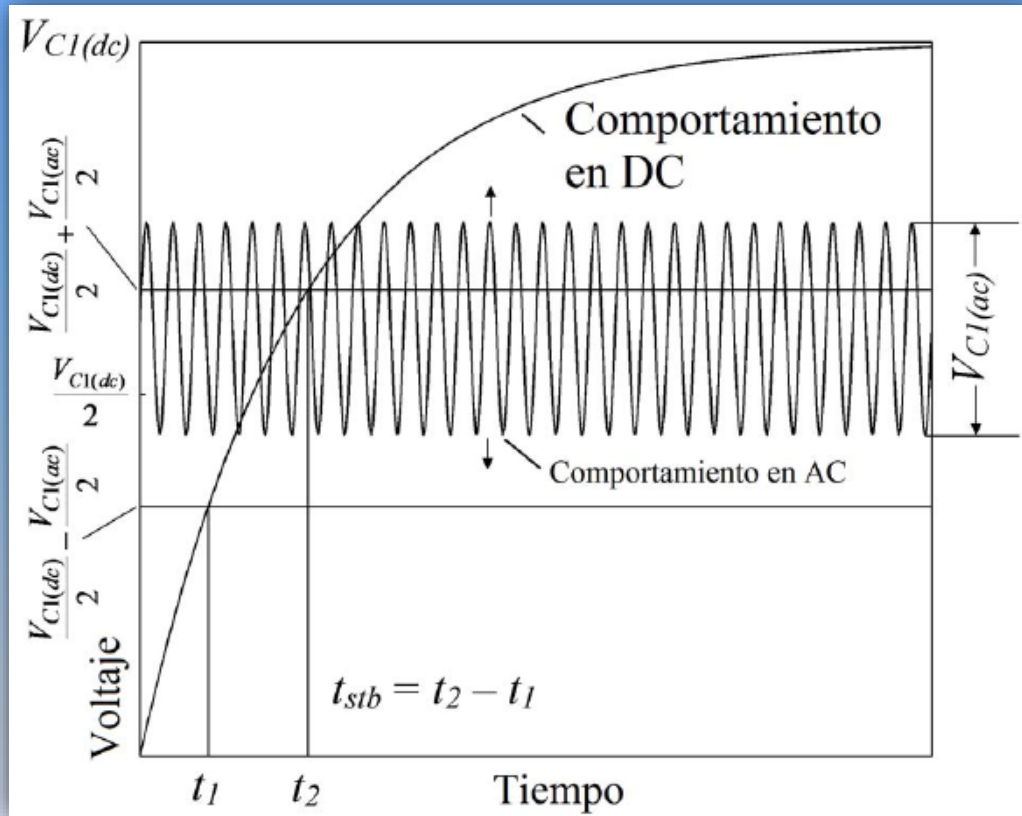
Circuito propuesto



Circuito propuesto



Principio de funcionamiento



$$v_{cl(ac)} = \frac{v_s(ac)X_{C1}}{R_1 + X_{C1}} = \frac{v_s(ac)}{1 + 2\pi f\tau}$$

$$v_{cl}(t) = v_{cl(dc)} \left(1 - e^{-\frac{t}{\tau}} \right)$$

$$t_{stb} = t_2 - t_1$$

Principio de funcionamiento

$$t_{stb} = \tau \ln \left(\frac{v_{cl(dc)} - \frac{v_{cl(dc)}}{2} - \frac{v_{cl(ac)}}{2}}{v_{cl(dc)}} - \frac{v_{cl(dc)} - \frac{v_{cl(dc)}}{2} - \frac{v_{cl(ac)}}{2}}{v_{cl(dc)}} \right)$$

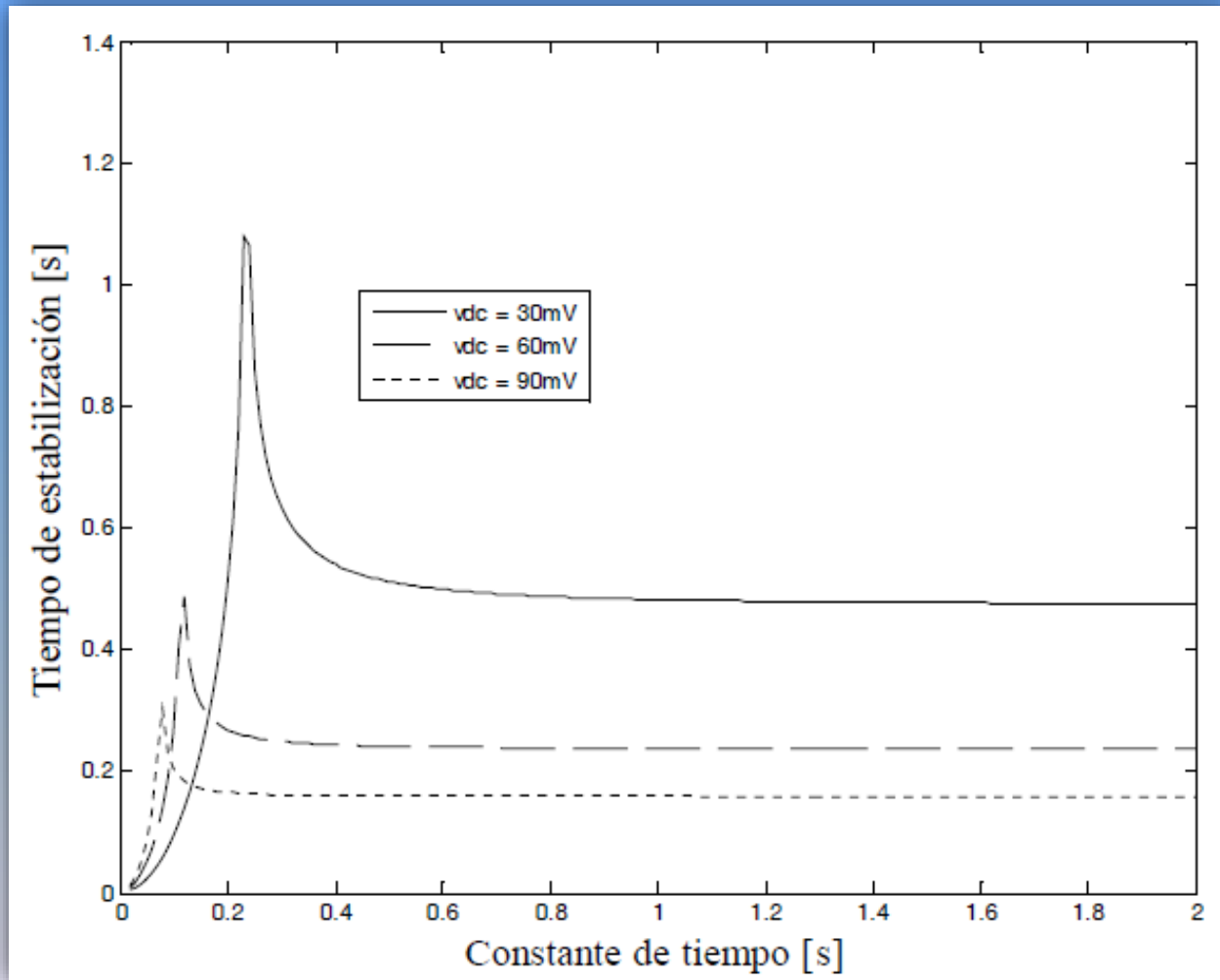
$$= \tau \ln \left(\frac{\frac{v_{cl(dc)} + v_{cl(ac)}}{2v_{cl(dc)}}}{\frac{v_{cl(dc)} - v_{cl(ac)}}{2v_{cl(dc)}}} \right) = \tau \ln \left(\frac{v_{cl(dc)} + v_{cl(ac)}}{v_{cl(dc)} - v_{cl(ac)}} \right)$$

$$v_{cl(dc)} = \frac{v_{s(ac)}}{1 + 2\pi f \tau_{(min)}}$$

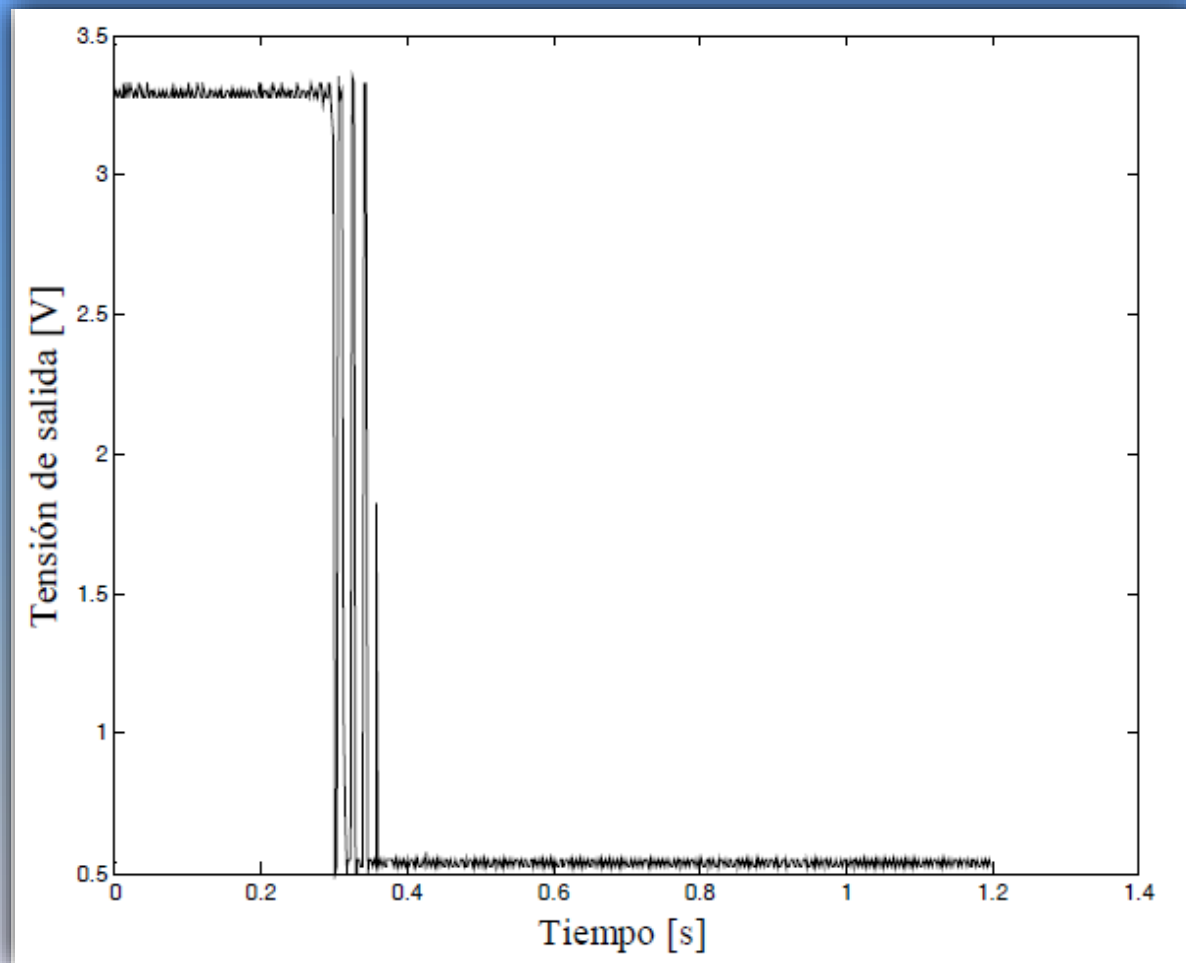
$$v_{cl(dc)} + 2\pi f v_{cl(dc)} \tau_{(min)} = v_{s(ac)}$$

$$\tau_{(min)} = \frac{v_{s(ac)} - v_{cl(dc)}}{2\pi f v_{cl(dc)}}$$

Principio de funcionamiento



Resultados experimentales



Resultados experimentales

- Tensión de offset en los POOAs después de la programación:

Dispositivo	Tensión de offset esperado	Tensión de offset medido
Amplificador de precisión	$<100\mu\text{V}$	$26\mu\text{V}$
POOA	15mV	15mV

- Variación de la tensión de offset a diferentes temperaturas:

Temperatura	POOA1	POOA2
10°C	$+25\mu\text{V}$	$+15.02\text{mV}$
27°C	$-26\mu\text{V}$	$+14.97\text{mV}$
35°C	$-111\mu\text{V}$	$+14.88\text{mV}$
50°C	$-164\mu\text{V}$	$+14.83\text{mV}$

CONTENIDO

- CAPÍTULO 1. Introducción.
- CAPÍTULO 2. Principales métodos de reducción de offset en sistemas analógicos.
- CAPÍTULO 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.
- CAPÍTULO 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.
- CAPÍTULO 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.
- CAPÍTULO 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.
- CAPÍTULO 7. Conclusiones y trabajo futuro.

Conclusiones

- Se redujo la tensión de offset referido a la entrada hasta $25\mu\text{V}$ en un amplificador operacional mediante estructuras de compuerta flotante.
- Se diseñó un circuito de programación que funcionó adecuadamente mediante los mecanismos de inyección y tuneleo de electrones.
- Se implementó el algoritmo LMS en el circuito de programación logrando tiempos de programación entre 1.5 y 2 segundos.
- Se construyó un circuito detector de flama industrial de bajo voltaje con los amplificadores operacionales de offset programable. El circuito se publicó en revista reconocida de alto factor de impacto, lo que demuestra la vigencia del tema.

Trabajo futuro

- Realizar el diseño con tecnologías más pequeñas, por ejemplo $0.35\mu\text{m}$.
- Diseñar bajo la topología telescópica, para aplicaciones de procesamiento de señales.
- Implementar el circuito de programación dentro del circuito integrado (ON CHIP).
- Utilizar convertidores AD de mayor resolución con el fin de mejorar la exactitud de la programación.
- Probar otros algoritmos de control en lugar del LMS.
- Utilizar la estructura de compuerta flotante programable en campo para la reducción de offset en otras estructuras analógicas.
- Diseñar un detector de flama con fuente de corriente a la entrada.

Publicaciones

Revistas reconocidas con JCR y arbitraje estricto:

Juan Carlos Iglesias-Rojas, Felipe Gomez-Castañeda, and Jose Antonio Moreno-Cadenas; *“An LMS Programming Scheme and Floating-Gate Technology Enabled Trimmer-less and Low Voltage Flame Detection Sensor”*, MDPI Sensors, June 2017, 17, 1387.

IEEE Proceedings:

Juan Iglesias Rojas, Felipe Gomez Castañeda, José Moreno Cadenas, *“A Very Low Offset Voltage Operational Amplifier Using Field Programmable Floating-Gate Technology”*, 20th International Conference on Electronics Communications and Computers, IEEE, Puebla Mexico, February, 2010 pp. 9-14.

Juan Iglesias Rojas, Felipe Gomez Castañeda, José Moreno Cadenas, *“Offset Reduction in Operational Amplifiers using Floating Gate Technology and LMS Algorithm”*, 8th International Conference on Electrical Engineering Computer Science and Automatic Control, IEEE, Yucatan Mexico, October, 2011 pp. 1-6.

J. de la Cruz, F. Gomez, J. A. Moreno, J.C. Iglesias, *“Adaptive Signal Identification using LMS Filter with Analog Memory Cell”*, 4th International Conference on Electrical and Electronics Engineering, IEEE, Mexico City, September, 2007 pp. 365-368.

Gracias por su atención