



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS
AVANZADOS DEL INSTITUTO POLITÉCNICO NACIONAL**

UNIDAD ZACATENCO

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

**“Circuitos para la reducción de offset en
amplificadores operacionales mediante
tecnología CMOS de compuerta flotante en
modo de inyección y tuneleo de electrones”**

T E S I S

Que presenta:

M. en C. JUAN CARLOS IGLESIAS ROJAS

Para obtener el grado de

DOCTOR EN CIENCIAS

**EN LA ESPECIALIDAD DE
INGENIERÍA ELÉCTRICA**

Directores de la tesis:

**DR. FELIPE GÓMEZ CASTAÑEDA
DR. JOSÉ ANTONIO MORENO CADENAS**

Ciudad de México

DICIEMBRE 2017

Resumen

Este trabajo de tesis se concentra principalmente en la reducción de tensión de offset presente en todos los circuitos analógicos VLSI. Mediante el uso de transistores MOS de compuerta flotante como fuentes programables de corriente, se observa que la tensión de offset producida por la disparidad entre transistores, se puede reducir considerablemente.

La reducción de la tensión de offset mediante transistores MOS de compuerta flotante tiene varias ventajas respecto a otros métodos de reducción de offset como el auto-cero, la correlación de doble muestreo, la estabilización por corte e incluso el método de ajuste por rayo laser. El principal problema del uso de transistores MOS de compuerta flotante, es la programación de la carga de la compuerta, pues esta debe de ser lo más precisa y exacta. Para resolver el problema de la programación, se requiere del uso de algoritmos adaptativos como el LMS, el cual se puede implementar en un dispositivo programable. Para programar físicamente los transistores MOS de compuerta flotante, también es necesario un circuito programador, el cual puede funcionar mediante amplitud drenador-fuente, frecuencia de pulsos o ancho de pulsos. En este trabajo de tesis se diseñó un amplificador operacional tipo *folded cascode* con dos fuentes de corriente programables colocadas en cada rama de salida de dicho amplificador para poder compensar los efectos de la disparidad entre transistores. Los resultados muestran que es posible reducir la tensión de offset referido a la entrada de unos cuantos mili-volts a unos $25\mu\text{V}$ utilizando el mismo diseño. El costo de reducir la tensión de offset por este método es de tres terminales extra en el encapsulado y del uso del 15.6% más de área de silicio. Debido a que se trabajó con el transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones, la carga inicial en la compuerta no es un gran problema como en el método de acoplamiento capacitivo.

En resumen, se demostró que es posible reducir la tensión de offset en amplificadores operacionales, y de esta manera, convertirlos en amplificadores operacionales de precisión como los fabricados por diferentes compañías, solo que facilitando el proceso para la reducción de la tensión de offset debido a que este proceso se hace en campo y no durante la fabricación del amplificador, como se utiliza para la técnica con rayo láser.

Abstract

This thesis is mainly concerned with offset voltage reduction problem presented in all VLSI analog circuits. Using floating gate transistors as programmable current sources in analog design, shows that offset voltage due to mismatch can be reduced dramatically.

The offset reduction using floating gate MOS transistors has several advantages over different methods such as: auto zeroing, correlated double sampling, chopper stabilization and even laser trimming. The main problem of using floating gate MOS transistors is that the gate charge must be programmed accurately. It is necessary a programming circuit to program the floating gate charge based on adaptive algorithms such as LMS. This algorithm can be easily implemented in a programmable device. In order to program the floating gate MOS transistors, it is necessary the uses of some kind of technique, the most common techniques are: drain-source amplitude modulation, frequency modulation and pulse width modulation. In this work, a folded cascode operational amplifier was designed with two programmable current sources implemented in each of one amplifier output networks in order to compensate the effects of mismatch. The experimental results show that the input referred offset voltage can be reduced from some milli-volts down to $25\mu\text{V}$. The cost of reducing offset voltage is three more package terminals and 15.6% more die area. The initial charge of the floating gate is not a mayor problem due to the use of hot electron injection and tunneling but capacitive coupling.

Finally, it can be proven that it is possible to reduce the input referred offset voltage in operational amplifiers. Using this method, precision operational amplifiers such as those fabricated by some recognized companies, can reduce its fabrication complexity due to the offset adjustment is a field programming process instead of typical techniques such as laser trimming that is implemented during the fabrication process.

Agradecimientos y reconocimientos

A Dios, inteligencia infinita de la cual la mía es solo un pequeño efluvio.

*

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) y al Centro de Investigación y Estudios Avanzados del IPN.

*

A mis asesores de doctorado: Dr. Felipe Gómez Castañeda y Dr. José A. Moreno Cadenas.

*

A mi hija Alicia que me ha dado una razón importante para seguir adelante.

*

A mis padres Reyna E. Rojas y Jaime F. Iglesias que me han dado su apoyo incondicional.

*

A mi familia que siempre ha estado conmigo y que sin su apoyo hubiera sido casi imposible realizar este trabajo. A Laura Angélica, a Graciela, Jaime y Rodrigo, a Juana Sánchez, a Arlet Moreno, a Beatriz Adriana, a Rafael Prado, a Alexei Martínez y a Francisco Nava.

*

A todos mis compañeros que colaboraron a que este trabajo se hiciera realidad.

*

Contenido

Resumen.	i
Abstract.	ii
Agradecimientos y reconocimientos.	iii
Contenido.	iv
Nomenclatura.	viii
Acrónimos	xii
Lista de figuras.	xiv
Lista de tablas.	xix
Capítulo 1. Introducción.	1
1.1 Motivación de este trabajo.	1
1.2 Objetivos y logros de investigación.	3
1.3 Organización.	4
Capítulo 2. Principales métodos de reducción de offset en sistemas analógicos.	7
2.1 Introducción.	7
2.2 Método de auto-cero (AZ).	10
2.3 Método de correlación de doble muestreo (CDS).	11
2.4 Método de estabilización por corte (CS).	12
2.5 Método de ajuste por láser.	15
2.6 Método de corrección de offset mediante compuerta flotante.	16
2.7 Resumen del capítulo.	18

Capítulo 3. El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones.	19
3.1 Introducción.	19
3.2 Base teórica del transistor MOS de compuerta flotante en modo de inyección y tuneleo.	22
3.2.1 El mecanismo de inyección de electrones.	26
3.2.1.1 Modelo de inyección en sub-umbral	26
3.2.1.2 Modelo de inyección arriba de la tensión de umbral	28
3.2.2 El mecanismo de tuneleo de Fowler Nordheim.	31
3.2.3 Macro-modelo de simulación.	33
3.3 Programación de la compuerta flotante en modo de inyección y tuneleo de electrones.	37
3.3.1 Programación por amplitud en la tensión drenador-fuente.	38
3.3.2 Programación por frecuencia de pulsos.	40
3.3.3 Programación por ancho de pulsos.	42
3.4 Implementación del algoritmo LMS para la programación de la compuerta Flotante.	42
3.5 Resumen del capítulo.	44

Capítulo 4. Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante.	45
4.1 Introducción.	45
4.2 Base teórica del algoritmo LMS.	46
4.3 Implementación del algoritmo LMS.	50
4.3.1 Implementación en un FPGA.	51
4.3.2 Implementación en Labview.	55
4.4 Diseño del sistema de programación mediante el algoritmo LMS.	56
4.5 Resultados experimentales.	58
4.6 Resumen del capítulo.	64

Capítulo 5. Reducción de la tensión de offset referida a la entrada en amplificadores operacionales.	65
5.1 Introducción.	65
5.2 Diseño de un amplificador tipo <i>folded cascode</i> .	67
5.2.1 Diseño mediante MATLAB.	75
5.2.2 Simulación en PSpice.	78
5.2.3 Simulación de tensión de offset por el método de Monte-Carlo.	85
5.2.4 Diseño geométrico.	87
5.2.5 Resultados experimentales.	91
5.3 Implementación de transistores MOS de compuerta flotante para la reducción de la tensión de offset.	93
5.3.1 Estructura del amplificador operacional de precisión.	95
5.3.2 Diseño geométrico.	97
5.3.3 Programación del amplificador.	100
5.3.4 Resultados experimentales.	102
5.4 Aplicaciones del amplificador operacional de precisión.	106
5.5 Resumen del capítulo.	107
Capítulo 6. Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable.	108
6.1 Introducción.	108
6.2 Circuito para la detección de flama de bajo voltaje.	110
6.2.1 Principio de detección de flama a través del cambio en las características Eléctricas.	112
6.2.2 Diseño del circuito mediante amplificadores operacionales con tensión de offset programable.	113
6.2.3 Resultados experimentales.	120
6.2.4 Medición de la tensión de offset a diferentes temperaturas.	123
6.3 Resumen del capítulo.	124

Capítulo 7. Conclusiones y trabajo futuro.	125
7.1 Conclusiones.	125
7.2 Aportaciones a la investigación científica.	127
7.3 Trabajo futuro.	128
Bibliografía.	130
APÉNDICE A. Extracción de los parámetros significativos de diseño de un transistor MOS mediante MATLAB.	141

Nomenclatura

Parámetro	Unidad	Descripción
μ_n	$\text{cm}^2/\text{V.s}$	Movilidad de los electrones en el canal.
μ_p	$\text{cm}^2/\text{V.s}$	Movilidad de los huecos en el canal.
$1/f$		Ruido de baja frecuencia $1/f$ (<i>Flicker noise</i>).
A_{OL}	dB	Ganancia en lazo abierto.
$A_{PS(\text{dB})}$	dB	Ganancia en decibeles a la fuente.
$A_{VC(\text{dB})}$	dB	Ganancia en decibeles en modo común.
$A_{VD(\text{dB})}$	dB	Ganancia en decibeles en modo diferencial.
BW	Hz	Ancho de banda (<i>Band Width</i>).
BW_{fil}	Hz	Frecuencia de corte del filtro pasa-bajas
C_{db}	F	Capacitancia entre drenador y substrato
C_{fgb}	F	Capacitancia parásita entre la compuerta flotante y el substrato.
C_{fgd}	F	Capacitancia parásita entre la compuerta flotante y el drenador.
C_{fgs}	F	Capacitancia parásita entre la compuerta flotante y la fuente.
C_{in}	F	Capacitancia de entrada hacia la compuerta flotante.
C_L	F	Capacitancia de carga
$CMRR$	dB	Relación de rechazo en modo común.
C_{np}	F	Capacitancia entre el pozo n y el substrato.
C_{ox}	F	Capacitancia del óxido de compuerta.
C_{sb}	F	Capacitancia entre fuente y substrato
C_T	F	Capacitancia total vista por la compuerta flotante.
$d(n)$		Señal deseada en un sistema con LMS.
Dc		Ciclo útil (<i>Duty Cycle</i>).
$e(n)$		Señal de error en un sistema LMS.
f	Hz	Frecuencia.
f_{ch}	Hz	Frecuencia de la señal moduladora para CS.

f_{cor}	Hz	Frecuencia de esquina (<i>Corner frequency</i>).
g_{ds}	S	Conductancia de salida.
G_{inj}	A	Corriente de inyección de acuerdo al macro-modelo de simulación.
g_m	A/V	Transconductancia.
G_{tun}	A	Corriente de tuneleo de acuerdo al macro-modelo de simulación.
G_{well}	A	Corriente de electrones no inyectados de acuerdo al macro-modelo de simulación.
I_0	A	Corriente pre-exponencial.
I_D	A	Corriente de drenador.
I_{inj}	A	Corriente de inyección de electrones.
I_{inj0}	A	Corriente pre-exponencial de inyección.
I_S	A	Corriente de canal o fuente.
I_t	μA	Corriente de compensación de offset (<i>Tail current</i>).
I_{tar}	nA, μA	Corriente de destino (<i>target</i>).
I_{th}	A	Corriente de umbral.
I_{tun}	A	Corriente de tuneleo de electrones.
k		Factor de desbalance de baja frecuencia.
KP_{lin}	$\mu A/V^2$	Transconductancia en la región lineal.
KP_n	$\mu A/V^2$	Transconductancia en un transistor MOSFET canal n.
KP_p	$\mu A/V^2$	Transconductancia en un transistor MOSFET canal p.
KP_{sat}	$\mu A/V^2$	Transconductancia en la región de saturación.
L	μm	Largo de canal.
L_{eff}	μm	Largo efectivo de canal.
n		Coefficiente de emisión. Comúnmente usado con el voltaje térmico como: nV_T .
N_A	átomos/cm ³	Dopado (Aceptores).
N_D	átomos/cm ³	Dopado (Donores).
OR	V	Rango de salida.
P_{diss}	W	Potencia disipada.

$PSRR$	dB	Relación de rechazo a la fuente.
p_x		Polo x.
Q_{FG}	C	Carga en la compuerta flotante.
r_{ds}	Ω	Resistencia de salida.
r_o	Ω	Resistencia de salida equivalente del amplificador operacional.
S		Relación geométrica.
SR	V/ μ s	Velocidad de cambio (<i>Slew Rate</i>).
T	s	Periodo.
t_{ox}	nm	Espesor del óxido de compuerta.
t_{st}	s	Tiempo de establecimiento.
V_{BIAS}	V	Tensión de polarización.
V_C	V	Tensión en modo común.
V_D	V	Tensión de drenador respecto a GND.
V_{DD}	V	Tensión de alimentación del circuito integrado.
V_{DS}	V	Tensión drenador-fuente.
V_{FG}	V	Tensión de compuerta flotante.
V_{fp}	V	Potencial de superficie de canal-substrato.
V_G	V	Tensión de compuerta respecto a GND.
V_{GD}	V	Tensión compuerta-drenador.
V_{GS}	V	Tensión compuerta-fuente.
V_i	V	Tensión de entrada.
V_{in}	V	Señal de entrada
v_{in}	V	Tensión de entrada a señal.
V_{inj}	V	Tensión en la terminal de inyección "INJ".
V_N	V	Ruido blanco más ruido $1/f$ (<i>White noise + flicker noise</i>).
V_{out}	V	Señal de salida.
v_{out}	V	Tensión de salida a señal.
V_{ox}	V	Tensión en el óxido de compuerta.
V_S	V	Tensión de fuente respecto a GND.
V_{SB}	V	Tensión fuente-substrato.
V_{SD}	V	Tensión fuente-drenador.

V_{SG}	V	Tensión fuente-compuerta.
V_T	mV	Voltaje térmico.
V_{TH}	V	Tensión de umbral.
V_{TH0}	V	Voltaje de umbral de polarización cero.
V_{tun}	V	Tensión en la terminal de tuneleo “TUN”.
W	μm	Ancho de canal.
W/L		Relación geométrica (Ancho de canal/Largo de canal).
W_{eff}	μm	Ancho efectivo de canal.
$x(n)$		Señal de entrada en un sistema LMS.
x_n		Señal de entrada en un sistema con LMS.
$y(n)$		Señal de salida en un sistema con LMS.
γ	$V^{1/2}$	Parámetro de factor de cuerpo.
$\Delta \omega_n$		Cambio en el peso del TAP n.
ΔDc		Variación en el ancho de pulso.
ΔL	μm	Variación en el largo de canal.
ΔQ_{FG}	C	Variación en la carga de la compuerta flotante.
ΔV_{FG}	V	Variación en la tensión de la compuerta flotante.
ΔW	μm	Variación en el ancho de compuerta.
κ	F	Capacitancia acoplada del voltaje de compuerta flotante al potencial de canal.
λ	V^{-1}	Parámetro de modulación de canal.
ξ		Velocidad de adaptación.
σ	$\mu\text{V}, \text{mV}$	Tensión de offset referido a la entrada.
σ_s	V	Tensión de offset sistemático.
τ_{AZ}	S	Intervalo de tiempo entre dos muestras de ruido.
Φ_{DC}	V	Potencial drenador-canal.
ϕ_m	$^\circ$	Margen de fase.
ω_n		Peso del TAP n en un sistema con LMS.

Acrónimos

Acrónimo	Significado
AC	Corriente alterna (<i>Alternating Current</i>).
ADC	Convertidor analógico-digital (<i>Analog to Digital Converter</i>).
AZ	Auto-cero (<i>Autozeroing</i>).
CCD	Dispositivo de acoplamiento de carga (<i>Charge Coupled Device</i>).
CDS	Correlación de doble muestreo (<i>Correlated Double Sampling</i>).
CMOS	Tecnología Metal-óxido-semiconductor complementario (<i>Complementary Metal Oxide Semiconductor</i>).
CS	Estabilización por corte (<i>Chopper Stabilization</i>).
DAC	Convertidor digital-analógico (<i>Digital to Analog Converter</i>).
DC	Corriente directa (<i>Direct Current</i>).
DRC	Revisión de las reglas de diseño (<i>Design Rule Check</i>).
DSP	Procesador de señales digitales (<i>Digital Signal Processor</i>).
FG	Compuerta flotante (<i>Floating Gate</i>).
FGMOS	Metal-óxido-semiconductor de compuerta flotante, se usa como prefijo al referirse a un transistor de efecto de campo (<i>Floating Gate Metal Oxide Semiconductor</i>).
FIR	Respuesta de impulso finito (<i>Finite Impulse Response</i>).

FPGA	Arreglo de compuertas programables en campo (<i>Field Programmable Gate Array</i>).
GND	Conexión de potencial cero o tierra (<i>Ground</i>).
LMS	Algoritmo del cuadrático medio menor (<i>Least Mean Square</i>).
MOS	Metal-óxido-semiconductor (<i>Metal Oxide Semiconductor</i>).
MOSFET	Transistor de efecto de campo Metal-Óxido-Semiconductor (<i>Metal Oxide Semiconductor Field Effect Transistor</i>).
OTA	Amplificador operacional de transconductancia (<i>Operational Transconductance Amplifier</i>).
POOA	El término se usa para referirse a un amplificador operacional de tensión de offset programable que se utiliza como comparador de voltaje (<i>Programmable Offset Operational Amplifier</i>).
PWM	Modulación por ancho de pulso (<i>Pulse Width Modulation</i>).
S&H	Muestreo y retención (<i>Sample and hold</i>).
SD	Algoritmo de gradiente descendente de sus siglas en inglés (<i>Steepest Descent</i>).
UART	Transmisor-receptor asincrónico universal (<i>Universal Asynchronous Receiver Transmitter</i>).
VHDL	Lenguaje de descripción de hardware para circuitos integrados de muy alta velocidad (<i>Very High Speed Integrated Circuit Hardware Description Language</i>).
VLSI	Muy alta escala de integración (<i>Very Large Scale Integration</i>).

Lista de Figuras

Figura	Descripción	Página
2.1	Disparidad producida por variaciones microscópicas en W y en L .	8
2.2	Disparidad producida por las variaciones en t_{ox} y N_A, N_D .	8
2.3	Circuito para la reducción de offset por la técnica de auto-cero.	10
2.4	Modulación por corte.	13
2.5	Método de estabilización por corte.	14
2.6	Circuito equivalente para la reducción de offset mediante el uso de transistores FGMOS.	16
3.1	Diseño geométrico de un transistor FGMOS básico de cinco terminales.	20
3.2	Capacitancias asociadas a un transistor FGMOS simple con una compuerta de control.	22
3.3	Descripción gráfica del mecanismo de inyección de electrones calientes en la región de sub-umbral.	27
3.4	Cambios en la banda de valencia en un transistor FGMOS canal p cuando se incrementa V_G y se mantienen constantes V_S y V_D .	29
3.5	Mecanismo de tuneleo de electrones un transistor FGMOS.	32
3.6	Macro-modelo de simulación del transistor FGMOS en modo de inyección y tuneleo de electrones.	33

3.7	Corriente de tuneleo respecto al voltaje en el óxido SiO ₂ para un transistor FGMOS canal p fabricado en tecnología de 1.2μm.	35
3.8	Corriente de inyección respecto a la corriente de canal para un transistor FGMOS canal p fabricado en tecnología de 1.2μm.	36
3.9	Sistema de programación de un pfet mediante modulación por amplitud.	39
3.10	Sistema de programación de un pfet mediante modulación por frecuencia de pulsos.	41
3.11	Sistema de programación de un pfet utilizado en este trabajo.	43
4.1	Filtro transversal con n TAPS.	47
4.2	Circuito programador de amplificadores operacionales de precisión con corrección de offset mediante transistores FGMOS.	51
4.3	Sistema de control mediante algoritmo LMS implementado en un FPGA	52
4.4	VHDL del sistema de control mediante algoritmo LMS implementado en un FPGA.	54
4.5	Panel frontal en Labview del sistema de control con algoritmo LMS.	55
4.6	Diagrama de bloques del sistema de programación de estructuras FGMOS.	56
4.7	Sistema de programación de estructuras FGMOS.	58
4.8	Resultados obtenidos en la señal de error para un amplificador operacional con una tensión de offset inicial de -891μV y diferentes tasas de adaptación.	59

4.9	Resultados obtenidos para un amplificador operacional con una tensión de offset inicial de $-891\mu\text{V}$ y diferentes tasas de adaptación.	60
4.10	Resultados obtenidos en la señal de error para un amplificador operacional con una tensión de offset inicial de $+3.54\text{mV}$ y diferentes tasas de adaptación.	61
4.11	Resultados obtenidos para un amplificador operacional con una tensión de offset inicial de $+3.54\text{mV}$ y diferentes tasas de adaptación.	62
5.1	Amplificador “ <i>folded cascode</i> ” práctico.	69
5.2	Circuito equivalente a pequeña señal del amplificador “ <i>folded cascode</i> ”.	70
5.3	Procedimiento de diseño en Matlab (script) del amplificador “ <i>folded cascode</i> ”.	77
5.4	Gráfica de ganancia y fase del amplificador para una capacitancia de carga de 25pF .	79
5.5	Velocidad de cambio “ <i>slew rate</i> ” del amplificador.	80
5.6	Tiempo de establecimiento “ <i>settling time</i> ”.	81
5.7	Rango de salida “ <i>output range</i> ”.	82
5.8	Relación de rechazo en modo común (<i>CMRR</i>).	83
5.9	Relación de rechazo a la fuente (<i>PSRR</i>).	84
5.10	Histograma de la tensión de offset (σ) para el amplificador “ <i>folded cascode</i> ”.	86
5.11	Diseño geométrico o “ <i>layout</i> ” en tecnología CMOS de $1.2\mu\text{m}$ del amplificador “ <i>folded cascode</i> ”.	87

5.12	Circuito equivalente de una terminal del encapsulado.	90
5.13	Implementación de los transistores FGMOS en el amplificador cascode doblado.	95
5.14	Diseño del amplificador operacional de precisión. FG1 y FG2 son las estructuras FGMOS para programación indirecta.	96
5.15	Diseño geométrico del amplificador operacional de precisión.	98
5.16	Diseño geométrico de una de las estructuras FGMOS.	99
5.17	Microfotografía del circuito integrado.	99
5.18	Proceso de programación típico de un amplificador operacional de precisión con tecnología MOS de compuerta flotante.	102
5.19	Comportamiento del algoritmo LMS en la programación de cinco amplificadores operacionales de precisión con tecnología MOS de compuerta flotante.	105
6.1	Circuito equivalente de una flama entre el quemador y una punta de prueba.	110
6.2	Empleo del amplificador de precisión con estructuras FGMOS como comparador de voltaje (POOA).	112
6.13	Circuito detector de flama implementado con amplificadores operacionales de offset programable.	114
6.4	Comportamiento de las componentes de AC y DC en el circuito detector de flama.	115

6.5	Comportamiento del tiempo de estabilización con respecto a la constante de tiempo (τ) para tres diferentes tensiones de DC producidas por el efecto de rectificación de la flama.	119
6.6	Sistema de detección de flama de bajo voltaje mediante el uso de amplificadores operacionales de precisión con tecnología MOS de compuerta flotante.	120
6.7	Tensión de salida del detector después de encender una flama.	121
6.8	Tensión de salida del detector después de apagar una flama.	122
A.1	Gráfica de I_D vs V_{GS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$.	139
A.2	Gráfica de $I_D^{1/2}$ vs V_{GS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$.	141
A.3	Gráfica de $I_D^{1/2}$ vs V_{GS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$.	143
A.4	Gráfica de V_{TH} vs $\sqrt{2 V_{fp} + V_{SB}} - \sqrt{2 V_{fp} }$ para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$.	144
A.5	Gráfica de I_D vs V_{DS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$.	145

Lista de Tablas

Tabla	Descripción	Página
2.1	Comparación entre varios métodos de reducción de offset.	17
3.1	Regiones de operación del transistor MOS.	25
4.1	Resultados obtenidos en la programación del primer amplificador con tensión de offset inicial de $-890\mu\text{V}$.	63
4.2	Resultados obtenidos en la programación del segundo amplificador con tensión de offset inicial de $+3.54\text{mV}$.	63
5.1	Resultados obtenidos en Matlab del diseño del amplificador “ <i>folded cascode</i> ”.	77
5.2	Relaciones geométricas de los transistores que componen el amplificador “ <i>folded cascode</i> ” para la reducción de la tensión de offset sistemático y el aumento del margen de fase.	78
5.3	Parámetros obtenidos de las gráficas de ganancia y fase del amplificador.	79
5.4	Resultados de simulación obtenidos del amplificador “ <i>folded cascode</i> ” a tres diferentes temperaturas.	85
5.5	Valores de los componentes parásitos debido al encapsulado.	90
5.6	Ganancia en lazo abierto, ancho de banda, y margen de fase, obtenidos experimentalmente de cinco amplificadores “ <i>folded cascode</i> ”.	91
5.7	Velocidad de cambio, tiempo de establecimiento y rango de salida, obtenidos experimentalmente de cinco amplificadores “ <i>folded cascode</i> ”.	92

5.8	Relación de rechazo en modo común, y relación de rechazo a la fuente, obtenidos experimentalmente de cinco amplificadores “ <i>folded cascode</i> ”.	92
5.9	Tensión de offset referido a la entrada obtenido experimentalmente.	93
5.10	Dimensiones de los transistores utilizados en la estructura FGMOS.	97
5.11	Ganancia en lazo abierto, ancho de banda, y margen de fase, obtenidos experimentalmente de cinco amplificadores de precisión con tecnología FGMOS.	103
5.12	Velocidad de cambio, tiempo de establecimiento y rango de salida, obtenidos experimentalmente de cinco amplificadores de precisión con tecnología FGMOS.	103
5.13	Relación de rechazo en modo común, y relación de rechazo a la fuente, obtenidos experimentalmente de cinco amplificadores de precisión con tecnología FGMOS.	104
5.14	Tensión de offset referido a la entrada de cinco amplificadores de precisión programados mediante el algoritmo LMS.	104
5.15	Número de iteraciones realizadas en los cinco procesos de programación.	105
6.1	Valores de la tensión de offset después de la programación para los dos amplificadores operacionales utilizados en el circuito detector de flama de bajo voltaje.	121
A.1	Resultados obtenidos de la tensión de umbral (V_{TH}) para cuatro diferentes tensiones de fuente-substrato (V_{SB}).	142

Capítulo 1

Introducción

1.1 Motivación de este trabajo

En la actualidad, muchos de los circuitos empleados en aplicaciones electrónicas son de tipo analógico, por ejemplo: las fuentes de alimentación lineales, las referencias de tensión y corriente, y los amplificadores operacionales. También, en los circuitos VLSI, se utilizan muchas estructuras analógicas como son: espejos de corriente, amplificadores analógicos, referencias de tensión, convertidores analógicos-digitales (ADC) y digitales-analógicos (DAC), convertidores Sigma-Delta ($\Sigma\Delta$) y los amplificadores operacionales.

Una de las estructuras más utilizadas en circuitos analógicos es el amplificador operacional. El amplificador operacional es la base de muchos diseños analógicos y digitales, pero, al igual que todos los circuitos, tiene varias restricciones en sus parámetros eléctricos como son: el ancho de banda (BW), el rango de entrada (Input Range), el rango de salida (Output Range), el Slew Rate (SR) y la tensión de Offset Referido a la Entrada (σ). Dependiendo principalmente de la aplicación, es el parámetro que se le debe dar mayor importancia, por ejemplo: para aplicaciones de comunicaciones, el ancho de banda y el Slew Rate son dos de los parámetros más importantes.

Existen muchas aplicaciones como: las referencias de tensión, los integradores de muy baja frecuencia, los detectores de precisión de muy bajo voltaje, y muchas mas, que dependen principalmente de la tensión de offset referido a la entrada, por lo que si se mejora en gran

manera este parámetro en los amplificadores operacionales resulta en un gran avance en el diseño electrónico analógico, principalmente en los circuitos VLSI.

El parámetro de tensión de offset depende de varios factores como el diseño geométrico y el *mismatch* o desacople entre transistores geoméricamente iguales debido a los parámetros tecnológicos. El diseño geométrico puede ser manipulado por el diseñador pero los efectos del desacople, los cuales se detallan en [1], no son tan fáciles de compensar por lo que se convierten en un reto para el diseño analógico moderno. En la actualidad existen varias técnicas para reducir la tensión de offset debido al desacople, algunas de ellas incluso empleadas por la industria de fabricación de semiconductores, cada una de ellas tiene sus respectivas ventajas y desventajas aunque tienen un común, el alto costo de producción, es por ello que los circuitos integrados amplificadores operacionales de muy baja tensión de offset o amplificadores de precisión tienen un alto costo en el mercado.

Recientemente, se han publicado muchas aplicaciones con el transistor MOS de compuerta flotante, el cual puede almacenar una carga que representa un peso analógico y que además se puede implementar de manera sencilla en cualquier tecnología CMOS. En [2], se muestra un diseño de amplificador operacional de precisión basado en transistores MOS de compuerta flotante. Este diseño no requiere de algún proceso especial en su fabricación, como por ejemplo en el ajuste por rayo láser, por lo que es un diseño económico. El detalle al utilizar transistores MOS de compuerta flotante, es la programación de la carga en la compuerta, lo cual se debe de realizar con buenos algoritmos de programación y a través de los mecanismos físicos de inyección y tuneo de electrones. La técnica de programación propuesta es a través de la variación en la tensión fuente-drenador o V_{SD} , la desventaja de este método es la limitada resolución en la programación debido al uso de convertidores digitales-analógicos. Debido a esto, se propuso un método de programación que no involucre la amplitud en V_{SD} en el proceso de programación, sino que se trabaje con el parámetro del tiempo, por ejemplo: a través de la frecuencia de pulsos o del ancho de pulsos. Motivado por impacto a nivel industrial al diseñar amplificadores de precisión más económicos, se propuso realizar la programación de la compuerta flotante mediante el uso de un algoritmo de adaptación, el LMS.

El algoritmo LMS se implementó de varias maneras, a través de un dispositivo lógico programable (FPGA), de una computadora usando lenguaje “G”, y a través de un microcontrolador.

La topología del amplificador operacional es de tal manera que se puedan implementar los transistores FGMOS de manera fácil, por ello se eligió la topología *folded cascode*, en la cual, se implementaron dos transistores como fuentes de corriente programables para compensar los efectos del desacople [3,4].

Con los resultados obtenidos del amplificador operacional diseñado, se puede ver que es posible reducir considerablemente la tensión de offset referido a la entrada con un bajo costo de producción, pues la programación o ajuste de offset se lleva a cabo en campo, es decir, de manera externa. Aún más, como la tensión de offset es programable, se pueden diseñar circuitos electrónicos como un detector de flama de bajo voltaje, inspirado en los sensores de gas con tecnología de compuerta flotante [5]. También se pueden diseñar circuitos analógicos más complejos utilizando arreglos programables en campo con transistores MOS de compuerta flotante [6].

Considerando las ventajas de programar y reducir el offset en los circuitos analógicos dentro del diseño VLSI, es suficiente motivación para aplicar las técnicas de diseño mostradas en este trabajo, no sólo en amplificadores operacionales, sino en otras estructuras analógicas como los multiplicadores de cuatro cuadrantes, [7,8,9].

1.2 Objetivos y logros de investigación

Los principales objetivos y logros de investigación son:

1. Reducción de la tensión de offset en amplificadores operacionales mediante transistores MOS de compuerta flotante, de alrededor desde 4mV hasta 25 μ V utilizando la misma topología del amplificador [3,4].

2. Implementación del algoritmo LMS para programar transistores MOS de compuerta flotante o FGMOS.
3. Implementación de un método de programación distinto a la modulación por amplitud en V_{SD} . La modulación en frecuencia.
4. La reducción del costo de producción de amplificadores operacionales de precisión, debido a la programación en campo.
5. La implementación de un circuito detector de flama de muy bajo voltaje y bajo costo mediante el uso de un amplificador operacional de precisión, y un amplificador de offset programable que funciona como comparador de voltaje; ambos fabricados con tecnología CMOS de compuerta flotante [10].

Estos logros se publicaron previamente en varios artículos.

Durante la realización de este trabajo también se observó que es posible obtener resultados similares con tecnologías inferiores a 1.2 micras que es la tecnología que se utilizó para diseñar los amplificadores operacionales de precisión. También es posible como se mencionó, implementar transistores FGMOS en otras estructuras de tipo analógico para la reducción de la tensión de offset.

1.3 Organización

El presente trabajo se organiza en 7 capítulos principales y 2 apéndices.

El capítulo 1 es la introducción de este trabajo y trata principalmente de los motivos que llevaron a la elección del tema de investigación, el resumen de logros obtenidos y aportes a la investigación científica y la organización completa del mismo.

En el capítulo 2 trata sobre los principales métodos actuales de reducción de offset, para tener un punto de partida en la investigación y desarrollo de otro método de reducción de offset. En este capítulo se detallan los efectos del desacople en aplicaciones CMOS

analógicas [1], y algunas técnicas de diseño para reducir dichos efectos [11]; se tratan varios métodos de reducción como la correlación de doble muestreo, el auto-cero, la estabilización por corte y el ajuste por rayo láser. Finalmente se trata sobre el método de reducción de offset mediante la implementación de fuentes de corriente programables mediante el uso de transistores MOS de compuerta flotante.

En el capítulo 3 se trata en detalle sobre la tecnología MOS de compuerta flotante en su modo de inyección y tuneo de electrones, así como las principales técnicas de programación de dicha compuerta. En este capítulo, se detalla el porqué del uso de los mecanismos de inyección y tuneo de electrones en lugar del acoplamiento capacitivo, pues ya desde el macro-modelo de simulación de este último, se ve una fuerte dependencia de la carga inicial en la compuerta flotante [12]. Para concluir el capítulo, se presentan varias técnicas de programación como la modulación en la tensión V_{DS} , la modulación en frecuencia y el ancho de pulsos para finalmente mostrar de manera básica la implementación del algoritmo LMS para la programación de la carga en la compuerta flotante.

En el capítulo 4, se detalla la base teórica del algoritmo LMS y se muestran los primeros resultados experimentales de diferentes métodos de implementación del algoritmo al programar un transistor FGMOS. También se detalla la implementación del algoritmo tanto en un FPGA como en lenguaje “G” en Labview. Finalmente, se presenta el sistema completo de programación y los resultados experimentales obtenidos.

En el capítulo 5 se trata sobre el tema principal de este trabajo, es decir, la reducción de la tensión de offset en amplificadores operacionales una vez desarrollado y probado el sistema de programación mediante el algoritmo LMS. Aquí se detallan las estrategias de diseño de un amplificador operacional común y de uno con tecnología MOS de compuerta flotante [2], el diseño geométrico, la simulación y los resultados experimentales de ambos para hacer una comparación de ambos. Al final del capítulo se muestran algunas aplicaciones prácticas de los amplificadores de precisión, como por ejemplo en la implementación de moduladores Sigma-Delta ($\Sigma\Delta$) [13].

El capítulo 6 trata sobre una de las aplicaciones en la industria del amplificador operacional de precisión, que es un amplificador con tensión de offset programable cuando su tensión de offset es menor a $100\mu\text{V}$. La aplicación presentada es un circuito detector de flama de muy bajo voltaje y bajo costo aprovechando el principio de cambio en las características eléctricas de una flama [10].

El capítulo 7 trata sobre las conclusiones finales de este trabajo de investigación, así como el trabajo futuro.

En la organización de este trabajo, se incluye un apéndice como complemento útil para la comprensión de algunos de los procedimientos de diseño del amplificador operacional.

El apéndice A trata sobre la extracción de los parámetros significativos de diseño de un transistor MOS, los cuales dependen principalmente de la polarización y las dimensiones geométricas del mismo. El ajuste de estos parámetros sirve principalmente para el cálculo de los parámetros geométricos de diseño mediante MATLAB con el modelo de simulación de nivel 1.

Como complemento de este trabajo, se anexa la nomenclatura utilizada en todo el escrito, la lista de Figuras, y la lista de Tablas.

Capítulo 2

Principales métodos de reducción de offset en sistemas analógicos

2.1 Introducción

El offset o corrimiento de voltaje o de corriente, existe en todos los circuitos integrados VLSI debido principalmente al desacople (*mismatch*) entre los elementos que conforman dicho circuito. En los circuitos CMOS, éste desacople se debe principalmente a las variaciones en los parámetros tecnológicos, y aumenta conforme crece el área de diseño [14].

En el diseño VLSI, es común asumir que todos los circuitos son perfectamente simétricos, en la realidad estos circuitos tienen un desacople causado por varias incertidumbres durante el proceso de fabricación del circuito integrado. Las causas más comunes que producen desacople son: la variación de las dimensiones geométricas (W/L), y la variación de la tensión de umbral (V_{TH}) debido a que cada transistor tiene un dopado (N_A, N_D) y un espesor de óxido (t_{ox}) diferente.

En la Figura 2.1 se muestran las variaciones en las dimensiones geométricas, las cuales no son exactas debido al proceso de fabricación. Existe una variación en la longitud del canal (ΔL), y una variación en el ancho del canal (ΔW).

Conforme W y L aumentan, sus desacoples relativos $\Delta W/W$ y $\Delta L/L$ decrecen, es decir, los transistores de mayor dimensión presentan un desacople menor que los transistores de dimensiones pequeñas [1]. Una mejor observación intuitiva, es que a mayor área del transistor, menor es el desacople, debido a que los desacoples relativos $\Delta W/W$ y $\Delta L/L$

experimentan un efecto de promediado mayor. En el diseño práctico, los transistores tienden a tener un ancho de canal mayor que su largo, aumentando así su área, y por lo tanto, disminuyendo su desacople.

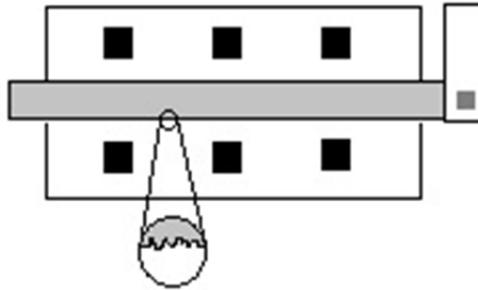


Figura 2.1. Desacople producido por variaciones microscópicas en W y en L .

En la Figura 2.2 se puede observar cómo dos transistores de iguales dimensiones geométricas, experimentan desacople debido a que su tensión de umbral cambió porque el espesor del óxido de compuerta, y el nivel de dopado, son diferentes por la posición en el dado de silicio en que se encuentran dichos transistores.

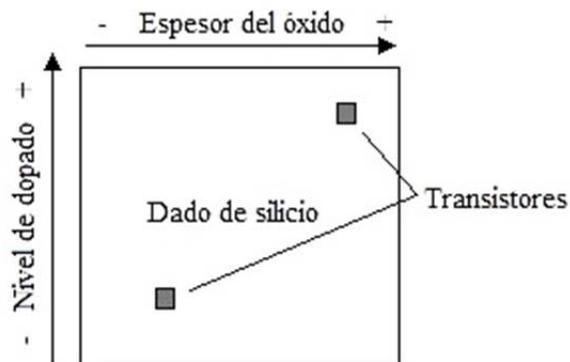


Figura 2.2. Desacople producido por las variaciones en t_{ox} y N_A, N_D .

Para reducir el desacople producido por las variaciones en el espesor del óxido de compuerta y en el nivel de dopado, se suelen utilizar técnicas de diseño geométrico como la técnica del centroide común.

En [14,15] se muestran modelos del desacople (*mismatch*), útiles para el diseño de circuitos CMOS, en especial los circuitos de tipo analógico. En [16] se hace énfasis en la necesidad de utilizar modelos de simulación de tipo estadístico para ver los efectos del desacople en los circuitos. En resumen, el desacople es un fenómeno que debe de tomarse en cuenta muy en serio para el diseño de circuitos analógicos, sobre todo los circuitos de precisión, pues se pueden generar efectos indeseables como la tensión de offset o la falta de funcionalidad por ruido térmico. El uso de modelos de simulación de tipo estadístico es indispensable, así como el uso de técnicas de diseño para la reducción del desacople entre los elementos de un circuito.

Uno de los efectos indeseables del desacople entre elementos de un circuito es la tensión de offset, presente en prácticamente todas las estructuras de tipo analógico. En este trabajo de tesis se tratará en específico sobre la tensión de offset referido a la entrada o simplemente “tensión de offset” en amplificadores operacionales diseñados con tecnología CMOS.

Los amplificadores operacionales son prácticamente el corazón de todos los circuitos analógicos, es por ello que toda mejora al diseño del amplificador operacional, tiene un fuerte impacto en todos los sistemas que tienen en su totalidad o en parte circuitos analógicos.

La reducción de la tensión de offset ha sido uno de los retos en la investigación. Recientemente, se han propuesto varios métodos para la reducción de ésta, como el uso de realimentación semi-activa [17], el uso de transistores FGMOS en modo de acoplamiento capacitivo [18] y la reducción de la tensión de umbral [19].

En adelante, se describen los métodos más utilizados para la reducción de offset como son: la técnica de auto-cero AZ (Autozeroing), la correlación de doble muestreo CDS (*Correlated Double Sampling*), la estabilización por corte CS (*Chopper Stabilization*) y el ajuste por rayo láser (*Laser trimming*).

2.2 Método de auto-cero (AZ)

El método de auto-cero para la reducción de offset, consiste básicamente en el muestreo de la tensión de offset y el ruido no deseados, para después extraerlo del valor instantáneo de la señal contaminada ya sea en la entrada o en la salida del amplificador operacional [11]. Si el amplificador tiene una tensión de offset σ , entonces ésta será cancelada, o al menos reducida lo suficiente como para construir un amplificador de precisión. Por otro lado, si lo que está presente es un ruido de baja frecuencia, por ejemplo el ruido $(1/f)$, éste será procesado como si se tratara de un filtro pasa-altas, reduciéndose así considerablemente.

Una de las desventajas de este método, es el incremento del ruido inherente al proceso de muestreo. En la Figura 2.3 se muestra el principio de funcionamiento del proceso de auto-cero en un amplificador.

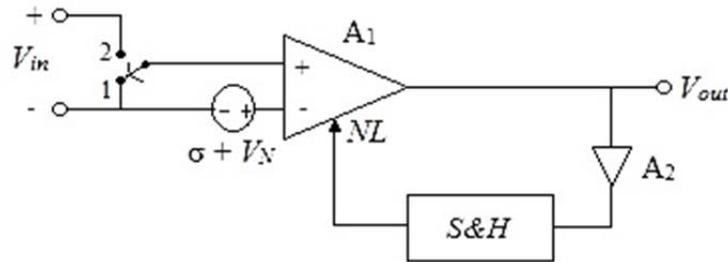


Figura 2.3. Circuito para la reducción de offset por la técnica de auto-cero.

En general, el principio de auto-cero, se puede describir considerando sólo la tensión de offset σ , y después se extenderá considerando el ruido de baja frecuencia V_N .

El proceso de auto-cero requiere de dos fases: la fase 1 o de muestreo, durante la cual la tensión de offset y el ruido se muestrean y almacenan, y la fase 2 o de procesamiento de la señal, durante la cual el amplificador libre de offset estará en operación. Durante la fase de muestreo, el amplificador se desconecta de la señal de entrada V_{in} , sus entradas se conectan en corto-circuito y son puestas a una tensión en modo común adecuada. La tensión de offset es eliminada mediante el uso de una terminal NL dedicada para ello. Esta terminal está

conectada mediante un circuito de realimentación formado por A_2 y un circuito de muestreo y retención *S&H* (*Sample and Hold*). La cantidad de control para eliminar el offset x_c , es muestreada y almacenada de una manera analógica o digital. Para la configuración utilizada en la Figura 2.3, la tensión de salida V_{out} en esta fase es forzada a un pequeño valor. En la fase 2, el amplificador es conectado nuevamente a la señal de entrada para que ésta pueda ser amplificada sin offset.

El principio de auto-cero puede ser utilizado no sólo para cancelar la tensión de offset σ , sino también para reducir considerablemente el ruido de baja frecuencia V_N , por ejemplo el ruido $1/f$. A diferencia de la tensión de offset, que puede considerarse constante, el ruido del amplificador, y particularmente el ruido térmico de banda-ancha, es variable en el tiempo y aleatorio. La eficiencia de la técnica AZ para la reducción de ruido de baja frecuencia es entonces fuertemente dependiente de la correlación entre la muestra de ruido y el valor instantáneo del ruido desde donde la muestra fue tomada. La auto-correlación entre dos muestras de ruido $1/f$ separadas por un intervalo de tiempo τ_{AZ} , decrece mucho más lento al incrementar τ_{AZ} , que la auto-correlación para dos muestras de ruido blanco, asumiendo que las dos tienen el mismo ancho de banda. Por ello, el método de AZ es efectivo para la reducción de ruido de baja frecuencia $1/f$, pero no para la reducción de ruido blanco en toda la banda.

Este método ha sido empleado utilizando transistores FGMOS, los cuales, a través de la inyección de electrones calientes (*Hot Electron Injection*) han servido para la construcción de un amplificador [20].

2.3 Método de correlación de doble muestreo (CDS)

El método de correlación de doble muestreo es parecido al método de auto-cero, con la diferencia de que se agrega una fase más de muestreo y retención. En el método de AZ, el amplificador debe de ser desconectado de la señal de entrada en la fase 1 con el fin de muestrear y retener la tensión de offset y el ruido. De esta manera, el amplificador está

disponible sólo en la fase 2. Aunque este método es incompatible con los sistemas continuos en el tiempo, es perfectamente compatible con los sistemas basados en muestreo de datos como los ADC y los DAC, de hecho, gran parte de los ADC y DAC comerciales utilizan este método para la reducción de la tensión de offset. Este proceso de muestreo y retención y después de amplificación, se repite continuamente. En resumen, en el método AZ se tienen dos muestras: una de la tensión de offset y el ruido ($\sigma + V_N$), y otra seguida de la señal de entrada (V_{in}).

El método CDS, que originalmente fue creado para reducir el ruido en los dispositivos de acoplamiento de carga CCD (*Charge Coupled Device*), puede ser descrito como el método de AZ seguido por una operación de muestreo y retención. Este método es ampliamente utilizado en sistemas de muestreo de datos [11].

Aunque la señal en la salida del circuito que utiliza el método CDS es muestreada y retenida, el efecto en la tensión de offset del amplificador es muy similar a la utilizada por el método de AZ. La función de transferencia en la banda base continúa teniendo un cero en el origen de la frecuencia que elimina cualquier offset y que reduce drásticamente el ruido $1/f$.

2.4 Método de estabilización por corte (CS)

La estabilización por corte CS (*Chopper Stabilization*), es otro método que se utiliza para la reducción de offset y ruido. El método de modulación por corte, recorre el espectro de baja frecuencia a múltiplos de la frecuencia de corte, lejos de la banda de interés, en donde el ruido térmico es predominante, y después demodula esa señal para regresar nuevamente a la banda base una vez que la señal ha sido amplificada [11]. Considérese un proceso aleatorio estacionario $x(t)$ de una función de auto-correlación $R_x(\tau)$ y un espectro de densidad de potencia $S_x(f)$, que es aplicado a un amplificador de banda limitada $A(f)$, como se muestra en la Figura 2.4.

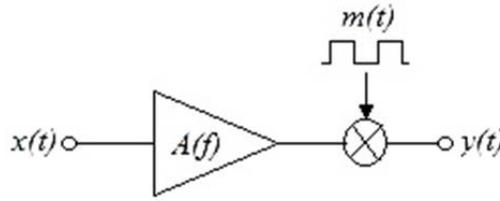


Figura 2.4. Modulación por corte.

La señal de modulación o señal de corte $m(t)$ es periódica con un periodo T , y puede representarse en serie de Fourier como sigue:

$$m(t) = \frac{2}{j\pi} \sum_{\substack{n=-\infty \\ n=\text{impar}}}^{\infty} \frac{1}{n} e^{j2\pi \frac{nt}{T}} \quad (2.1)$$

La transformada de Fourier de esta señal es una secuencia de pulsos de Dirac decreciendo con el orden de las armónicas, con componentes solamente impares de la frecuencia de modulación.

$$|M(f)|^2 = \frac{4}{\pi^2} \sum_{\substack{n=-\infty \\ n=\text{impar}}}^{\infty} \frac{1}{n^2} \delta\left(f - \frac{n}{T}\right) \quad (2.2)$$

El espectro de la densidad de potencia de la salida se calcula mediante la siguiente convolución:

$$\begin{aligned} S_y(f) &= [S_x(f) |A(f)|]^2 \otimes |M(f)|^2 \\ &= \frac{4}{\pi^2} \sum_{\substack{n=-\infty \\ n=\text{impar}}}^{\infty} \frac{1}{n^2} \left| A\left(f - \frac{n}{T}\right) \right|^2 S_x\left(f - \frac{n}{T}\right) \end{aligned} \quad (2.3)$$

El espectro de densidad de potencia de la salida, es una réplica del espectro de la entrada, con una contribución sólo en los múltiplos impares de la frecuencia de modulación, y que decrece rápidamente con el orden de las armónicas. Es por esto que los efectos de “*foldover*”, no aparecen en el caso de cortar la señal. Esta es la principal diferencia entre los métodos de corte y de muestreo.

La modulación por corte tiene una pequeña influencia sobre el ruido térmico o ruido blanco cuando el ancho de banda del amplificador es mucho más grande que la frecuencia de modulación o de corte. El efecto de la modulación por corte sobre el ruido $1/f$ (*flicker noise*) es una reducción a la salida.

En la Figura 2.5 se muestra el circuito para amplificar una señal utilizando el método de estabilización por corte CS.

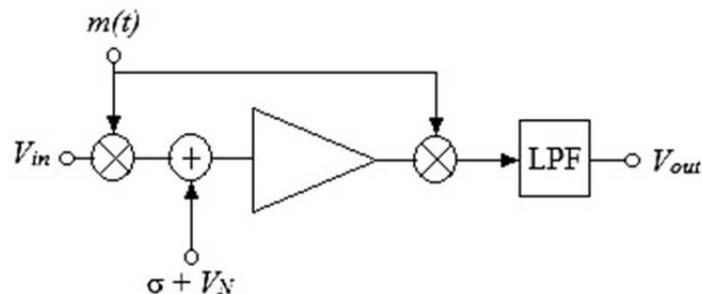


Figura 2.5. Método de estabilización por corte.

La señal de entrada V_{in} tiene un espectro limitado a la mitad de la frecuencia de corte $m(t)$ de tal manera que no existe el efecto de muestreo que presenta un sub-armónico (*aliasing*). La señal modulada resultante es entonces amplificada y demodulada para regresar a su forma original en la banda base. El ruido de baja frecuencia y la tensión de offset son moduladas por el multiplicador de la salida del amplificador, por lo tanto son trasladadas a un espectro de alta frecuencia, dejando solamente el ruido blanco. Para recuperar la señal es necesario hacer pasar la señal del segundo multiplicador por un filtro pasa-bajas. Dada la

frecuencia de esquina del ruido $1/f$ (f_{cor}) y la frecuencia de corte del filtro pasa-bajas (BW_{fil}), la condición necesaria para reducir el ruido $1/f$ en la banda base es:

$$f_{ch} \geq BW_{fil} + f_{cor} \quad (2.4)$$

Donde f_{ch} es la frecuencia de la señal moduladora $m(t)$, o frecuencia de corte. El efecto de cortar la señal sobre la tensión de offset es:

$$V_{out} = A\sigma \otimes \frac{2}{j\pi} \sum_{\substack{n=-\infty \\ n=\text{impar}}}^{\infty} \frac{1}{n} \delta\left(f - \frac{n}{T}\right) \quad (2.5)$$

La ecuación 2.5 no tiene componente de DC por lo que la tensión de offset tiene en teoría un valor de cero.

2.5 Método de ajuste por láser

Usar resistores de ajuste para corregir el desacople es otra alternativa en el diseño VLSI. Un método muy utilizado de ajuste en circuitos integrados es el “ajuste por láser de resistores de película delgada”. Evaporando una pequeña sección del resistor de manera selectiva con un rayo láser, es posible incrementar el valor de este. Este método es ampliamente usado para el diseño de convertidores analógicos-digitales de alta linealidad. Entre otros métodos de ajuste destacan el fusible de poli-silicio (*poly fuse*) y el método de “*zenner-zap*” [21].

Las principales desventajas del ajuste por rayo láser es el alto costo de producción (*yield*), la inflexibilidad de proveer ajuste en el encapsulado y la imposibilidad de ajustar nuevamente [17].

Las principales desventajas del método de fusibles de poli-silicio y “zenner-zap”, es su naturaleza discreta que afecta su exactitud en el ajuste, y su incremento en el uso de área de silicio.

Otro método de ajuste para reducir los efectos del desacople, es el uso de transistores FGMOS como fuentes de corriente programables [21]. Este método se detalla en la sección 2.6.

2.6 Método de reducción de offset mediante compuerta flotante

La corrección de offset mediante tecnología de compuerta flotante ha sido recientemente investigada, mostrando grandes avances en el estado del arte [21]. En la Tabla 2.1 se muestra un comparativo entre los métodos de reducción de offset descritos anteriormente y el método de transistores FGMOS.

La idea principal del método mediante el uso transistores FGMOS, es la compensación de los efectos del desacople, a través de fuentes de corriente programables en campo, utilizando los mecanismos de inyección y tuneleo de electrones.

En la Figura 2.6, se muestra el esquema de un amplificador operacional en el que se incluye una fuente de corriente programable para compensar los efectos de la tensión de offset σ .

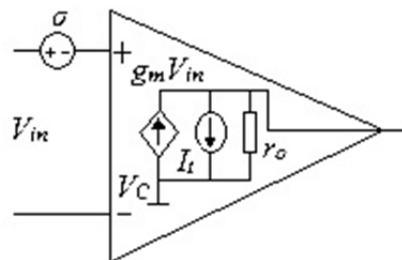


Figura 2.6. Circuito equivalente para la reducción de offset mediante el uso de transistores FGMOS.

La tensión de offset σ , se representa como una fuente de DC a la entrada del amplificador. La tensión de salida V_{out} en un amplificador sin reducción de offset es $g_m V_{in} r_o$.

Para compensar los efectos de σ , se agrega una fuente de corriente programable I_p , construida con transistores FGMOS. La corriente I_p , depende de la tensión en la compuerta flotante de los transistores FGMOS. En el capítulo 3 se detalla la programación de la tensión de compuerta flotante V_{FG} .

Este método se puede implementar de manera sencilla dentro del diseño VLSI, es programable en campo, la programación se mantiene a largo plazo, permite un ancho de banda grande, opera en modo continuo, consume muy poca energía, y requiere sólo un poco más de área para implementarlo.

Una de las desventajas de este método es que no tiene efecto alguno sobre el ruido $1/f$ o “*flickering noise*”.

Tabla 2.1. Comparación entre varios métodos de reducción de offset.

	AZ	CDS	CS	Ajuste por láser	FGMOS
Modo	Muestreo	Muestreo	Continuo	Continuo	Continuo
Offset (σ)	Moderado	Moderado	Bajo	Bajo	Bajo
Ancho de banda	Alto	Alto	Bajo	Alto	Alto
Ruido $1/f$	Reducido	Reducido	Reducido	Sin efecto	Sin efecto
Complejidad	Moderado	Moderado	Alto	Moderado	Bajo
Consumo	Moderado	Moderado	Moderado	Bajo	Bajo
Área extra	Moderado	Moderado	Moderado	Moderado	Bajo
Programación en campo	No	No	No	No	Si
Tipo de reducción de offset	Periódico	Periódico	Continuo	Largo plazo	Largo plazo

En el capítulo 5 se detalla el diseño de un amplificador operacional con tensión de offset reducida utilizando este método.

2.7 Resumen del capítulo

La reducción de la tensión de offset en los circuitos analógicos dentro del diseño VLSI, ha sido un reto para los diseñadores, pues esta tensión se origina por el desacople (*mismatch*) entre los elementos que componen el circuito.

Varios métodos de reducción de offset han sido publicados, entre los más comunes están: el método de auto-cero (AZ), el método de correlación de doble muestreo (CDS), la estabilización por corte (CS) y el método de ajuste por rayo láser.

Cada uno de los métodos de reducción de offset tiene sus propias características como se resume en la Tabla 2.1.

En el estado del arte, se encuentra la reducción de offset mediante el uso de transistores FGMOS, que es el método que se detalla en este trabajo de tesis. Como características principales del método de reducción de offset mediante transistores FGMOS, se tienen: la operación en modo continuo, la reducción eficaz de la tensión de offset, el ancho de banda amplio, la baja complejidad, la capacidad de reprogramación en campo, el bajo consumo de energía y el bajo costo de producción.

Por otro lado, a diferencia de los métodos AZ, CDS y CS, el método de reducción de offset mediante el uso de transistores FGMOS, sólo sirve para reducir la tensión de offset σ , pero no para reducir el ruido de baja frecuencia, por ejemplo el ruido $1/f$.

Capítulo 3

El transistor MOS de compuerta flotante en modo de inyección y tuneleo de electrones

3.1 Introducción

El transistor MOS de compuerta flotante es un dispositivo muy versátil que se puede implementar de manera muy sencilla en cualquier proceso CMOS. Consiste en un transistor MOS ordinario con dos o más compuertas, siendo la más cercana al canal del transistor una compuerta flotante, es decir, ésta se encuentra completamente rodeada por óxido de silicio (SiO_2). Al tener una compuerta de poli-silicio (poly 1) completamente rodeada de óxido de silicio, se tiene un conductor completamente aislado, por lo que esta compuerta puede almacenar carga eléctrica de manera casi permanente.

Esta propiedad de almacenar carga, le ha dado a este tipo de transistor muchas aplicaciones de gran impacto en el diseño electrónico de circuitos integrados; por ejemplo: memorias no volátiles (*Flash memories*), sinapsis en redes neuronales capaces de aprender [22], memorias analógicas, circuitos de reducción de clock-skew [23], espejos de corriente de precisión [24,25], referencias de voltaje de precisión [26], comparadores de bajo voltaje [27], transistores de cero tensión de umbral, arreglos analógicos programables [6,28], amplificadores operacionales de precisión [2], y amplificadores operacionales de transconductancia de precisión [29], OTA (*Operational Transconductance Amplifier*), entre otras.

Existen dos tipos de transistores FGMOS, el transistor canal n, y el transistor canal p, siendo éste último el más común, pues en muchas aplicaciones se trabaja en la región de sub-umbral, y el transistor canal n requiere de una ligera implantación adicional para lograr la inyección de electrones sin salirse de esta región. El transistor FGMOS más básico tiene cinco terminales, aunque se pueden agregar más compuertas al dispositivo para hacer una red de acoplamientos capacitivos.

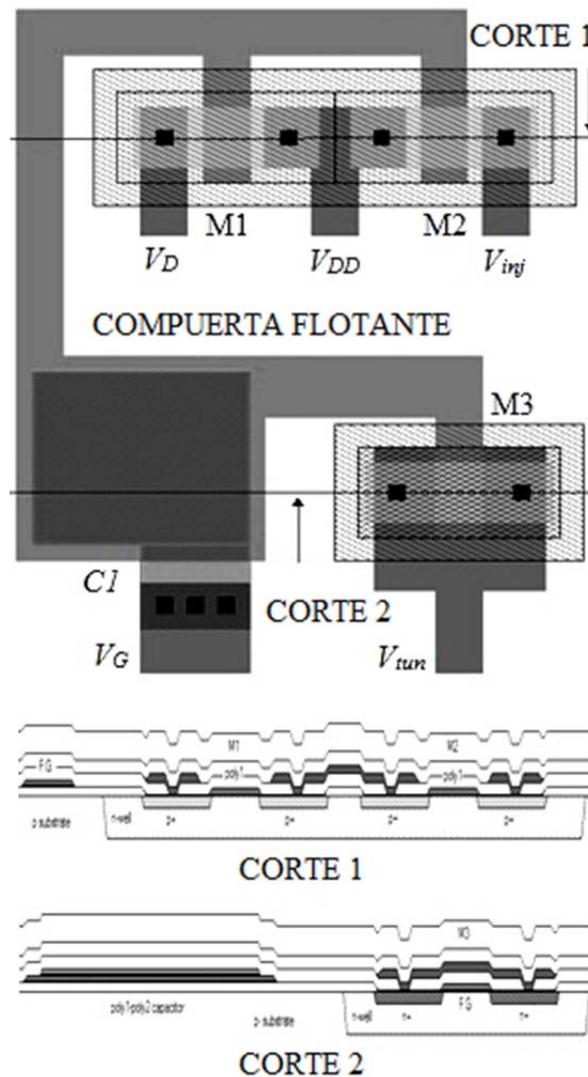


Figura 3.1. Diseño geométrico de un transistor FGMOS básico de cinco terminales. En la parte superior se muestra la vista superior del diseño, M1 es el transistor de operación, M2 es el transistor de inyección y M3 es el transistor de tuneleo.

En la Figura 3.1 se muestra el diseño geométrico de un transistor FGMOS básico en la que se muestran sus cinco terminales: Fuente “S” (se conecta a V_{DD}), Drenador “D” (se conecta a V_D), Compuerta “G” (se conecta a V_G), terminal de Inyección “INJ” (se conecta a V_{inj}) y terminal de tuneleo “TUN” (se conecta a V_{tun}). Las terminales de substrato “B” (*Bulk*), por lo regular se conectan a las terminales de fuente, pues éstas tienen la tensión más negativa y más positiva para transistores canal n y canal p, respectivamente.

En un transistor básico de cinco terminales se tienen tres transistores: un transistor de operación, un transistor para inyección de electrones, y un transistor para el tuneleo de electrones. En realidad, el transistor de inyección no es necesario, pues se puede lograr la inyección de electrones a través del transistor de operación usando la “programación directa” con interruptores de estado sólido.

Para no desconectar el transistor de operación en el momento de la programación, se agrega un tercer transistor para llevar a cabo la inyección de electrones, a esto se le llama: “programación indirecta”. En teoría, el método de programación indirecta requiere más área de silicio debido al incremento de un transistor; en realidad, se requiere menos área de silicio, pues se evita el uso de varios interruptores para conectar y desconectar el transistor de operación.

En el caso de un arreglo grande de transistores FGMOS, es conveniente el uso de interruptores y la programación directa como se muestra en [30]. En este trabajo de tesis se utilizan pocos transistores FGMOS, por lo que se prefiere el método de programación indirecta. Como se mencionó anteriormente, el transistor FGMOS puede tener más terminales de compuerta acopladas capacitivamente a la compuerta flotante, de esta manera se puede tener el control de la tensión de compuerta flotante a través del propio acoplamiento capacitivo. Otra manera de controlar la tensión en la compuerta flotante, es modificando la carga de ésta, a través de mecanismos de inyección y tuneleo de electrones. En la actualidad, de estos dos métodos se han generado muchas líneas de investigación. Este trabajo se enfoca principalmente en el método de control de carga a través de inyección y tuneleo de electrones.

3.2 Base teórica del transistor MOS de compuerta flotante en modo de inyección y tuneleo

La gran mayoría de las aplicaciones con transistores FGMOS, se basan en la tensión de la compuerta flotante (V_{FG}). Este parámetro depende de muchos factores, principalmente de la carga en la compuerta flotante, las capacitancias asociadas a la compuerta flotante, y el número y tensión de cada una de las compuertas de control. En la Figura 3.2 se muestran las capacitancias asociadas a un transistor FGMOS básico de tres terminales (sin transistor de inyección para programación indirecta y sin estructura de tuneleo).

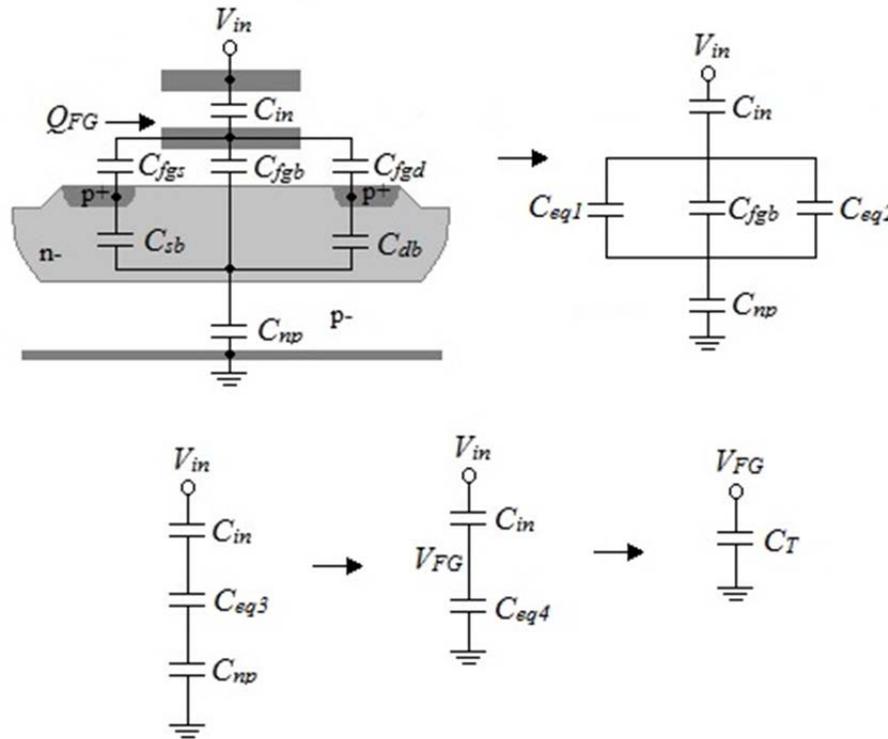


Figura 3.2. Capacitancias asociadas a un transistor FGMOS simple con una compuerta de control.

La tensión en la compuerta flotante se puede determinar como la carga total en la compuerta flotante, entre la capacitancia total que ve dicha compuerta.

Aplicando la ley de Ohm, las leyes de Kirchhoff, y el teorema de superposición en el circuito equivalente de la Figura 3.2, se tiene:

$$\begin{aligned}
 C_{eq1} &= \frac{C_{fgs} C_{sb}}{C_{fgs} + C_{sb}}; C_{eq1} = \frac{C_{fgd} C_{db}}{C_{fgd} + C_{db}} \\
 C_{eq3} &= C_{eq1} + C_{eq2} + C_{fgb} \\
 C_{eq4} &= \frac{C_{eq3} C_{np}}{C_{eq3} + C_{np}} \\
 C_T &= C_{eq4} + C_{in}
 \end{aligned} \tag{3.1}$$

La tensión en la compuerta flotante depende de la tensión V_{in} y de la carga en la compuerta flotante (Q_{FG}). La tensión en la compuerta flotante debido a la carga en ella es:

$$V_{FG1} = \frac{Q_{FG}}{C_T} \tag{3.2}$$

La tensión en la compuerta flotante debido a la tensión de entrada (V_{in}), acoplada capacitivamente es:

$$\begin{aligned}
 V_{FG2} &= \frac{V_{in} \left(\frac{1}{j\omega C_{eq4}} \right)}{\frac{1}{j\omega C_{eq4}} + \frac{1}{j\omega C_{in}}} = \frac{V_{in}}{1 + \frac{C_{eq4}}{C_{in}}} = \frac{V_{in} C_{in}}{C_{eq4} + C_{in}} \\
 &= \frac{V_{in} C_{in}}{C_T}
 \end{aligned} \tag{3.3}$$

La tensión final en la compuerta flotante es entonces:

$$V_{FG} = V_{FG1} + V_{FG2} = \frac{V_{in} C_{in} + Q_{FG}}{C_T} \tag{3.4}$$

Si se tienen dos o más compuertas de control acopladas capacitivamente a la compuerta flotante, entonces:

$$V_{FG} = \sum_{i=1}^n \frac{C_i}{C_T} V_i + \frac{Q_{FG}}{C_T} \quad (3.5)$$

Donde n es el número de compuertas de control del transistor FGMOS. Si $n = 1$, $V_i = 0$, y C_i es mucho más grande que las capacitancias parásitas asociadas al transistor, entonces:

$$V_{FG} \cong \frac{Q_{FG}}{C_i} \quad (3.6)$$

La ecuación 3.6 muestra que bajo ciertas condiciones, la tensión en la compuerta flotante depende directamente de Q_{FG} , pues C_i es constante. Cuando C_i crece, V_{FG} se vuelve más estable, pues tiene una fuerte dependencia de Q_{FG} y muy poca de las capacitancias parásitas del transistor.

El costo de hacer C_i muy grande, es el incremento en el tiempo de programación del transistor, pues se necesita un incremento ΔQ_{FG} mayor para un incremento ΔV_{FG} . En algunas ocasiones el tiempo para cambiar la carga en la compuerta flotante puede ser de unos minutos o incluso algunas horas [31]. Para cambiar la carga en la compuerta flotante se emplean dos mecanismos físicos: la inyección y el tuneleo de electrones. La inyección y tuneleo de electrones son los mecanismos que se utilizan para programar la tensión de la compuerta flotante a través del cambio en la carga Q_{FG} . En la práctica, lo que se conecta a un circuito son las terminales del transistor y no la compuerta flotante, por lo que la dependencia de la corriente de drenador (I_D) respecto a V_{FG} es de gran interés.

La dependencia de I_D respecto a V_{FG} depende del régimen de operación en que se encuentre el transistor FGMOS. En la Tabla 3.1 se resumen las regiones de operación de un transistor MOS. En [32] se muestran algunas de las aplicaciones del transistor FGMOS en la región de sub-umbral.

Tabla 3.1. Regiones de operación del transistor MOS.

Región	Condiciones	Corriente de drenador
Triodo o lineal	$V_{GS} > V_{TH}$ $0 < V_{DS} < V_{GS} - V_{TH}$	$I_D = KP_n \frac{W}{L} \left[(V_{GS} - V_{TH}) - \frac{V_{DS}^2}{2} \right]$
Saturación	$V_{GS} > V_{TH}$ $V_{DS} > V_{GS} - V_{TH}$	$I_D = \frac{KP_n W}{2 L} (V_{GS} - V_{TH})^2$
Sub-umbral	$V_{GS} < V_{TH}$ $V_{DS} > 0$	$I_D = I_0 e^{\left(\frac{V_{GS}}{nV_T}\right)}$

De la Tabla 3.1, la transconductancia KP_n es:

$$KP_n = \mu_n C_{ox} \quad (3.7)$$

Donde μ_n es la movilidad de los electrones y C_{ox} es la capacitancia del óxido. I_0 es la corriente pre-exponencial y V_T es el voltaje térmico. Aunque la Tabla 3.1 aplica para un transistor canal n, se puede determinar análogamente las condiciones y corriente de drenador para un transistor canal p.

En un transistor FGMOS es posible aplicar de manera análoga las ecuaciones para la corriente de drenador de la Tabla 3.1. El primer método consiste en sustituir V_{GS} por V_{FG} , tomando en cuenta que V_{FG} depende de V_i y de Q_{FG} . El segundo método consiste en tomar las ecuaciones tal cual, teniendo en cuenta que un transistor FGMOS tiene una tensión de umbral (V_{TH}) dependiente de V_{FG} . Es importante señalar que estas ecuaciones son sólo una aproximación teórica, y que para el diseño real es necesario utilizar un modelo más avanzado como el BSIM 3v3.

3.2.1 El mecanismo de inyección de electrones

El término físico completo para la inyección de electrones es: “inyección de electrones calientes”, y se refiere al efecto causado en el transistor FGMOS, cuando un portador, en este caso, un electrón, es inyectado desde el canal de conducción formado en el substrato de silicio, hasta la compuerta flotante, a través del dieléctrico de óxido de silicio SiO_2 . Para que a un electrón se le pueda llamar “caliente”, y entre en la banda de conducción del óxido de silicio, es necesario que tenga una energía cinética de aproximadamente 3.2eV . El término “electrón caliente”, proviene del término de la temperatura efectiva usado en el modelo de la densidad de portadores y no de la temperatura del substrato. Los electrones calientes generados en la región canal-drenador, son capaces de atravesar el delgado óxido de silicio para llegar a la compuerta flotante, cambiando así la carga de ésta. En [33] se analiza un modelo cuantitativo a través del transporte de Boltzmann en la región de deserción canal-drenador.

3.2.1.1 Modelo de inyección en sub-umbral

En la Figura 3.3 se muestra gráficamente el mecanismo de inyección de electrones operado con corrientes de canal en sub-umbral. En la Figura 3.3(a) se muestra el transporte de huecos a través del canal en sub-umbral; en la Figura 3.3(b) se muestra su respectivo diagrama de bandas.

Por lo regular se asume que, cuando los huecos alcanzan la región de deserción canal-drenador, el campo eléctrico resultante, transporta los huecos hacia la frontera del drenador. En la Figura 3.3(a) se muestra una ampliación de la región de deserción canal-drenador en la que se observa el transporte de portadores. Los huecos pueden ganar suficiente energía debido al campo eléctrico (1), e impactar e ionizar para formar dos huecos y un electrón. Tanto los electrones como los huecos pueden ganar energía significativa desde las bandas de conducción o de valencia respectivamente, si el gradiente localizado de potencial es mayor que la fuerza máxima de un fonón óptico para restablecer el portador a la frontera de

la banda. Para los electrones esto requiere un campo cercano a los $10\text{V}/\mu\text{m}$, y para los huecos se requiere un campo un poco mayor. El electrón resultante se moverá de regreso hacia el canal, acelerado por el rápido decremento de potencial resultante, como se muestra en la Figura 3.3(b). Muchos de estos electrones viajan hacia el sustrato (2), en donde se pueden medir como una corriente en la terminal del pozo n.

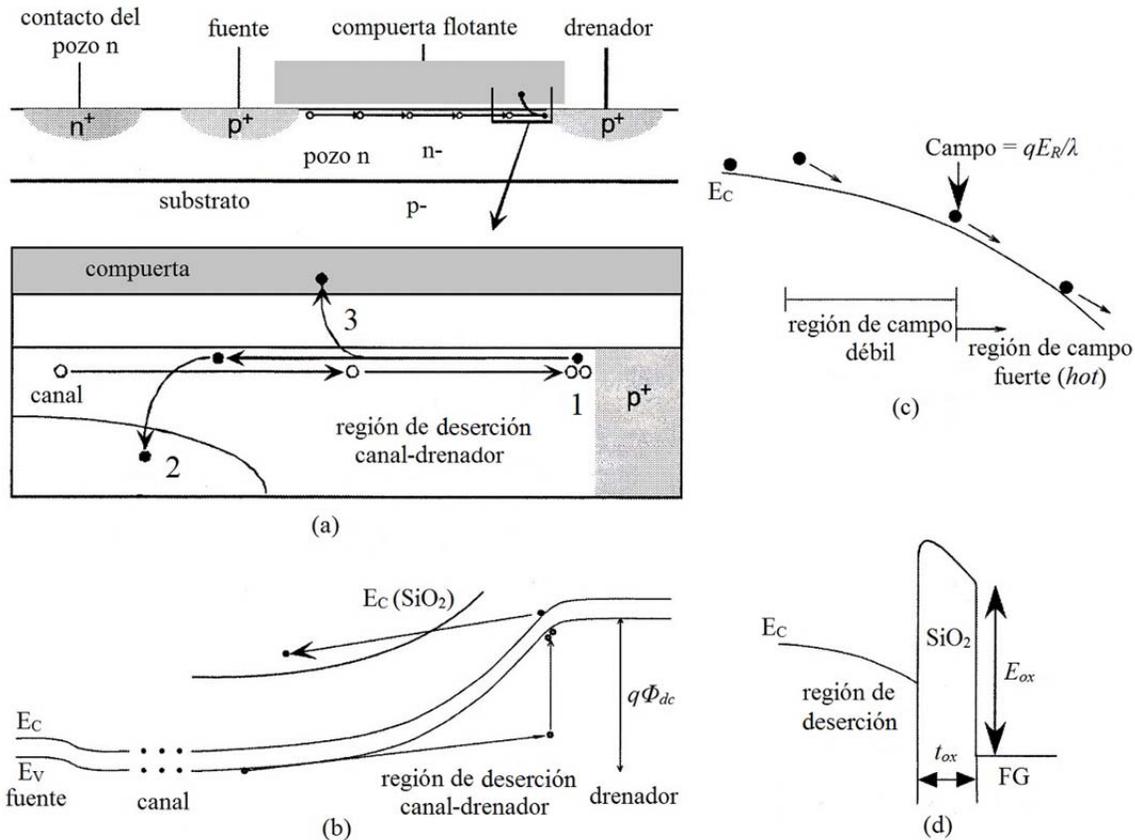


Figura 3.3. Descripción gráfica del mecanismo de inyección de electrones calientes en la región de sub-umbral. (a) Corte transversal de un transistor FGMOS y ampliación de la región de deserción canal-drenador para mostrar el transporte de portadores. (b) Diagrama de bandas del canal, incluyendo la inyección de electrones calientes en sub-umbral. (c) Transporte de un electrón caliente. (d) Diagrama de banda a través de la interfaz Si-SiO₂.

Algunos de estos electrones ganan energía cuando pasan por la región de campo fuerte (Figura 3.3(c)), si la energía ganada es mayor que la barrera de potencial de la frontera Si-SiO₂, estos pueden entrar dentro de la región del óxido. Una vez en la región del óxido, los electrones se transportan por corrimiento (3) dependiendo del campo. Para un transistor FG MOS canal p, el diagrama de bandas en donde ocurre la mayor parte de la inyección, será favorable para que los electrones alcancen la compuerta flotante, como se muestra en la Figura 3.3(d). Estos efectos pueden ser modelados como se ve en [34]. La corriente de inyección (I_{inj}) puede ser modelada como función de la corriente de canal (I_S) y del potencial drenador-canal (Φ_{dc}) como:

$$I_{inj} = I_S e^{f(\Phi_{dc})} \quad (3.8)$$

Donde $f(\Phi_{dc})$ es una función racional. En la práctica, $f(\Phi_{dc})$ se puede aproximar a una función lineal en un intervalo razonable de corriente de inyección. Entonces la corriente de inyección se puede aproximar a:

$$I_{inj} = I_{inj0} \frac{I_S}{I_{th}} e^{-\left(\frac{\Delta\Phi_{dc}}{V_{INJ}}\right)} \quad (3.9)$$

Donde $\Delta\Phi_{dc}$ es el cambio en el potencial drenador-canal desde el punto de operación que creó su propia corriente de inyección de polarización (I_{inj0}) cuando se opera a la corriente de umbral (I_{th}). V_{INJ} es un parámetro del dispositivo que depende de la polarización de la región drenador-canal.

3.2.1.2 Modelo de inyección arriba de la tensión de umbral

Para que exista inyección se necesita un voltaje suficientemente grande que pase por una pequeña distancia, a esto se le define como un campo eléctrico local; este campo como se mencionó, debe de ser mayor de 10V/ μm para generar huecos de alta energía.

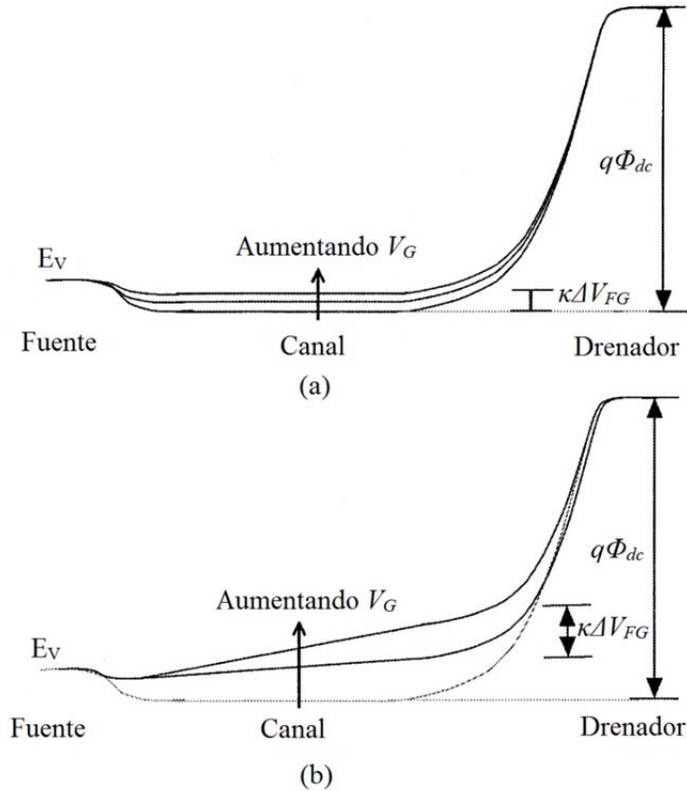


Figura 3.4. Cambios en la banda de valencia en un transistor FGMOS canal p cuando se incrementa V_G y se mantienen constantes V_S y V_D . (a) Diagrama de bandas para la región de sub-umbral. El potencial útil drenador-canal para que haya inyección, decrece con $\kappa\Delta V_{FG}$, mientras que la corriente aumenta de forma exponencial. (b) Diagrama de bandas para la región arriba de umbral. Con línea punteada se muestra una de las bandas en la región de sub-umbral con fines de comparación. Cuando se opera en la región arriba de umbral, el voltaje de canal pasa por el voltaje de sobremarcha (*overdrive voltage*), desde el lado de la fuente del canal hasta el lado del drenador del canal. El potencial útil drenador-canal para que haya inyección, decrece con $\kappa\Delta V_{FG}$, mientras que la corriente aumenta de forma polinomial.

En la Figura 3.4 se muestran los cambios en la banda de valencia para las regiones de sub-umbral y por arriba del umbral, para diferentes voltajes en la compuerta flotante. En sub-umbral, la región de campo fuerte está solamente localizada en la región canal-drenador, por lo que sólo la barrera que gobierna la corriente de canal, puede crear un cambio en el

potencial de canal. El potencial de canal es proporcional a κV_{FG} , donde κ es la capacitancia acoplada del voltaje de compuerta flotante al potencial de canal. En la región arriba de umbral se debe de analizar también la región de canal para determinar si la inyección aumenta o disminuye, como se muestra en la Figura 3.4(b). En la región de canal, el promedio del campo eléctrico es el voltaje de sobremarcha sobre la longitud de canal efectiva. Para un voltaje de sobremarcha moderado para un largo de canal mínimo de $1.2\mu\text{m}$, el campo eléctrico en el canal es mucho menor que el campo necesario para que los huecos ganen suficiente energía arriba de la banda de valencia, por lo tanto, la región de campo fuerte que permite el transporte de portadores, sigue siendo la región canal-drenador, la cual no se reduce con el voltaje de sobremarcha, el cual se expresa como: $\kappa(V_G - V_{TH}) - V_S$. El resultado es que el potencial de canal, cambia nuevamente de manera proporcional a κV_{FG} .

La corriente de inyección en sub-umbral y arriba de umbral, se puede modelar entonces como:

$$I_{inj} = I_{inj0} \left(\frac{I_S}{I_{th}} e^{-\left(\frac{\kappa \Delta V_{FG}}{V_{INJ}}\right)} \right) e^{-\left(\frac{\Delta V_{DS}}{V_{INJ}}\right)} \quad (3.10)$$

En la ecuación (3.10), se muestra que la corriente de inyección aumenta cuando la corriente en sub-umbral aumenta, pero cuando la corriente de canal se acerca a la región arriba de umbral, la eficiencia en la corriente de inyección disminuye, y eventualmente, la corriente de inyección disminuye cuando la corriente de canal aumenta.

En [34] se muestran algunos resultados experimentales importantes. En ellos se produce la inyección aplicando pulsos de voltaje en V_{DS} de $10\mu\text{s}$. Al medir la corriente de fuente (corriente de canal), la corriente de inyección se puede aproximar a:

$$\begin{aligned}
 I_{inj} &= -C_T \frac{dV_{FG}}{dt} = -C_T \frac{dV_{FG}}{dI_S} \frac{dI_S}{dt} \\
 &\approx -\frac{C_T}{T} \frac{I_S}{g_m} \frac{\Delta I_S}{I_S}
 \end{aligned} \tag{3.11}$$

Donde C_T es la capacitancia total vista por la compuerta flotante, T es la duración del pulso de inyección, y g_m es la transconductancia del transistor. En esta aproximación se asume que la inyección de corriente no cambia mucho con el ancho de pulso, una asunción que es razonable si el cambio en la corriente de canal es pequeño.

En la práctica, el mecanismo de inyección de electrones, es el mecanismo que se prefiere para la programación de transistores FGMOS, debido a que este mecanismo requiere de menor voltaje de programación que el mecanismo de tuneleo de electrones que se tratará a continuación.

3.2.2 El mecanismo de tuneleo de Fowler Nordheim

El tuneleo de electrones es un fenómeno cuántico en el que los electrones penetran una barrera de potencial mayor que la energía cinética de ellos mismos.

En la Figura 3.1 se puede observar que M3 forma una estructura de tuneleo a través del óxido de compuerta que es de mayor calidad que el óxido entre poli-silicio 1 (poly 1) y poli-silicio 2 (poly 2). Las terminales de fuente y drenador se conectan en corto-circuito para formar una estructura de tuneleo entre el canal y la compuerta flotante. El tuneleo de electrones se puede llevar a cabo en dos direcciones, aunque en este trabajo se aplicará una tensión positiva en la terminal de tuneleo para extraer electrones de la compuerta flotante y así disminuir su carga Q_{FG} .

En la Figura 3.5 se muestra la sección transversal de una estructura de tuneleo y su respectivo diagrama de bandas.

Cuando se tiene una sola estructura de tuneleo, el voltaje necesario en V_{tun} puede ser muy grande. En la práctica, para una tecnología de $1.2\mu\text{m}$, V_{tun} está en el orden de 24V a 27V. Este voltaje es casi tan grande como para dañar el óxido de compuerta, o la unión p-n entre las implantaciones drenador-pozo n y fuente-pozo n. Ésta es una de las razones por las que se prefiere la inyección de electrones pues en la inyección se requiere una tensión V_{DS} entre 6V y 7.5V para la misma tecnología. En [35] se presenta un transistor FGMOS con dos estructuras de tuneleo con el fin de reducir V_{tun} entre 12V y 20V.

La corriente de tuneleo es complicada cuando se maneja de forma teórica. En este trabajo se utiliza un modelo más sencillo de tipo heurístico, el cual puede implementarse en un simulador de circuitos como PSpice.

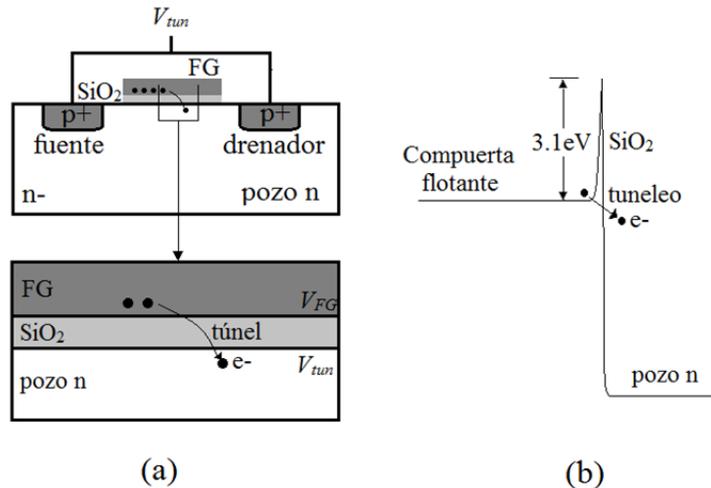


Figura 3.5. Mecanismo de tuneleo de electrones un transistor FGMOS. (a) La estructura de tuneleo se forma con un transistor MOS conectando en corto-circuito las terminales de fuente y drenador con el fin de crear una estructura de tuneleo con el óxido de compuerta, que es de mejor calidad que el óxido entre poly 1 y poly 2. En el tuneleo en un transistor FGMOS canal p, los electrones atraviesan el SiO_2 desde la compuerta flotante hasta el pozo para pasar a un estado de menor energía. (b) Diagrama de bandas del tuneleo de electrones.

3.2.3 Macro-modelo de simulación

Para la simulación de los circuitos, es necesario un modelo de simulación del transistor FGMOS que contemple los mecanismos de inyección y tuneleo de electrones. En [36] se presenta un modelo empírico del transistor FGMOS en el que se modelan los mecanismos de inyección de electrones, tuneleo de electrones y electrones no inyectados. Este modelo puede adaptarse a diferentes tecnologías de forma práctica.

El modelo de simulación se adaptó para ser utilizado en ORCAD PSpice, y contempla un tercer transistor para la inyección de electrones por programación indirecta. En la Figura 3.6 se muestra el circuito equivalente del transistor FGMOS en modo de inyección y tuneleo de electrones utilizado en este trabajo.

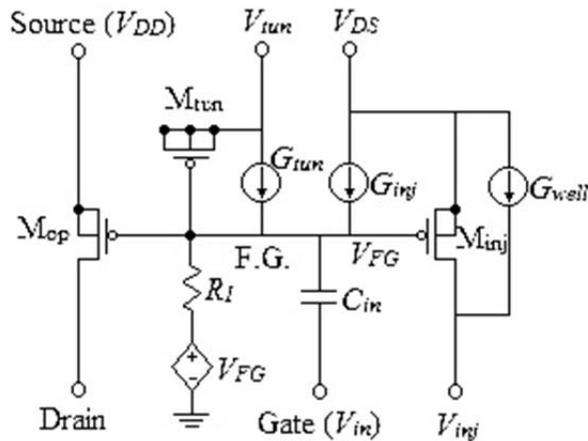


Figura 3.6. Macro-modelo de simulación del transistor FGMOS en modo de inyección y tuneleo de electrones. G_{inj} , G_{tun} , y G_{well} representan las corrientes de inyección, tuneleo y electrones no inyectados respectivamente.

El modelo de simulación consiste principalmente en tres fuentes de corriente (G_{inj} , G_{tun} , y G_{well}) que representan las corrientes de inyección, tuneleo y electrones no inyectados, respectivamente.

R_I y V_{FG} tienen la función de formar una malla hacia GND, para que el simulador no tenga problemas de convergencia. A diferencia del modelo presentado en [36], éste contempla un tercer transistor (M_{op}), que es el transistor de operación, de esta manera, la función de M_{inj} se limita a la programación a través del mecanismo de inyección de electrones. Este modelo es muy útil para la simulación del transistor FGMOS cuando se programa de manera indirecta.

El modelo utiliza el mecanismo de tuneleo para extraer electrones de la compuerta flotante, aumentando la carga, y por consecuencia el voltaje en ésta (V_{FG}). La magnitud de la corriente de tuneleo depende directamente del potencial en el óxido, y es aproximadamente:

$$G_{tun} = 9.35 \times 10^8 W L e^{\left(\frac{-1261.2}{V_{ox}} \right)} \quad (3.12)$$

Donde W y L son el ancho y largo de canal en micrómetros respectivamente, y V_{ox} es el voltaje en el óxido de compuerta, y es igual a $V_{tun} - V_{FG}$. Como se observa, existe una realimentación negativa entre la corriente de tuneleo y el voltaje en la compuerta flotante, es decir, si V_{tun} es constante, la corriente de tuneleo disminuye conforme aumenta el voltaje en la compuerta flotante (V_{FG}).

El mecanismo de inyección de electrones se utiliza en el modelo para disminuir la carga en la compuerta flotante, y por lo tanto, el voltaje en ésta. La magnitud de la corriente de inyección se puede determinar de forma semi-empírica [36], y es aproximadamente:

$$G_{inj} = 1.3 \times 10^{-5} I_S e^{\left(-\frac{155.75}{(V_{GD} + 0.89)^2} + V_{SD} \right)} \quad (3.13)$$

Donde I_S es la corriente de canal. La corriente de inyección muestra una realimentación positiva respecto a V_{SD} mientras la corriente de canal esté en el orden de sub-umbral. Cuando V_{GD} aumenta, la corriente de canal y de inyección hacen lo mismo, hasta que llega un punto en el que la realimentación positiva se convierte en negativa, es decir, la corriente

de inyección empieza a disminuir conforme la corriente de canal aumenta. En el mecanismo de inyección, se crean en la región de deplexión, pares de huecos y electrones calientes; los huecos son atraídos por el drenador, mientras que los electrones algunos son llevados hacia el óxido y otros hacia el pozo n. Estos últimos se pueden modelar como una corriente hacia el pozo n y es aproximadamente:

$$G_{well} = 1.12I_S(2.98V_{SD} - 1.98V_{SG} - V_{TH})e^{\left(\frac{-94.85}{2.98V_{SD} - 1.98V_{SG} - V_{TH}}\right)} \quad (3.14)$$

Las ecuaciones (3.12), (3.13) y (3.14) están ajustadas de manera experimental para un transistor FGMOS en tecnología de 1.2 μm de MOSIS (mamin12).

Los resultados gráficos del modelo del transistor FGMOS se obtuvieron mediante MATLAB y se explican a continuación.

En la Figura 3.7 se muestra la corriente de tuneleo por μm^2 respecto al voltaje de óxido; se puede observar una relación exponencial de G_{tun} respecto a V_{ox} .

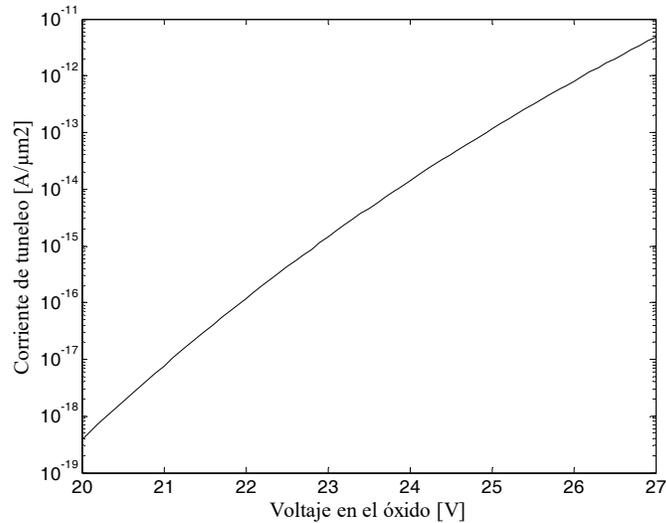


Figura 3.7. Corriente de tuneleo respecto al voltaje en el óxido SiO₂ para un transistor FGMOS canal p fabricado en tecnología de 1.2 μm .

En la Figura 3.8 se muestra la corriente de inyección con respecto a la corriente de canal para tres diferentes voltajes de fuente-drenador. Se puede observar que la corriente de inyección crece conforme la corriente de canal aumenta mientras el transistor se mantiene en sub-umbral. Al llegar al punto de umbral, la corriente de inyección comienza a disminuir con la corriente de canal; con lo anterior se concluye que:

1. La corriente de inyección presenta una realimentación positiva respecto a la corriente de canal en la región de sub-umbral.
2. La corriente de inyección presenta una realimentación negativa respecto a la corriente de canal más allá de la región de umbral.
3. La eficiencia del mecanismo de inyección es máxima cuando el transistor se opera cercano a la tensión de umbral.

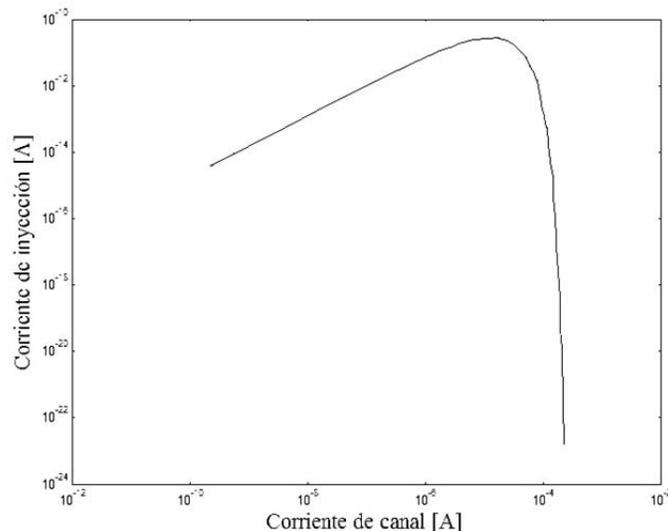


Figura 3.8. Corriente de inyección respecto a la corriente de canal para un transistor FGMOS canal p fabricado en tecnología de $1.2\mu\text{m}$.

En [36] se muestra el comportamiento de la eficiencia del mecanismo de inyección, así como la magnitud de la corriente de electrones no inyectados respecto a la corriente de canal. En el capítulo 5 se muestran las simulaciones en PSpice utilizando este modelo.

3.3 Programación de la compuerta flotante en modo de inyección y tuneleo de electrones

Anteriormente se trató sobre los mecanismos de inyección y tuneleo de electrones para modificar la carga en la compuerta flotante. A la aplicación de señales externas para producir algunos de estos mecanismos, con el fin de modificar la carga en la compuerta flotante, se le llama: “programación”. Al transistor FGMOS canal p se le llamará sólo “pfet”.

Para aumentar la carga en la compuerta flotante se utiliza el mecanismo de tuneleo de electrones. Para favorecer el tuneleo de electrones se requiere:

1. Conectar V_{SD} y V_{inj} a V_{DD} .
2. Conectar V_G a GND.
3. Conectar un potencial en V_{tun} lo suficientemente alto para generar una corriente de tuneleo considerable. En la práctica, este potencial está entre 25 y 27V para el transistor utilizado en este trabajo.
4. Modular el potencial V_{tun} , en amplitud, frecuencia, o ancho de pulso.

Como se observa, la tensión de tuneleo es relativamente alta respecto a la tensión de alimentación del circuito integrado (V_{DD}), es por ello que a veces se utilizan circuitos de bombeo de carga, para elevar la tensión de manera interna [37].

Para disminuir la carga en la compuerta flotante se utiliza el mecanismo de inyección de electrones. Para favorecer la inyección de electrones se requiere:

1. Conectar V_{SD} a una tensión positiva lo suficientemente alta para producir una corriente de inyección considerable. En la práctica, esta tensión está entre 6.5V y 7.5V para el transistor utilizado en este trabajo.
2. Conectar V_G a GND o a un potencial cercano a la tensión de umbral (V_{TH}).
3. Conectar V_{inj} a GND.

4. Modular el potencial V_{SD} en amplitud, o pulsar V_{inj} entre V_{SD} y GND. Los pulsos se pueden modular en frecuencia o ancho de pulso.

A través de los mecanismos de inyección y tuneleo de electrones, se puede disminuir o aumentar la tensión de umbral del transistor respectivamente [32]. La disminución de la tensión de umbral a casi cero, ha permitido el desarrollo de circuitos de muy bajo voltaje.

La programación en modo de inyección y tuneleo de electrones, es muy utilizada en el diseño analógico VLSI. Algunos ejemplos de aplicación son: Convertidores digitales-analógicos (DAC) [38], celdas de memoria no volátiles [39], arreglos de memoria analógicos [6,28,40,41], filtros FIR basados en memorias analógicas [42,43], y amplificadores operacionales de precisión [4].

3.3.1 Programación por amplitud en la tensión drenador-fuente

Uno de los métodos de programación del transistor FGMOS más usados es la modulación por amplitud en V_{SD} . En la Figura 3.9 se muestra el sistema de programación mediante modulación por amplitud.

En la programación por amplitud se utilizan dos convertidores digitales-analógicos (DAC), con el fin de poder variar el voltaje en las terminales de tuneleo y fuente del pfet. Si conecta la compuerta “G” a V_{DD} en operación normal, y a una tensión V_G en modo de programación.

Para favorecer el tuneleo de electrones, la tensión en “S” debe tener un valor cercano a GND, mientras que la tensión en “TUN”, debe aumentar lo suficiente para tener una corriente de tuneleo (I_{tun}) considerable, para notar un cambio en la tensión de la compuerta flotante (V_{FG}). El mecanismo de tuneleo de electrones produce un aumento en la carga en la compuerta flotante, y por lo tanto, una disminución en la corriente de canal, por tratarse de un transistor canal p.

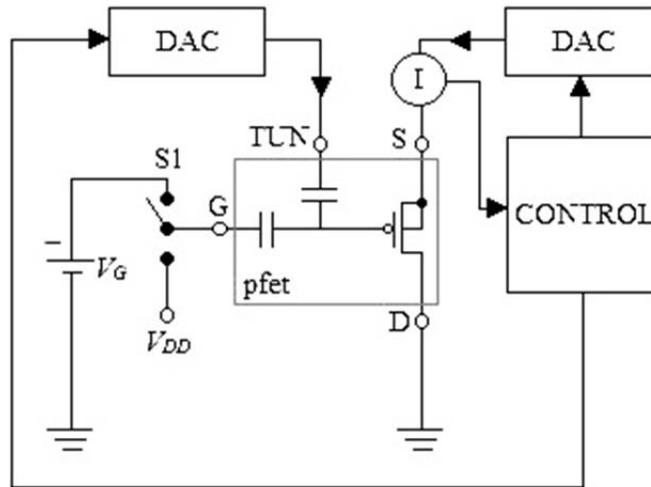


Figura 3.9. Sistema de programación de un pFET mediante modulación por amplitud. Las terminales de tuneleo y fuente se conectan a su respectivo DAC, cuya tensión de salida depende del control de la programación. El control determina la amplitud de voltaje en la terminal de tuneleo o en la fuente, de acuerdo a la corriente de destino (I_{tar}), y a la corriente medida de canal (I_S). S1 se conecta a V_G para la programación y a V_{DD} para la operación normal.

Por otro lado, para favorecer el mecanismo de inyección de electrones, la tensión en TUN debe tener un valor cercano a GND, mientras que la tensión en “S”, debe aumentar lo suficiente como para tener una corriente de inyección (I_{inj}) considerable, para notar un cambio en la tensión de la compuerta flotante (V_{FG}). El mecanismo de inyección de electrones produce una disminución en la carga en la compuerta flotante, y por lo tanto, un aumento en la corriente de canal.

Una de las principales ventajas de la programación por amplitud, es la capacidad de favorecer tanto el mecanismo de tuneleo como el de inyección en un rango de operación extendido, por ejemplo, en el mecanismo de tuneleo, la corriente I_{tun} depende de la tensión en el óxido, y ésta a su vez depende de V_{FG} , por lo que si V_{tun} se mantiene constante, la corriente de tuneleo tenderá a disminuir con el tiempo conforme aumenta V_{FG} ; en la modulación por amplitud se puede compensar la caída en I_{tun} incrementando V_{tun} .

Para el mecanismo de inyección ocurre algo similar, pues conforme se inyectan electrones a la compuerta flotante, la corriente de canal aumenta y con ello disminuye I_{inj} (si se encuentra el transistor operando arriba de umbral); en la modulación por amplitud se puede compensar la caída en I_{inj} incrementando V_{SD} .

La principal desventaja de la modulación por amplitud radica en el uso de convertidores digitales-analógicos, pues estos pueden introducir un error en la tensión de programación, producto de las propias características del DAC. Para programar un pfet por amplitud, es necesario utilizar circuitos analógicos de precisión.

3.3.2 Programación por frecuencia de pulsos

El método de programación por frecuencia de pulsos es muy usado para la programación de transistores FGMOS en un intervalo limitado, pero con una buena exactitud. El sistema de programación es más sencillo y económico comparado con el sistema de programación por amplitud. En la Figura 3.10 se muestra el sistema de programación por frecuencia de pulsos.

Este método de programación, a diferencia del método por amplitud, no requiere de convertidores digitales-analógicos de precisión, pues V_{tun} y V_{SD} son constantes. Lo que se modula ahora es la frecuencia de los pulsos en un intervalo determinado de tiempo, es decir, la “densidad de pulsos” en determinado tiempo. En la literatura se le llama frecuencia de pulsos [42], en la práctica, se trata de una cantidad variable de pulsos de ancho constante, en determinado intervalo de tiempo; por ejemplo, 96 pulsos de $10\mu s$ en un intervalo de 1ms.

La resolución mínima para este método de programación es, inversamente proporcional a la duración de los pulsos (ancho de pulso tanto para la inyección como para el tuneleo).

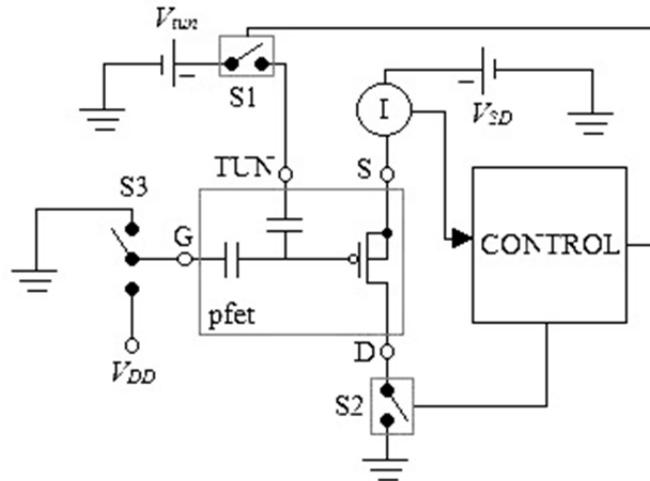


Figura 3.10. Sistema de programación de un pfet mediante modulación por frecuencia de pulsos. S1 controla la corriente de tuneleo, S2 controla la corriente de inyección, y S3 controla el voltaje de la compuerta para favorecer un mecanismo u otro. V_{tun} y V_{SD} son constantes.

Para mejorar la resolución del tuneleo de electrones se disminuye V_{tun} . Al disminuir V_{tun} , la resolución aumenta de manera exponencial, pero también la velocidad de programación decrece de la misma manera.

Un punto importante que se debe de tomar en cuenta al utilizar este método, es la limitación en la corriente de inyección y de tuneleo para cambios grandes en la carga de la compuerta flotante (ΔQ_{FG}), pues tanto en la inyección en la región arriba de umbral, y en el tuneleo de electrones, existe una realimentación negativa que limita ΔQ_{FG} , cuando V_{tun} y V_{SD} son constantes.

El método de programación por frecuencia de pulsos, por otro lado, tiene las ventajas de no utilizar circuitos de programación analógicos de precisión, y de ser fácilmente implementado dentro del circuito integrado (*on chip*).

3.3.3 Programación por ancho de pulsos

Un método de programación similar al método de programación por frecuencia de pulsos, es el método de programación por modulación de ancho de pulso (PWM). El sistema de programación para utilizar este método es el mismo de la Figura 3.10.

El método de programación consiste en modular en ancho cada uno de los pulsos tanto de inyección como de tuneleo de electrones. La resolución mínima es inversamente proporcional al cambio en el ciclo útil mínimo (ΔDc).

Este método presenta las mismas ventajas y desventajas que el método de programación por frecuencia de pulsos, sólo que en la práctica, es ligeramente más rápido, pero más difícil de implementar dentro del circuito integrado.

Los tres métodos de programación pueden ser utilizados en programación directa e indirecta [44].

3.4 Implementación del algoritmo LMS para la programación de la compuerta flotante

Hasta ahora se ha tratado sobre los mecanismos de inyección y tuneleo de electrones, que sirven para cambiar la carga en la compuerta flotante, y de los métodos de programación para llevar a cabo estos dos mecanismos. Resta tratar sobre el algoritmo de control para controlar ya sea: la amplitud, la frecuencia, o el ancho de los pulsos de programación.

El sistema de control consiste principalmente de un algoritmo de tipo adaptivo, el cual debe ser lo más exacto y rápido posible. Se pueden utilizar algoritmos de predicción basados en los modelos de inyección y tuneleo [37,44] o se pueden utilizar algoritmos digitales que funcionen de manera discreta en el tiempo [42].

En este trabajo de tesis se utiliza algoritmo LMS (*Least Mean Square*), para controlar los pulsos de programación. El algoritmo LMS es muy utilizado en filtros FIR en el procesamiento de señales [43]. Es un algoritmo muy robusto y fácil de implementar. En el capítulo 4 se detalla la implementación del algoritmo LMS en la programación de los pfets.

En la Figura 3.11 se muestra el sistema de programación utilizado en este trabajo, en la que la parte de control está basada en el algoritmo LMS.

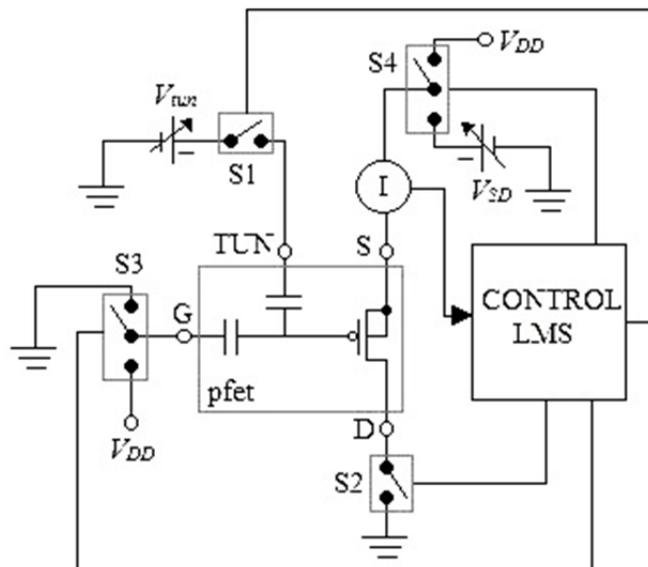


Figura 3.11. Sistema de programación de un pFET utilizado en este trabajo. S1 y S2 controlan la corriente de tuneleo en inyección respectivamente, S3 controla el voltaje de la compuerta para favorecer uno de los dos mecanismos, y S4 tiene como función habilitar o deshabilitar el mecanismo de inyección. V_{tun} y V_{SD} se ajustan de manera manual para controlar la resolución y velocidad de programación. Los interruptores S1 a S4 son de estado sólido y son controlados mediante un controlador basado en el algoritmo LMS.

El sistema de programación utilizado en este trabajo está adaptado para trabajar con el método de programación por frecuencia de pulsos o ancho de pulso.

3.5 Resumen del capítulo

En este capítulo se trata sobre el transistor FGMOS en modo de inyección y tuneleo de electrones.

Se muestra la importancia de la tensión de la compuerta flotante (V_{FG}), y de los mecanismos que modifican esta tensión a través del cambio en la carga (Q_{FG}) en esta compuerta. Los mecanismos que modifican la carga en la compuerta flotante son: el mecanismo de inyección de electrones calientes, y el mecanismo de tuneleo de electrones. La inyección produce una disminución en la carga de la compuerta flotante, mientras que el tuneleo produce un aumento en ésta. El análisis cuantitativo de estos mecanismos, se presenta en la base teórica del transistor FGMOS, así como en un macro-modelo de simulación.

En este capítulo también se muestra la dependencia de V_{FG} , de las diferentes tensiones en las compuertas de control, acopladas capacitivamente a la compuerta flotante.

Se mencionan los diferentes métodos de programación a través de la inyección y tuneleo de carga de la compuerta flotante, los cuales son tres: el método de programación por modulación en amplitud, el método de programación por frecuencia de pulsos, y el método de programación por ancho de pulso. Se presentan las ventajas y desventajas de cada uno de estos métodos.

Finalmente, se presenta el sistema de programación de transistores FGMOS canal p (pfet), utilizado en este trabajo de tesis, en el cual, los pulsos de programación están controlados por un algoritmo LMS.

Capítulo 4

Utilización del algoritmo LMS para la programación de transistores MOS de compuerta flotante

4.1 Introducción

En el capítulo anterior se trataron los diferentes métodos de programación del pfet. Estos métodos consisten en un procedimiento en el que se favorece uno de los dos mecanismos para cambiar la carga en la compuerta flotante. La cantidad de carga que se extrae o se inyecta de la compuerta flotante, es controlada por un bloque de control basado en el algoritmo LMS.

El algoritmo LMS es muy utilizado para el procesamiento de señales, por ejemplo, en el diseño de filtros FIR con celdas de memoria analógicas [45].

El análisis matemático del algoritmo LMS es complicado debido a su naturaleza estocástica y no-lineal. Aunque el LMS es complicado en términos matemáticos, es muy fácil de implementar en términos computacionales, como se muestra en la Ecuación (4.1).

$$\Delta\omega_n = \zeta x_n e \tag{4.1}$$

Donde, ω_n es el peso del sistema (tensión en la compuerta flotante, tensión en una celda de memoria, etc...), x_n es el valor de la señal de entrada (tensión de offset, señal de entrada de un filtro FIR en el TAP n , etc...), ζ es la velocidad de adaptación, y e es la señal de error.

En nuestro caso, $\Delta\omega_n$ es el cambio en la tensión de la compuerta flotante, ζ es la velocidad de adaptación, x_n es la corriente de canal y e , es la señal de error que es igual a: $I_{tar} - I_S$, donde I_{tar} es la corriente de destino.

En este capítulo, se analizará en términos generales el algoritmo LMS, su implementación en términos computacionales mediante un FPGA y Labview, así como los resultados experimentales obtenidos en la programación de transistores FGMOS.

4.2 Base teórica del algoritmo LMS

El algoritmo LMS (*Least Mean Square Algorithm*), surgió como un simple pero efectivo algoritmo para el diseño de filtros transversales adaptivos.

El algoritmo LMS fue presentado por Widrow y Hoff en 1959 dentro de su estudio de una máquina de reconocimiento de patrones, conocida como: “elemento lineal adaptivo (*Adaptive Linear Element*)”, o *Adaline* [46]. El LMS es un algoritmo de gradiente estocástico, el cual itera el peso de cada *TAP* de un filtro transversal, en la dirección del gradiente instantáneo del cuadrado de la señal de error con respecto al peso del *TAP* en cuestión [47].

Si ω_n es el vector del peso en el *TAP* n del filtro LMS, en la iteración n , la operación de adaptación del filtro, se describe por la ecuación recursiva:

$$\omega(n+1) = \omega(n) + \zeta x(n)e(n) \quad (4.2)$$

En la Ecuación (4.2), se muestra la simplicidad del algoritmo LMS en términos computacionales. Las propiedades del algoritmo LMS, le han dado muchas aplicaciones prácticas [48,49], no sólo en las más de cuatro décadas pasadas, sino también en las que vienen.

El algoritmo LMS también se puede representar en términos de una función de costo del error cuadrático medio:

$$\nabla J(\omega(n)) = -e(n)x(n) \quad (4.3)$$

Donde $J(\omega(n))$ es la función de costo del error cuadrático medio. El LMS es un algoritmo iterativo de gradiente descendente que se aproxima al SD (*Steepest Descend*), y que trata de encontrar los pesos $\omega(n)$, para minimizar el error cuadrático medio.

Si se asume un sistema de filtro transversal como el de la Figura 4.1, en que se tiene un número de *TAPS* igual a n , y las señales involucradas tienen valores reales, se tiene:

$$y(n) = \sum_{i=0}^{N-1} \omega_i(n)x(n-i) \quad (4.4)$$

Donde $y(n)$ es la señal de salida del filtro.

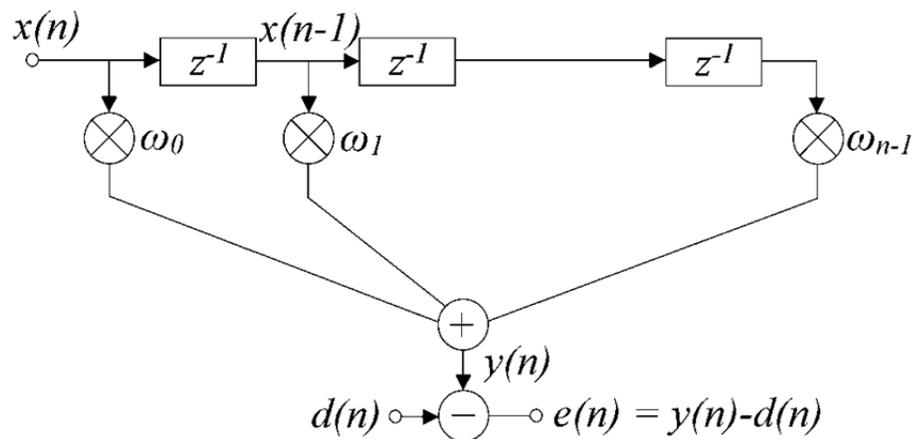


Figura 4.1. Filtro transversal con n *TAPS*. $x(n)$ es la señal de entrada, $y(n)$ es la señal de salida del filtro, $d(n)$ es la respuesta deseada, $e(n)$ es la señal de error, y $\omega(n)$ es el peso en cada *TAP* del filtro. Los pesos $\omega(n)$ en cada *TAP* son actualizados de acuerdo a la Ecuación (4.2).

El algoritmo LMS adapta el peso de cada uno de los *TAPS* de tal manera que la señal de error $e(n)$ es minimizada de manera cuadrática-media. Cuando los procesos $x(n)$ y $d(n)$ tienden a ser igual en estado estable, el algoritmo LMS converge a una serie de pesos en cada *TAP*, que en promedio, son iguales a la solución de Wiener-Hopf [46]. El algoritmo LMS es prácticamente un esquema para realizar filtros Wiener, sin necesidad de resolver explícitamente la ecuación de Wiener-Hopf. El algoritmo LMS convencional es una implementación estocástica del algoritmo SD, en donde sólo se reemplaza la función de costo $J(\omega(n)) = E[e^2(n)]$ por su valor instantáneo estimado: $\hat{J}(\omega(n)) = e^2(n)$.

Sustituyendo $\hat{J}(\omega(n))$ por $J(\omega(n))$ en la recursión del algoritmo SD, se obtiene:

$$\bar{\omega}(n+1) = \bar{\omega}(n) - \xi \nabla e^2(n) \quad (4.5)$$

Donde

$$\bar{\omega}(n) = \left[\omega_0(n) \quad \omega_1(n) \quad \dots \quad \omega_{N-1}(n) \right]^T$$

$$\nabla = \left[\frac{\partial}{\partial \omega_0} \quad \frac{\partial}{\partial \omega_1} \quad \dots \quad \frac{\partial}{\partial \omega_{N-1}} \right]^T$$

El i -ésimo del vector gradiente $\nabla e^2(n)$ es:

$$\begin{aligned} \frac{\partial e^2(n)}{\partial \omega_i} &= 2e(n) \frac{\partial e(n)}{\partial \omega_i} \\ &= -2e(n) \frac{\partial y(n)}{\partial \omega_i} \\ &= -2e(n)x(n-i) \end{aligned} \quad (4.6)$$

Por lo tanto:

$$\nabla e^2(n) = -2e(n)\bar{x}(n) \quad (4.7)$$

Donde

$$\vec{x}(n) = \begin{bmatrix} x(n) & x(n-1) & \dots & x(n-N+1) \end{bmatrix}^T$$

Finalmente se obtiene:

$$\vec{\omega}(n+1) = \vec{\omega}(n) + 2\xi e(n)\vec{x}(n) \quad (4.8)$$

La Ecuación (4.8) es la ecuación recursiva del algoritmo LMS.

En resumen, el algoritmo LMS se compone de lo siguiente:

Señales de entrada:

- Vector de entrada, $\vec{x}(n)$
- La señal de salida deseada, $d(n)$
- El vector de pesos de cada TAP, $\vec{\omega}(n)$

Señales de salida:

- Salida del filtro, $y(n)$
- El vector actualización de pesos de cada TAP, $\vec{\omega}(n+1)$

Adicionalmente, el algoritmo LMS tiene las características siguientes:

- Filtro, $y(n) = \vec{\omega}^T(n)\vec{x}(n)$
- Error estimado, $e(n) = d(n) - y(n)$
- Adaptación de los pesos de cada TAP, $\vec{\omega}(n+1) = \vec{\omega}(n) + 2\xi e(n)\vec{x}(n)$

El algoritmo LMS tiene la ventaja de ser fácilmente implementado, además de ser estable y robusto. Su principal desventaja es el lento tiempo de convergencia, aunque existen métodos para mejorar ésta [50,51].

Cuando el algoritmo LMS se implementa dentro del circuito integrado (*on-chip*), es posible determinar los efectos en el desempeño de éste, con base en el diseño VLSI [52].

4.3 Implementación del algoritmo LMS

El algoritmo LMS se implementó para programar la carga de la compuerta flotante de los transistores FGMOS utilizados en los circuitos de este trabajo. El primer circuito es un programador para transistores FGMOS (Figura 3.11), el segundo circuito es un programador para amplificadores operacionales de precisión con corrección de offset referido a la entrada mediante dos transistores FGMOS.

En la Figura 4.2 se muestra el circuito programador para amplificadores operacionales de precisión. El amplificador de precisión que se detalla en el capítulo 5, se conecta como seguidor de voltaje con una tensión de entrada en modo común (V_C), que también es la tensión de referencia del ADC. Esta conexión permite leer de manera directa la tensión de offset σ . La tensión de referencia (V_C) es utilizada también como señal deseada ($d(n)$), y como señal de entrada del sistema (amplificador operacional de precisión) $x(n)$. El bloque de control consiste en un ADC y en un sub-bloque que realiza el cómputo del algoritmo LMS. La tensión de salida del amplificador ($y(n)$), es utilizada para obtener la señal de error al restarla de la tensión de referencia o deseada $d(n)$. Los pesos actualizados ($\omega_i(n+1)$), pasan por un acondicionador de señales para ajustar la tensión en las compuertas flotantes dentro del amplificador de precisión a través de las señales V_{un} , V_{inj} , y V_{SD} .

Los pesos del algoritmo LMS ($\omega_i(n)$), se almacenan en un esquema basado en carga [53]. En la práctica, $\omega_i(n)$, son las tensiones de las compuertas flotantes dentro del amplificador, que equivalen a la carga eléctrica de dichas compuertas, entre la capacitancia total vista por ellas.

Como se observa, el sistema de programación equivale en teoría, a un sistema de filtro transversal con un solo *TAP*, en el que el amplificador operacional de precisión, es un

sistema que tiene como entrada la señal $x(n)$, y la procesa considerando los pesos $\omega_i(n)$, para obtener una salida $y(n)$.

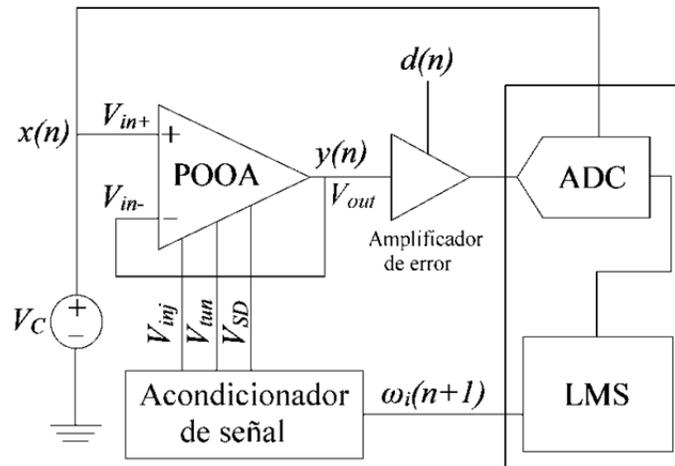


Figura 4.2. Circuito programador de amplificadores operacionales de precisión con corrección de offset mediante transistores FGMOS. En el bloque de control se aprecia un sub-bloque que realiza el cómputo del algoritmo LMS con las señales de entrada $x(n)$ y $d(n)$, que en este caso son iguales a V_C . La salida del amplificador $y(n)$, se utiliza en el bloque de control para obtener la señal de error. La salida del bloque de control ($\omega_i(n+1)$), pasa por un acondicionador de señales para programar las tensiones de las compuertas flotantes dentro del amplificador ($\omega_i(n)$).

El algoritmo LMS dentro del bloque de control, se implementó mediante un FPGA, y a través de un programa en Labview.

4.3.1 Implementación en un FPGA

El bloque de control consiste en un ADC y en un bloque en donde se encuentra implementado el algoritmo LMS. Para implementar el algoritmo LMS, se utilizó un sistema digital dentro de un FPGA. En [54] se muestra una manera de implementar el algoritmo LMS dentro de un microcontrolador PIC, mientras en [55] se presenta la implementación en un FPGA.

En la Figura 4.3, se muestra el sistema digital implementado dentro de un FPGA Xilinx Spartan 3E. Este sistema digital funciona como un filtro digital transversal de un solo *TAP*.

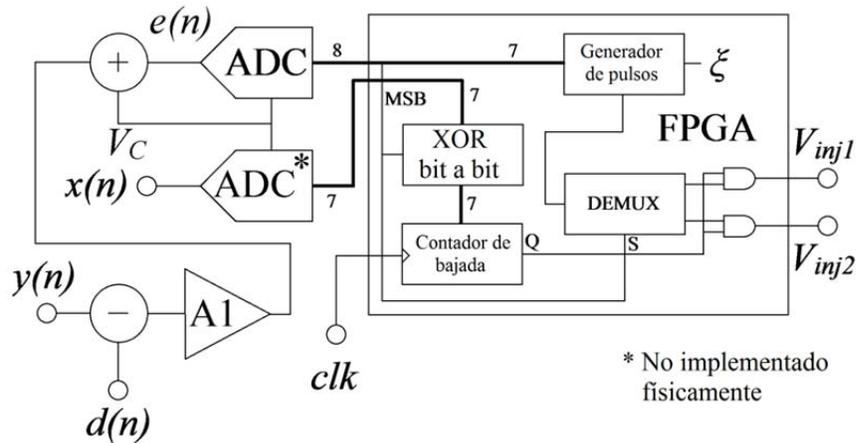


Figura 4.3. Sistema de control mediante algoritmo LMS implementado en un FPGA. $x(n)$ y $y(n)$ son la entrada y salida del amplificador operacional respectivamente; $d(n)$ es la tensión en modo común (V_C), ζ es la velocidad de adaptación, clk es el reloj del sistema de control, y V_{inj1} y V_{inj2} son las salidas de los pulsos de inyección de los transistores FGMOS.

La tensión de entrada y salida del amplificador operacional son $x(n)$ y $y(n)$, mientras que la tensión en modo común (V_C) es la señal de destino $d(n)$. Como el amplificador está configurado como seguidor de voltaje, la señal $y(n)$ debe converger a un valor $x(n)$, por lo que la señal de destino $d(n)$, debe de ser igual a $x(n)$; bajo estas condiciones, la tensión de offset referido a la entrada (σ) debe de converger a cero. Como $x(n)$ es la tensión en modo común, que es igual a la mitad de la tensión de alimentación (V_{DD}), $d(n)$ debe de tener éste mismo valor. La tensión en modo común (V_C) es igual a 2.5V.

La señal de error $e(n)$ se obtiene de (4.9).

$$e(n) = A_{v1}(y(n) - d(n)) + V_C \quad (4.9)$$

Donde A_{v1} es la ganancia del amplificador de error A1. El signo de la señal de error $e(n)$ se obtiene con base en la tensión V_C , por ejemplo: si se conecta un amplificador operacional con una tensión de offset inicial $\sigma=10mV$, véase la Figura 2.6, se tendrá a la salida del

amplificador una tensión de 2.49V, y la señal de error tendrá un valor de 1.5V, para un $A_{VI} = 100$. El ADC utiliza un formato de datos “entero de 8 bits signado”, por lo que el bit más significativo contiene el signo de la señal de error. Los 7 bits menos significativos contiene la magnitud del error. Estos 7 bits se conectan por un lado a un generador de pulsos, el cual genera un tren de pulsos de $100\mu\text{s}$ cuya frecuencia depende del valor de la magnitud de la señal de error, y por otro lado, a 7 compuertas XOR (*bitwise*), para extraer la magnitud de la señal de error y precargar un contador de bajada para crear una ventana en la que pasarán los pulsos del generador a una u otra terminal de inyección de la estructura FGMOS.

El demultiplexor tiene como función determinar cuál terminal de inyección debe de recibir los pulsos de adaptación de acuerdo al signo de la señal de error. La velocidad de adaptación depende del ancho de los pulsos del generador, y de la frecuencia del contador de bajada. Para una frecuencia $clk = 5\text{kHz}$ y un ancho de pulso de $100\mu\text{s}$, la velocidad de adaptación (ξ) es aproximadamente 1.9.

En la Figura 4.4, se muestra la parte del código en VHDL del sistema de control que realiza el cómputo del algoritmo LMS dentro del FPGA.

La arquitectura del generador de pulsos es muy similar a la arquitectura del circuito de control de la Figura 4.3. Se precarga un contador de bajada de 7 bits con la magnitud de la señal de error y se utiliza una compuerta AND para crear una ventana con una señal de reloj de 5kHz al 50% de ciclo útil. El resultado es un tren de pulsos de $100\mu\text{s}$ cuya frecuencia depende del valor con el que se precarga el contador. Cuando el contador se precarga con un valor de cero, el generador no tiene pulsos a su salida, por el contrario, cuando se precarga con un valor de 127 (siete unos), el generador presenta a su salida una frecuencia de 5kHz.

El convertidor analógico-digital (ADC), toma las muestras cada 25.6ms, cuando la señal de reloj (clk) está en estado bajo, de esta manera, la señal que lee el ADC depende solamente de los cambios en la carga de las compuertas flotantes (ΔQ_{FG}), y no de la influencia de los pulsos de inyección acoplados capacitivamente a dichas compuertas flotantes.

```

--Sistema de control con algoritmo LMS

library ieee;

use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
use ieee.work.lms_comps.all;

entity lms is
    port(clk, adc_sign: in STD_LOGIC;
          vinj1, vinj2: out STD_LOGIC;
          adc: in STD_LOGIC_VECTOR(6 downto 0));
end lms;

architecture ar_lms of lms is
    signal pre_cont, cont: STD_LOGIC_VECTOR(6 downto 0);
    signal cont_en, mux1, mux2, gen: STD_LOGIC;
begin

    process (clk,pre_cont,cont)
    begin
        if rising_edge(clk) then
            if (pre_cont /= "000000")then
                cont <= pre_cont;           --Precarga
            else
                if (cont = "000000") then
                    cont_en <= '0';
                else
                    cont_en <= '1';         --Contador de bajada
                    cont <= cont - 1;
                end if;
            end if,
        end if;
    end process;

    mux1 <= gen and not cont_en;           --Demultiplexor
    mux2 <= gen and cont_en;
    vinj1 <= mux1 and cont_en;             --Compuertas AND
    vinj2 <= mux2 and cont_en;

    --Generador de pulsos y bitwise
    U0: gen_pul port map(adc=>adc,adc_sign=>adc_sign,gen=>gen);
    U1: bit_wise port map(adc=>adc,adc_sign=>adc_sign,pc=>pre_cont);

end ar_lms;

```

Figura 4.4. VHDL del sistema de control mediante algoritmo LMS implementado en un FPGA.

4.3.2 Implementación en Labview

El sistema de control con el algoritmo LMS se implementó también mediante un instrumento virtual en Labview®, y un microcontrolador con ADC. La función del microcontrolador es crear una interfaz de comunicación entre la computadora y los acondicionadores de señal.

La interfaz de comunicación utilizada es una UART (*Universal Asynchronous Receiver Transmitter*). Debido a la baja velocidad de esta interfaz respecto a una interfaz paralela como la utilizada en el sistema con FPGA, el tiempo de adaptación de los pesos de los transistores FGMOS es mayor. La principal ventaja de este segundo sistema de control, es la flexibilidad, pues es posible experimentar con diferentes velocidades de adaptación desde el panel de control del instrumento, además es más fácil el manejo de datos para su publicación.

En la Figura 4.5, se muestra el panel frontal en Labview del sistema de control con algoritmo LMS. Como se muestra en la figura, la velocidad de adaptación se puede controlar desde el panel frontal, facilitando la experimentación y la publicación [3].

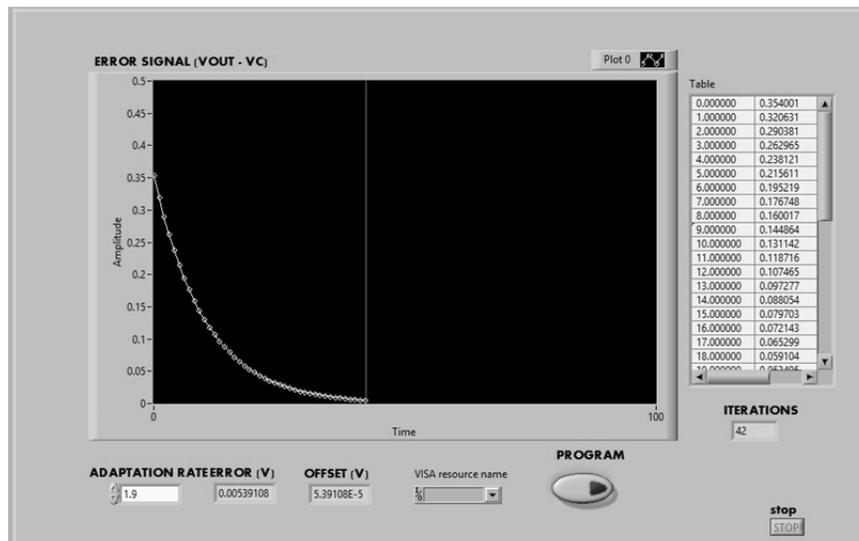


Figura 4.5. Panel frontal en Labview del sistema de control con algoritmo LMS.

4.4 Diseño del sistema de programación mediante el algoritmo LMS

El sistema de programación consiste de diferentes bloques electrónicos: la fuente de alimentación, el ADC, el bloque de control con algoritmo LMS, el circuito de polarización, el amplificador de error, los acondicionadores de señal y un amplificador de offset programable (POOA). En la Figura 4.6 se muestra el diagrama de bloques del sistema completo de programación.

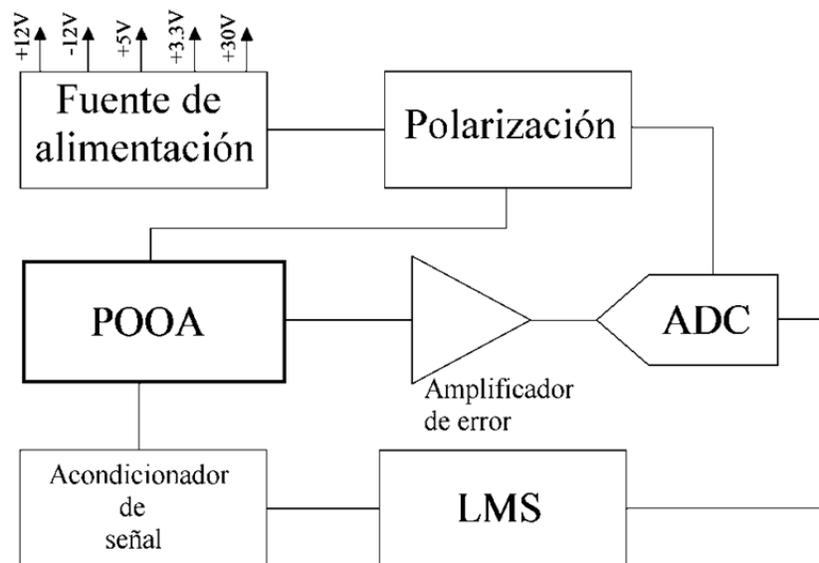


Figura 4.6. Diagrama de bloques del sistema de programación de estructuras FG MOS.

La fuente de alimentación, es una fuente de tipo lineal aislada con 5 salidas: +12V, -12V, +5V, +3.3V y +30V. La fuente de alimentación está diseñada para proporcionar hasta 500mA por salida y una tensión de rizo <1%. Las fuentes de +12V y -12V se emplean en el amplificador de error y en los acondicionadores de señal, las fuentes de +5V y 3.3V se emplean para alimentar el circuito integrado, finalmente, la fuente de +30V, se emplea para acondicionar los pulsos de tuneleo de electrones.

Los circuitos de polarización tienen dos funciones: proporcionar las tensiones de polarización del amplificador operacional, y proporcionar las tensiones adecuadas para los pulsos de programación. Las tensiones de polarización son 3: V_{BIAS1} , V_{BIAS2} , y V_{BIAS3} ; V_{BIAS1} y V_{BIAS2} son las tensiones de polarización de los transistores pmos de la etapa “*folded cascode*”, y tienen un valor de 3.87V y 2.9V respectivamente. V_{BIAS3} es la tensión de polarización para la fuente de corriente del par diferencial de entrada y del *buffer* de salida, y tiene un valor de 0.67V. Las tensiones de los pulsos de inyección y tuneleo de electrones tienen un valor de 7.5V y 27V respectivamente.

El amplificador de error A1, es un amplificador no-inversor de ganancia variable, ajustado exteriormente para una tensión de offset nula. La ganancia del amplificador se puede ajustar en un intervalo de 1 a 1000. Cuanto mayor es la ganancia de este amplificador, mayor es la resolución del ADC y mejor es el ajuste de la tensión de offset del amplificador operacional con transistores FGMOS. La impedancia de entrada de este amplificador es muy alta ($>10M\Omega$), suficiente para despreciar los efectos de carga. La impedancia de salida del amplificador es baja, por lo que también sirve para acoplar el circuito integrado (*CHIP*) al convertidor analógico-digital (ADC).

El convertidor analógico-digital (ADC), es de 8 bits de resolución y cuenta con entradas de referencia, pues una de ellas debe ser conectada a la señal de entrada ($x(n)$) del sistema LMS. En el sistema que utiliza el FPGA se emplea un ADC externo (ADC0804), y para el sistema con microcontrolador se utiliza el ADC interno de 10bits, aunque sólo se ocupan los 8 bits más significativos.

El acondicionador de señales es un circuito basado en amplificadores operacionales y transistores BJT, que es alimentado con los circuitos de polarización y es controlado por el bloque de control con algoritmo LMS para proporcionar los pulsos de inyección y tuneleo de electrones con la amplitud adecuada. En este bloque también se implementa el interruptor S4 mostrado en la Figura 3.11, utilizado para la programación directa del transistor FGMOS.

El sistema de programación completo se muestra en la Figura 4.7. La tarjeta Spartan 3E se utilizó en la versión con FPGA, y la tarjeta con microcontrolador de la izquierda en la versión para Labview.

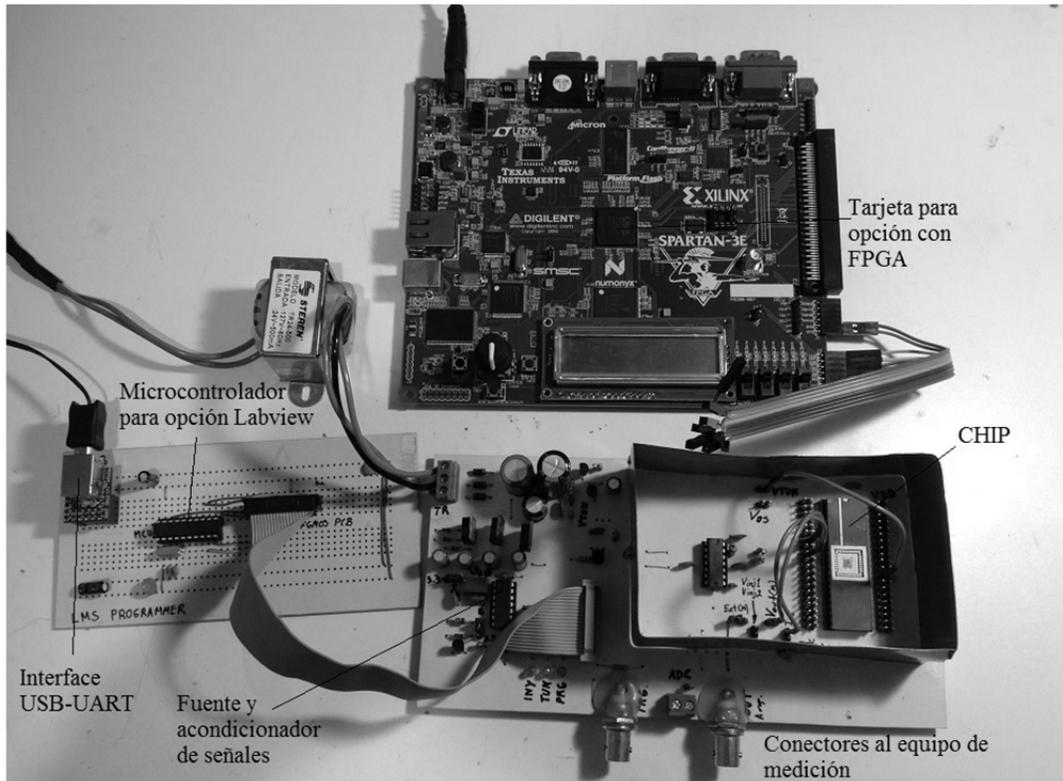


Figura 4.7. Sistema de programación de estructuras FG-MOS. El sistema incluye la fuente de alimentación, los circuitos de polarización, los acondicionadores de señal, el ADC, el amplificador de error, el bloque de control y la base para montar el circuito integrado con las estructuras FG-MOS.

4.5 Resultados experimentales

El circuito programador de estructuras FG-MOS se utilizó para probar el comportamiento asintótico del algoritmo LMS, y para reducir la tensión de offset en amplificadores operacionales en campo, es decir, fuera del proceso de fabricación. En la Figura 4.8 se muestran las señales de error en todas las iteraciones realizadas por el algoritmo LMS para

diferentes tasas de adaptación. La ganancia del amplificador de error del sistema de programación es de 1000 y el bloque de control se implementó con el microcontrolador PIC y una aplicación en Labview.

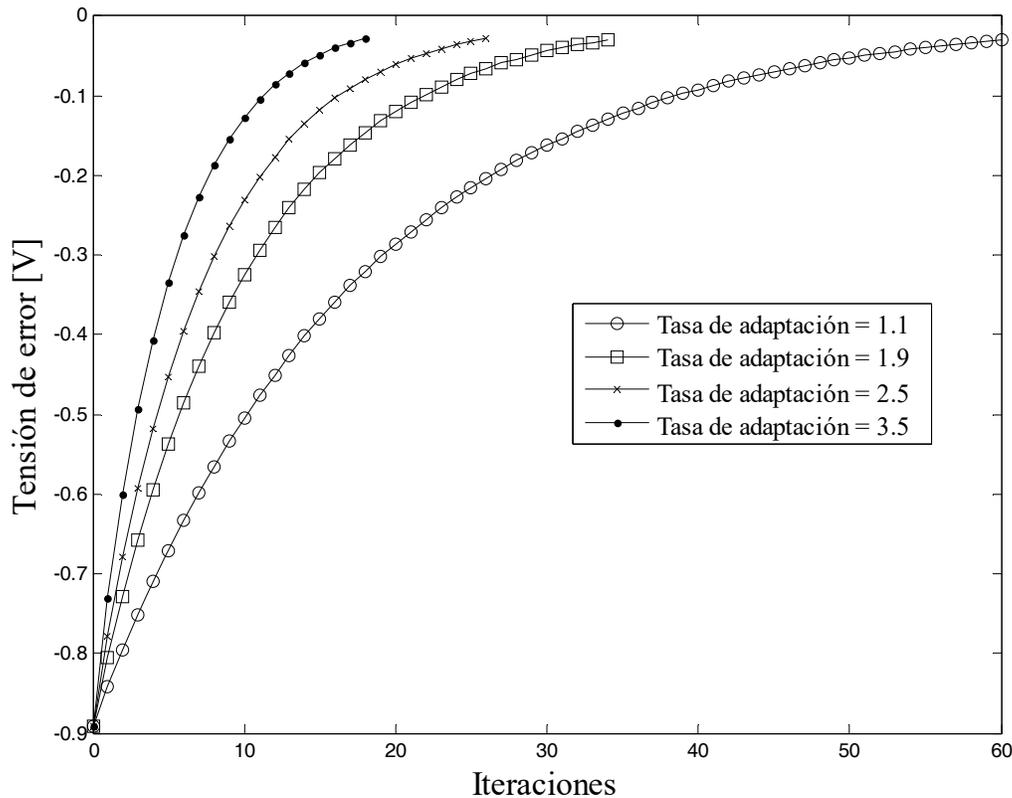


Figura 4.8. Resultados obtenidos de la señal de error $A_{VI}(d(n)-y(n))$ para un amplificador operacional con una tensión de offset inicial de $-891\mu\text{V}$ y diferentes tasas de adaptación. La ganancia del amplificador de error es de 1000.

En la Figura 4.9 se muestran los resultados experimentales obtenidos al programar un amplificador operacional con estructuras FGMOS. La tensión de offset inicial es de $-890\mu\text{V}$ y la ganancia del amplificador de error es de 1000. Como se observa, la tensión inicial de salida del amplificador de error es de aproximadamente 3.39V , para después converger a un valor de 2.52V que es aproximadamente la tensión de salida deseada $d(n)$. La tensión de offset (σ), se obtiene a partir de la ganancia y tensión de salida del amplificador de error, como se muestra en la ecuación (4.10).

$$\sigma = \frac{V_c - e(n)}{A_{VI}} \quad (4.10)$$

A_{VI} es la ganancia del amplificador de error.

Con una ganancia de 1000 en el amplificador de error, la tensión de offset tiende a ser baja, pues la resolución en voltaje del ADC se incrementa, la desventaja de tener alta ganancia, es la sensibilidad al ruido del amplificador de error que puede provocar errores significativos de medición.

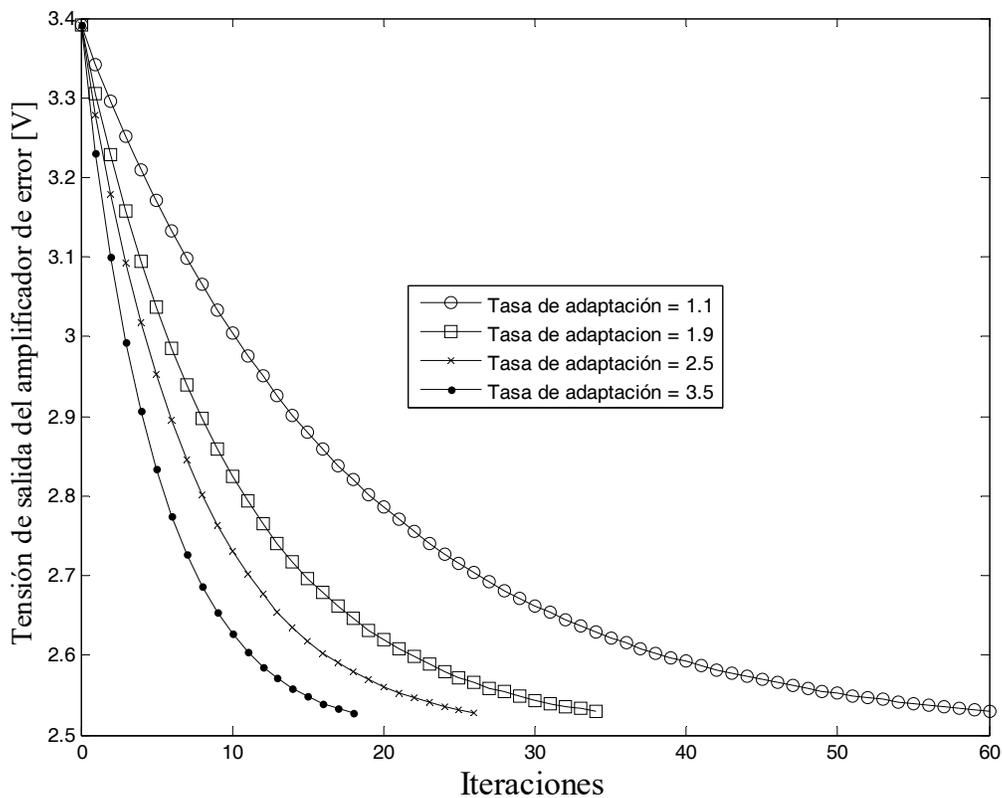


Figura 4.9. Resultados obtenidos para un amplificador operacional con una tensión de offset inicial de $-891\mu\text{V}$ y diferentes tasas de adaptación. La tensión mostrada en la gráfica se tomó de la salida del amplificador de error del sistema de programación. La tensión de salida converge cerca de los 2.5V, que es la señal deseada $d(n)$.

En la Figura 4.10 se muestran los resultados obtenidos al programar un amplificador operacional con una tensión de offset inicial de +3.54mV. La ganancia del amplificador de error es de 100, y el bloque de control se implementó con el FPGA Spartan 3E de Xilinx.

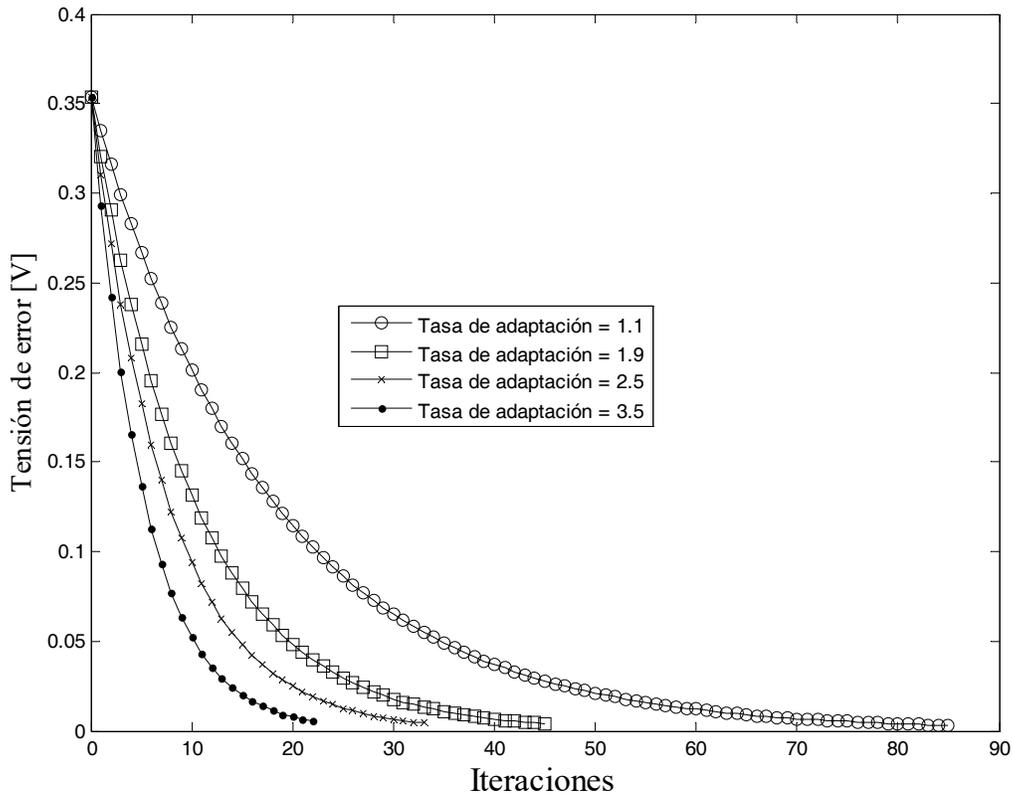


Figura 4.10. Resultados obtenidos en la señal de error $A_{V1}(d(n)-y(n))$ para un amplificador operacional con una tensión de offset inicial de +3.54mV y diferentes tasas de adaptación. La ganancia del amplificador de error es de 100.

Como se observa, la tensión de la señal de error es menor debido a la disminución de ganancia del amplificador de error. Aunque la tensión de la señal de error es menor, la tensión de offset es mayor. Al evaluar los resultados y calcular la tensión de offset, se obtuvo que conforme se aumenta la tasa de adaptación (ζ), la tensión de offset final aumenta ligeramente también.

En la Figura 4.11 se muestran los resultados de la tensión de salida del amplificador de error para diferentes tasas de adaptación.

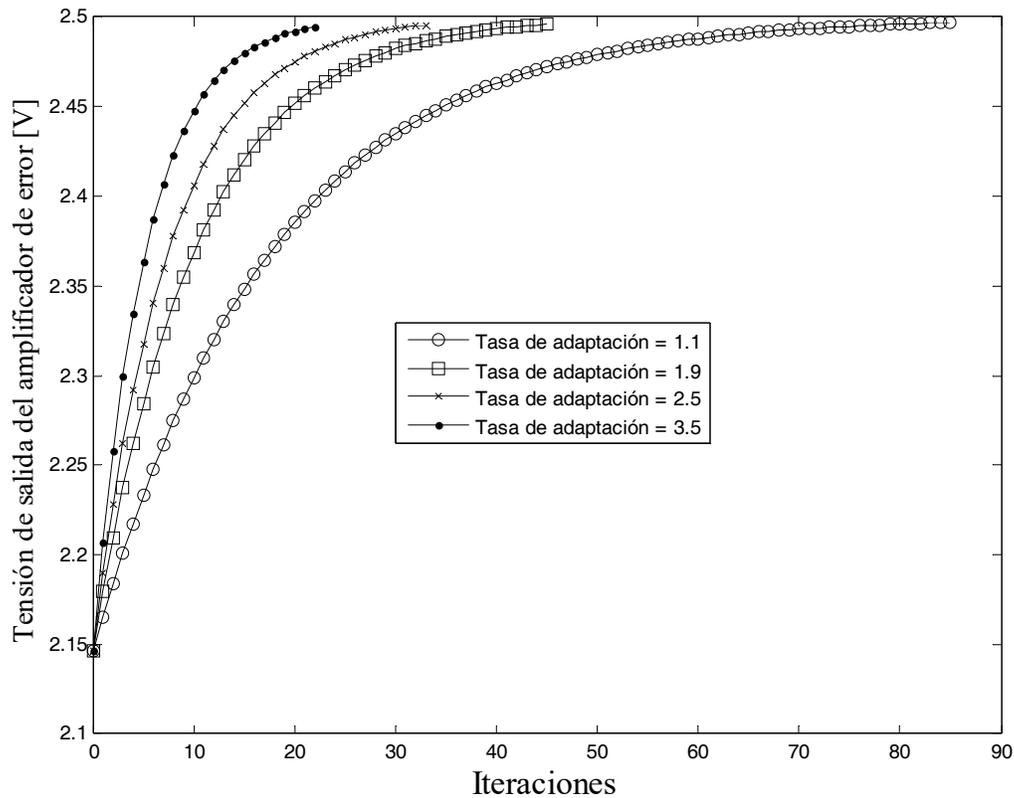


Figura 4.11. Resultados obtenidos para un amplificador operacional con una tensión de offset inicial de +3.54mV y diferentes tasas de adaptación. La tensión mostrada en la gráfica se tomó de la salida del amplificador de error del sistema de programación basado en FPGA. La ganancia del amplificador de error es de 100.

En la Tabla 4.1 se muestran los resultados obtenidos en la programación del primer amplificador con tensión de offset inicial de -890 μ V. Como se observa, la tensión de offset final, es casi igual para las cuatro tasas de adaptación, esto se debe a la alta resolución en voltaje del ADC, que es producido por la alta ganancia del amplificador de error.

En la Tabla 4.2 se muestran los resultados obtenidos en la programación del segundo amplificador. Como se observa, conforme se incrementa la tasa de adaptación (ξ), la tensión de offset (σ) aumenta ligeramente, mientras que el número de iteraciones disminuye considerablemente.

Tabla 4.1. Resultados obtenidos en la programación del primer amplificador con tensión de offset inicial de $-890\mu\text{V}$. La ganancia del amplificador de error es de 1000.

Tasa de adaptación	Tensión de offset final	Número de iteraciones	Tensión final de salida	Tensión final de error
1.1	$29.6\mu\text{V}$	61	2.5296V	-0.0296V
1.9	$25.3\mu\text{V}$	35	2.5253V	-0.0253V
2.5	$27.1\mu\text{V}$	27	2.5271V	-0.0271V
3.5	$27\mu\text{V}$	19	2.527V	-0.027V

Tabla 4.2. Resultados obtenidos en la programación del segundo amplificador con tensión de offset inicial de $+3.54\text{mV}$. La ganancia del amplificador de error es de 100.

Tasa de adaptación	Tensión de offset final	Número de iteraciones	Tensión final de salida	Tensión final de error
1.1	$30\mu\text{V}$	86	2.497V	$+0.003\text{V}$
1.9	$40\mu\text{V}$	46	2.496V	$+0.004\text{V}$
2.5	$44\mu\text{V}$	34	2.4956V	$+0.0044\text{V}$
3.5	$53\mu\text{V}$	23	2.4947V	$+0.0053\text{V}$

De acuerdo a los resultados obtenidos, se logró disminuir la tensión de offset hasta unos $25\mu\text{V}$, lo cual es comparable con los resultados en [2], con la ventaja de utilizar un método de programación por frecuencia de pulsos, lo que evita el uso de convertidores digitales-analógicos (DAC) dentro del *CHIP*.

Finalmente, se puede apreciar en los resultados, que al aumentar la ganancia del amplificador de error, se incrementa la resolución en voltaje del ADC, con lo que la tensión de offset final disminuye. Debido a los problemas de interferencia y ruido en amplificadores analógicos de alta ganancia, se espera, en teoría, que al disminuir un poco la ganancia del amplificador de error, aumentar la resolución en bits del ADC y utilizar mejores técnicas de reducción de ruido, la tensión de offset puede reducirse aún más.

4.6 Resumen del capítulo

En este capítulo se trató la base teórica del algoritmo LMS. Se mostró la utilidad de este algoritmo en el diseño de filtros transversales de impulso finito (FIR) y sus características de adaptación, velocidad e implementación computacional.

En resumen, el algoritmo LMS tiene las siguientes características: señal de salida: $y(n) = \vec{\omega}^T(n)\vec{x}(n)$; error estimado: $e(n)=d(n)-y(n)$; adaptación de los pesos: $\vec{\omega}(n + 1) = \vec{\omega}(n) + 2\xi e(n)\vec{x}(n)$.

En este capítulo también se mostró el diseño de dos sistemas de programación de estructuras FGMOS basados en dicho algoritmo. La primera se implementó mediante un microcontrolador PIC y una aplicación en Labview, mientras que la segunda se implementó mediante un FPGA y un ADC de 8 bits externo. Para ambos sistemas se utilizó el método de frecuencia de pulsos para modular las señales de inyección y tuneo de electrones. La duración de los pulsos es de $100\mu\text{s}$ y la señal de referencia es de 2.5V.

En cuanto a los resultados obtenidos, se observa que es posible reducir la tensión de offset hasta alrededor de $25\mu\text{V}$, lo cual es considerado en términos prácticos, como “cancelación de offset”.

Para reducir aún más la tensión de offset, se espera, en teoría, que se puede lograr a través del uso de un convertidor analógico-digital de mayor resolución, la disminución de la ganancia del amplificador de error del sistema de programación, así como del uso de más y mejores técnicas de reducción de ruido en el diseño del sistema de programación.

Capítulo 5

Reducción de la tensión de offset referida a la entrada en amplificadores operacionales

5.1 Introducción

En la actualidad, muchas de las aplicaciones en instrumentación, en el procesamiento de señales y en la investigación, requieren de circuitos analógicos basados en amplificadores operacionales con una tensión de offset muy baja ($<100\mu\text{V}$). Estos amplificadores operacionales se encuentran en el mercado a un alto costo, debido a que la técnica para reducir dicha tensión de offset se lleva a cabo dentro del proceso de fabricación. En este capítulo, se presenta un diseño de amplificador operacional implementado con estructuras FGMOS, que presenta una tensión de offset muy baja. La principal ventaja de este diseño, es la facilidad de implementación del proceso de reducción de offset, debido a que éste se realiza en campo, es decir, fuera del proceso de fabricación.

Para poder comparar el desempeño del amplificador operacional con estructuras FGMOS, se diseñó un amplificador operacional convencional tipo “*folded cascode*”. El diseño de este amplificador y la elección de la topología se realizó para cumplir con ciertas características eléctricas necesarias para el desarrollo de este trabajo de tesis, como son: baja tensión de offset, alta estabilidad, baja tensión de alimentación, baja corriente de polarización en la entrada, entre otras.

Aunque en la actualidad existen diseños de amplificadores operacionales con alta ganancia y ancho de banda grande [56], para este trabajo es preferible contar con un margen de fase muy alto, aunque se sacrifiquen el ancho de banda y la ganancia en lazo abierto.

Al final de la sección 5.2 se muestran los resultados experimentales obtenidos de la caracterización de algunos amplificadores tipo “*folded cascode*”.

En la sección 5.3 se presenta el diseño del amplificador operacional implementado con estructuras FGMOS, así como los resultados experimentales obtenidos de la caracterización del mismo. El diseño utiliza transistores FGMOS cuya compuerta flotante se programa a través de mecanismos de inyección y tuneo de electrones. En capítulos anteriores, se mencionó que la tensión de la compuerta flotante también se puede establecer a través del acoplamiento capacitivo de ésta con las diferentes compuertas de control. Con este acoplamiento es posible realizar diseño de estructuras analógicas de muy bajo voltaje, incluyendo los amplificadores operacionales [18,57]. Para este trabajo se utilizó la carga de la compuerta flotante como una especie de memoria analógica para almacenar el ajuste de la tensión de offset, ésta es una de las principales razones por las que se eligió el método de inyección y tuneo en lugar del método por acoplamiento capacitivo.

En el diseño del amplificador se utilizaron apenas dos transistores FGMOS y 11 MOSFET. La programación se realizó con el sistema descrito en el capítulo 4 mediante el algoritmo LMS.

En este capítulo también se detalla el diseño del amplificador operacional tipo “*folded cascode*” convencional y con estructuras FGMOS, así como la simulación en PSpice y el diseño geométrico en L-Edit. La tensión de offset se simuló mediante el método de Monte-Carlo debido a que esta tensión sólo se puede describir de forma estadística. Al final del capítulo se muestran los resultados experimentales obtenidos y algunas de las aplicaciones del amplificador operacional con tensión de offset reducida en el campo de la ingeniería.

5.2 Diseño de un amplificador tipo *folded cascode*

El amplificador operacional es una estructura analógica fundamental en el diseño de circuitos integrados de muy alta escala de integración (VLSI). Es la base de muchas estructuras analógicas más complejas como algunos multiplicadores analógicos, integradores, amplificadores de instrumentación, etc. El diseño de amplificadores operacionales es ampliamente descrito en la literatura [1], por lo que se facilita la optimización, simulación e implementación de éste.

En la actualidad existen gran cantidad de topologías de amplificadores operacionales, entre las más comunes están: el amplificador operacional de transconductancia de 2 etapas (*2-stage OTA*), el amplificador operacional telescópico (*Telescopic Operational Amplifier*), y el amplificador operacional cascode doblado (*folded cascode*), cada uno de ellos con sus características propias. Por ejemplo, el amplificador de 2 etapas, es muy sencillo, fácil de diseñar [58], y uno de los más utilizados en el diseño, sin embargo, existen algunas aplicaciones en las cuales el desempeño de este amplificador no es suficiente. Algunas de las limitaciones de desempeño son: la ganancia insuficiente, su limitada estabilidad en el ancho de banda (BW), debido a la imposibilidad de controlar los polos de alto orden, y la baja relación de rechazo de la fuente de alimentación ($PSRR$), debido a la compensación de Miller.

El amplificador “*folded cascode*”, utiliza una topología tipo cascode en la etapa de salida, combinada con un par diferencial en la etapa de entrada para lograr un buen rango de entrada en modo común. Así, el amplificador “*folded cascode*”, presenta una especie de auto-compensación, un buen rango de entrada en modo común, y una ganancia equiparable con el amplificador de 2 etapas. Este amplificador puede optimizarse en velocidad (ancho de banda) y ganancia en lazo abierto (A_{OL}), con lo que se pueden obtener mejores características eléctricas, comparado con el amplificador de 2 etapas [59].

El amplificador telescópico presenta uno de los diseños más simples comparado con otros diseños de amplificadores, por lo que su operación es de alta velocidad. En el diseño “*folded cascode*”, existe un par diferencial de entrada y dos mallas de corriente separadas para la salida. Las corrientes de entrada son copiadas con una configuración cascode para producir las corrientes de salida. En el diseño telescópico, se pone el par diferencial de entrada y las dos mallas de corriente en el mismo circuito, debido a ello, se eliminan los problemas de ruido causados por los espejos de corriente, y se crea un camino más directo a la señal, conduciendo a una velocidad de operación mayor. Otra ventaja del amplificador telescópico es que se utiliza la mitad de corrientes de polarización comparado con el “*folded cascode*”. El amplificador telescópico también se puede optimizar en ancho de banda y ganancia en lazo abierto [60].

En general, se pueden optimizar las características de cualquier amplificador operacional, las más comunes son la ganancia en lazo abierto y el ancho de banda [61]. También se puede optimizar el diseño analógico en general, incluyendo los amplificadores operacionales, de acuerdo a las características de los transistores MOS [62].

En este trabajo de tesis, se eligió la topología “*folded cascode*”, debido a que esta topología se utilizó previamente en un amplificador de precisión, es decir, en un amplificador con muy baja tensión de offset, implementado con estructuras FGMOS [2]. En este trabajo, se diseñó una topología ligeramente modificada a la publicada en cuanto a la implementación de los transistores FGMOS, con el fin de comparar los resultados experimentales de este trabajo con los publicados en ese artículo.

Para el diseño del amplificador operacional tipo “*folded cascode*” convencional, se utilizaron varias referencias bibliográficas [1, 58, 63, 64, 65], programas en modo texto (*scripts*) de Matlab, simulaciones en PSpice, estrategias de diseño y optimización, y el programa de diseño de circuitos integrados L-Edit de Tanner.

En [58], se presenta el diseño de un amplificador tipo “*folded cascode*” paso a paso.

La forma básica y práctica de un amplificador tipo “*folded cascode*” con entrada diferencial con transistores canal n se muestra en la Figura 5.1.

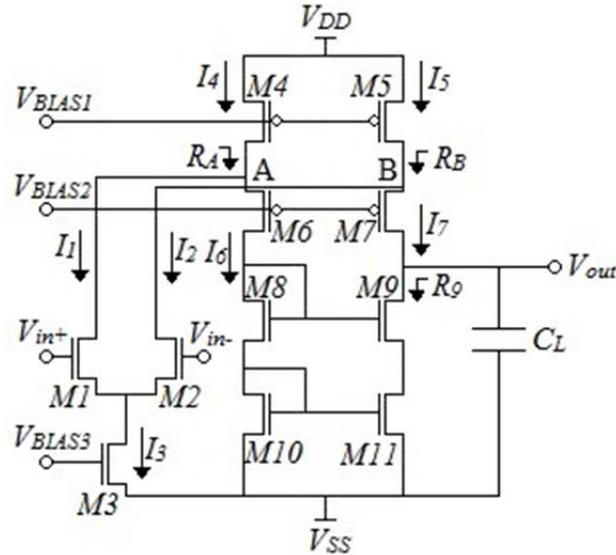


Figura 5.1. Amplificador “*folded cascode*” práctico. Los transistores M1, M2 y M3 forman el par diferencial de entrada, los transistores M4 a M11 forman la etapa en cascode de salida. En este diagrama no se muestran los transistores de la etapa amplificadora de potencia ni los transistores del circuito de polarización.

Las corrientes de polarización I_3 , I_4 , e I_5 del amplificador, se diseñan de tal manera que la corriente en DC del espejo conectado en cascode, nunca llegue a cero. Por ejemplo, si se supone que v_{in} es lo suficientemente grande, de tal manera que M1 está encendido y M2 está apagado, entonces toda la corriente I_3 fluye a través de M1 y nada a través de M2, por lo tanto $I_1 = I_3$, e $I_2 = 0$. Si I_4 e I_5 no son mayores a I_3 , la corriente I_6 se volverá cero. Para evitar esto, los valores de I_4 e I_5 , normalmente se eligen en un intervalo desde I_3 hasta $2I_3$. En la Figura 5.2, se muestra el circuito equivalente a pequeña señal del amplificador.

Las resistencias R_A y R_B son las resistencias que se ven en las terminales de fuente de M6 y M7, respectivamente. R_A y R_B se calculan de acuerdo a las ecuaciones 5.1 y 5.2.

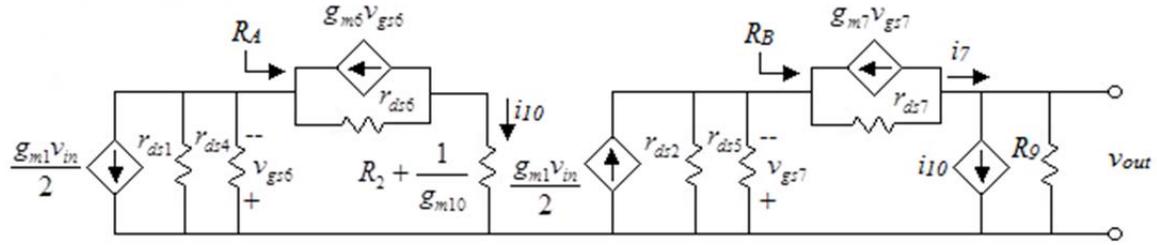


Figura 5.2. Circuito equivalente a pequeña señal del amplificador “folded cascode”.

$$R_A = \frac{r_{ds6} + R_2 + \frac{1}{g_{m10}}}{1 + g_{m6}r_{ds6}} \approx \frac{1}{g_{m6}} \quad (5.1)$$

donde:

$$R_2 = V_{DS8(SAT)} / I_6$$

y

$$R_B = \frac{r_{ds7} + R_9}{1 + g_{m7}r_{ds7}} \approx \frac{R_9}{g_{m7}r_{ds7}} \approx r_{ds} \quad (5.2)$$

donde:

$$R_9 = g_{m9}r_{ds9}r_{ds11}$$

La corriente i_{10} se determina:

$$i_{10} = \frac{-g_{m1}(r_{ds1} \parallel r_{ds4})v_{in}}{2[R_A + (r_{ds1} \parallel r_{ds4})]} \approx \frac{-g_{m1}v_{in}}{2} \quad (5.3)$$

La corriente i_7 se determina:

$$i_7 = \frac{g_{m2}(r_{ds2} \parallel r_{ds5})v_{in}}{2\left[\frac{R_9}{g_{m7}r_{ds7}} + (r_{ds2} \parallel r_{ds5})\right]} = \frac{g_{m2}v_{in}}{2\left[1 + \frac{R_9(g_{ds2} + g_{ds5})}{g_{m7}r_{ds7}}\right]} = \frac{g_{m2}v_{in}}{2(1+k)} \quad (5.4)$$

donde k se define como el factor de desbalance de baja frecuencia. Los valores de típicos de k son mayores a 1.

$$k = \frac{R_9(g_{ds2} + g_{ds5})}{g_{m7}r_{ds7}} \quad (5.5)$$

El voltaje de salida (v_{out}) es igual a la suma de i_7 e i_{10} sobre la resistencia de salida (R_{11}). La función de transferencia en voltaje del amplificador es entonces:

$$\frac{v_{out}}{v_{in}} = \left(\frac{g_{m1}}{2} + \frac{g_{m2}}{2(1+k)} \right) R_{11} = \left(\frac{2+k}{2+2k} \right) g_{m1} R_{11} \quad (5.6)$$

donde la resistencia de salida (R_{11}) es:

$$R_{11} = g_{m9}r_{ds9}r_{ds11} \parallel [g_{m7}r_{ds7}(r_{ds2} \parallel r_{ds5})] \quad (5.7)$$

La respuesta en frecuencia del amplificador se determina principalmente por el polo de salida:

$$p_{out} = \frac{-1}{R_{11}C_L} \quad (5.8)$$

donde C_L es la capacitancia conectada de la salida del amplificador a tierra. Para que el polo de salida sea el dominante, depende del hecho de que no existan otros polos cuya magnitud sea menor que el ancho de banda (BW). Los polos no-dominantes se localizan en los nodos A y B, y en las terminales de drenador de M6, M8, M10 y M11. Los polos no-dominantes se enlistan a continuación:

$$p_A = \frac{-1}{R_A C_A} \quad (5.9)$$

$$p_B = \frac{-1}{R_B C_B} \quad (5.10)$$

$$p_6 = \frac{-1}{\left(R_2 + \frac{1}{g_{m10}}\right) C_6} \quad (5.11)$$

$$p_8 \approx \frac{-g_{m8}}{C_8} \quad (5.12)$$

$$p_9 \approx \frac{-g_{m9}}{C_9} \quad (5.13)$$

$$p_{10} \approx \frac{-g_{m10}}{C_{10}} \quad (5.14)$$

Las anteriores expresiones aproximadas se obtienen a través del recíproco del producto de la resistencia y la capacitancia parásita vista desde el nodo hasta tierra.

El procedimiento de diseño del amplificador “*folded cascode*” es entonces como sigue:

1. Calcular I_3 de acuerdo a la velocidad de cambio “*slew rate*” (SR) y a la capacitancia conectada a la salida del amplificador (C_L):

$$I_3 = SR \cdot C_L \quad (5.15)$$

2. Calcular las corrientes de polarización I_4 e I_5 :

$$I_4 = I_5 = 1.2I_3 \rightarrow 1.5I_3 \quad (5.16)$$

3. Calcular las relaciones geométricas (S) de los transistores M4 a M7 de acuerdo al máximo voltaje de salida ($v_{out(max)}$):

$$S_5 = \frac{2I_5}{KP_p V_{SD5}^2} \quad (5.17)$$

$$S_7 = \frac{2I_7}{KP_p V_{SD7}^2} \quad (5.18)$$

donde:
$$V_{SD5(SAT)} = V_{SD7(SAT)} = \frac{V_{DD} - v_{out(max)}}{2}$$

y:
$$S_4 = S_5; S_6 = S_7$$

Para obtener el valor de I_7 se asume el peor de los casos, es decir, $I_2 = 0$, por lo tanto $I_7 = I_5$.

4. Calcular las relaciones geométricas (S) de los transistores M8 a M11 de acuerdo al mínimo voltaje de salida ($v_{out(min)}$):

$$S_9 = \frac{2I_9}{KP_n V_{DS9}^2} \quad (5.19)$$

$$S_{11} = \frac{2I_{11}}{KP_n V_{DS11}^2} \quad (5.20)$$

donde:
$$V_{DS9(SAT)} = V_{DS11(SAT)} = \frac{v_{out(min)} - |V_{SS}|}{2}$$

y:
$$S_8 = S_9; S_{10} = S_{11}$$

Siguiendo la regla del peor de los casos:
$$I_9 = I_{11} = I_4 = I_5$$

5. Calcular las relaciones geométricas (S) de los transistores M1 y M2 de acuerdo al ancho de banda (BW):

$$S_1 = S_2 = \frac{g_{m1}^2}{KP_n I_3} = \frac{BW^2 C_L^2}{KP_n I_3} \quad (5.21)$$

donde:

$$BW = \frac{g_{m1}}{C_L} \quad (5.22)$$

6. Calcular la relación geométrica S_3 de acuerdo al voltaje mínimo de entrada en modo común ($v_{in(min)}$):

$$S_3 = \frac{2I_3}{KP_n \left[v_{in(min)} - V_{SS} - \sqrt{\frac{I_3}{KP_n S_1}} - V_{TH1} \right]^2} \quad (5.23)$$

7. Verificar si S_4 y S_5 cumplen con los requisitos para un voltaje máximo de entrada en modo común ($v_{in(max)}$):

$$S_3 = S_5 = \frac{2I_4}{KP_p \left(V_{DD} - v_{in(max)} + V_{TH1} \right)^2} \quad (5.24)$$

8. Calcular la ganancia en modo diferencial de acuerdo a la ecuación 5.6.

9. Calcular la potencia disipada:

$$P_{diss} = (V_{DD} - V_{SS})(I_3 + I_{10} + I_{11}) \quad (5.25)$$

El procedimiento anterior se implementó en un programa (*script*) de Matlab, los resultados obtenidos del diseño se muestran en la siguiente sección.

5.2.1 Diseño mediante MATLAB

El primer paso para el diseño del amplificador, es encontrar la relación geométrica de los transistores que componen a dicho amplificador de acuerdo a las características eléctricas básicas como son: el ancho de banda, el rango de voltaje de entrada, el rango de voltaje de salida, la velocidad de cambio y la ganancia mínima de lazo abierto. En la Figura 5.3, se muestra el procedimiento de diseño implementado en Matlab para obtener estas relaciones geométricas:

```
% PROCEDIMIENTO DE DISEÑO DE AMPLIFICADOR FOLDED CASCODE

clear
% Parámetros tecnológicos
Kpn = 72.00e-6; %Transconductancia canal n[A/V^2]
Kpp = 20.00e-6; %Transconductancia canal p[A/V^2]
Vthn = 0.5154; %Voltaje de umbral canal n[V]
Vthp = -0.8476; %Voltaje de umbral canal p[V]
LAMN = 0.04; %Lamda para canal n [1/V]
LAMP = 0.05; %Lamda para canal P [1/V]
Lmin = 3.6; %Largo mínimo de canal [um]

% Requisitos para el diseño
SR=1.5; %Velocidad de cambio[V/us]
BW=1.5e6; %Ancho de banda[Hz]
CL=2.5e-11; %Capacitancia de carga[F]
Vinmax=4.5; %Voltaje máximo de entrada[V]
Vinmin=0.45; %Voltaje mínimo de entrada[V]
Voutmax = 4.5; %Voltaje máximo de entrada[V]
Voutmin = 0.5; %Voltaje mínimo de entrada[V]
VDD=5; %Voltaje de alimentación positivo[V]
VSS=0; %Voltaje de alimentación negativo[V]
AVDmin=5000; %Ganancia en modo diferencial mínima[V/V]

% Design:

% Calculo de I3:
I3 = SR*1e6*CL;

% Calculo de I4 e I5:
I4 = 1.3 * I3;

% Calculo de S8 a S11:
VSD7 = (VDD - Voutmax)/2;
S4 = (2*I4)/(Kpp*VSD7^2);
S5 = S4;
S6 = S5;
S7 = S6;
```

```

% Calculo de S8 a S11:
VDS9 = (Voutmin - VSS)/2;
S9 = (2*I4)/(KpN*VDS9^2);
S8 = S9;
S10 = S9;
S11 = S10;

% Calculo de S1 y S2:
S1 = (((2*pi*BW)^2)*(CL^2))/(KpN*I3);
S2 = S1;

% Calculo de S3:
S3 = (2*I3)/(KpN*(Vinmin-VSS-sqrt(I3/(KpN*S1))-Vthn)^2);

% Comprobación de S4 y S5
S3T = (2*I4)/(KpP*(VDD-Vinmax+Vthn)^2);

if (S3T >= S3)
    msgbox('El diseno no cumple con las especificaciones de Vinmax');
end

% Calculo de la ganancia en modo diferencial
I1 = 0.5*I3;
I6 = I4 - I1;
GM4 = sqrt(2*I4*KpP*S4);
GM6 = sqrt(2*I6*KpP*S4);
GM8 = sqrt(2*I6*KpN*S8);
GM1 = sqrt(2*I1*KpN*S1);
GDS4 = I4 * LAMP;
GDS6 = I6 * LAMP;
GDS8 = I6 * LAMN;
GDS1 = I1 * LAMN;
RDS4 = 1 / GDS4;
RDS6 = 1 / GDS6;
RDS8 = 1 / GDS8;
RDS1 = 1 / GDS1;
R9 = GM8*RDS8*RDS8;
RTEMP1 = (RDS1*RDS4)/(RDS1+RDS4);
RTEMP2 = GM8*RDS8*RDS8;
RTEMP3 = GM6*RDS6*RTEMP1;
R11 = (RTEMP2*RTEMP3)/(RTEMP2+RTEMP3);
K = (R9*(GDS1+GDS4))/(GM6*RDS6);
AVD = ((2+K)/(2+2*K))*GM1*R11;

if (AVD <= AVDmin)
    msgbox('El diseno no cumple con las especificaciones de AVD');
end

% Calculo de la potencia disipada:
PDISS = (VDD-VSS)*(I4+I4);

% Resultados del diseño
W1 = S1 * Lmin
W2 = S2 * Lmin
W3 = S3 * Lmin

```

```

W4 = S4 * Lmin
W5 = S5 * Lmin
W6 = S6 * Lmin
W7 = S7 * Lmin
W8 = S8 * Lmin
W9 = S9 * Lmin
W10 = S10 * Lmin
W11 = S11 * Lmin
    
```

```
% Fin del proceso de diseño
```

Figura 5.3. Procedimiento de diseño en Matlab (script) del amplificador “*folded cascode*”. Los parámetros tecnológicos se tomaron de las especificaciones del fabricante, mientras que los requisitos de diseño se determinaron para un amplificador de uso general de baja velocidad, pero con alta estabilidad.

Los resultados obtenidos al ejecutar el script anterior, para un largo de canal mínimo de $3.6\mu\text{m}$, en una tecnología de $1.2\mu\text{m}$ de MOSIS (*mamin12*) se muestran en la Tabla 5.1. La ganancia teórica en voltaje en modo diferencial resultó de 7134 [V/V] .

Tabla 5.1. Resultados obtenidos en Matlab del diseño del amplificador “*folded cascode*”.

Transistor	Relación geométrica	Largo de canal	Ancho de canal
M1, M2	20.56	$3.6\mu\text{m}$	$74\mu\text{m}$
M3	20.65	$3.6\mu\text{m}$	$74.4\mu\text{m}$
M4, M5, M6, M7	78	$3.6\mu\text{m}$	$280.8\mu\text{m}$
M8, M9, M10, M11	21.66	$3.6\mu\text{m}$	$78\mu\text{m}$

En la siguiente sección, se ajustarán las relaciones geométricas de manera práctica, para reducir la tensión de offset sistemático (σ_s), es decir, la tensión de offset de diseño, sin tomar en cuenta los efectos del desacople (*mismatch*).

5.2.2 Simulación en PSpice

Los resultados obtenidos en la sección anterior, se ajustaron de manera práctica en el simulador PSpice utilizando los parámetros de nivel 7 del fabricante (MOSIS). En la Tabla 5.2 se muestran las relaciones geométricas de los transistores, ajustadas de manera práctica para obtener una tensión de offset sistemático (σ_s) tendiente a cero y un margen de fase (ϕ_m) de al menos 60° . Los ajustes anteriores resultaron en la disminución del ancho de banda y de la ganancia, pero se logró una reducción de la tensión de offset sistemático con una buena estabilidad, que es lo que se desea. El multiplicador se obtuvo a través de la relación geométrica (S) y del diseño geométrico del propio amplificador. Los detalles del diseño geométrico se muestran en la sección 5.2.4.

Tabla 5.2. Relaciones geométricas de los transistores que componen el amplificador “*folded cascode*” para la reducción de la tensión de offset sistemático y el aumento del margen de fase.

Transistor	Largo de canal (L)	Ancho de canal (W)	Multiplicador (M)
M1, M2	3.6 μm	14.4 μm	6
M3	3.6 μm	16.8 μm	4
M4,M5,M6,M7	3.6 μm	38.4 μm	8
M8,M9,M10,M11	3.6 μm	9.6 μm	1
M12	3.6 μm	90 μm	6
M13	3.6 μm	72 μm	6

En la Tabla 5.2, se muestran también las relaciones geométricas de los dos transistores del amplificador de salida “*buffer*”. Los resultados de simulación de las principales características eléctricas del amplificador, se muestran en las figuras siguientes.

En la Figura 5.4, se muestran las curvas de ganancia en decibeles y fase en grados. En ellas se puede medir el ancho de banda (BW), el margen de fase (ϕ_m), y la ganancia en lazo abierto en modo diferencial (A_{OL}).

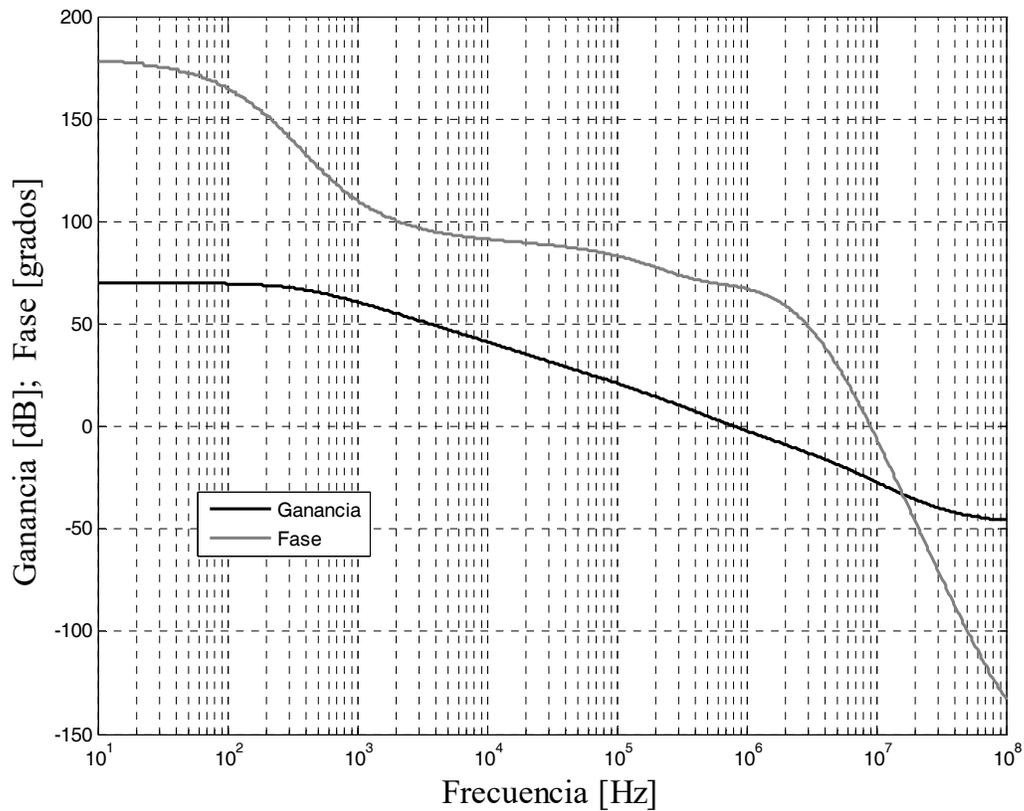


Figura 5.4. Gráfica de ganancia y fase del amplificador para una capacitancia de carga de 25pF. Con estas curvas se determina el ancho de banda, el margen de fase, y la ganancia en lazo abierto.

De la Figura 5.4, se determinaron los resultados de la Tabla 5.3.

Tabla 5.3. Parámetros obtenidos de las gráficas de ganancia y fase del amplificador.

Ganancia (A_{OL})	Ancho de banda (BW)	Margen de fase (ϕ_m)
69.9dB	811kHz	68.4°

Los resultados de simulación de la Tabla 5.3, son satisfactorios, pues se esperaba una disminución en la ganancia y en el ancho de banda, a cambio de un margen de fase mayor a 60°.

En la Figura 5.5 se muestra la gráfica en la salida del amplificador al conectarlo como seguidor de voltaje, con una capacitancia de carga de 25pF y un pulso de 200ns como estímulo en la entrada. Los resultados de la simulación muestran una velocidad de cambio de aproximadamente 14V/μs. La velocidad de cambio es mayor a la esperada debido a la etapa de amplificación final “buffer”.

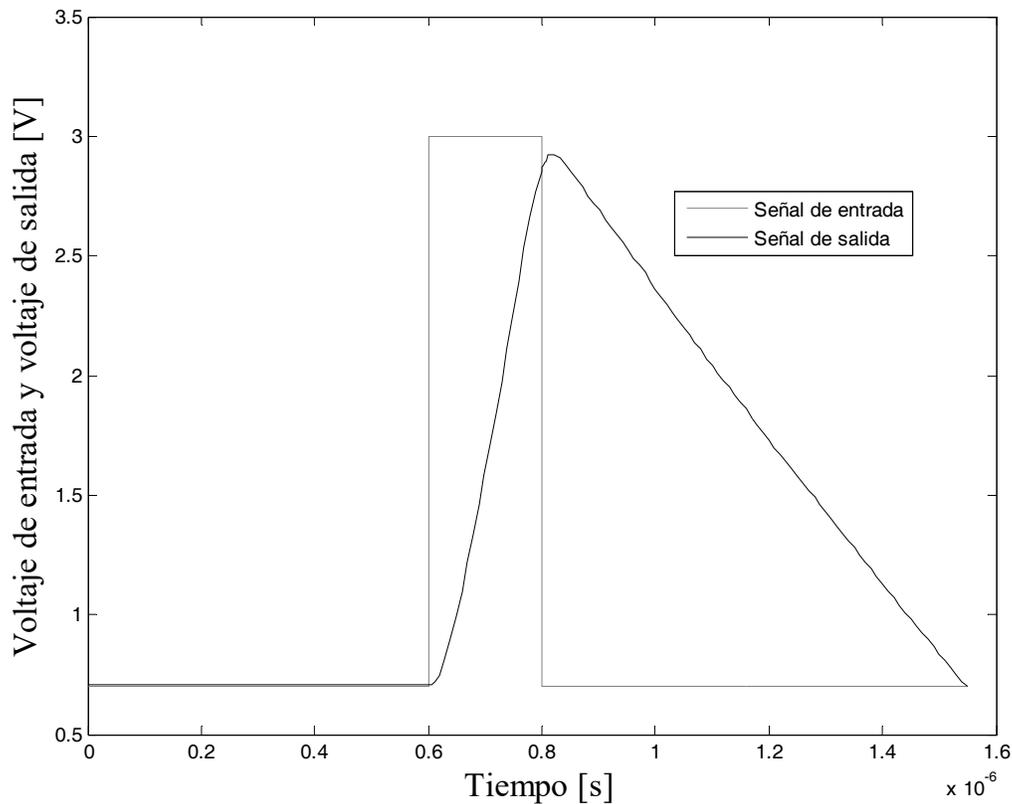


Figura 5.5. Velocidad de cambio “*slew rate*” del amplificador. La gráfica se obtuvo de la salida del amplificador configurado como seguidor de voltaje. La entrada es un pulso de 200ns y la salida tiene una capacitancia de carga de 25pF. La velocidad de cambio es de aproximadamente 14V/μs.

El tiempo de establecimiento “*settling time*” (t_{st}), se obtiene de manera similar a la velocidad de cambio, sólo que la señal de excitación es ahora una función de tipo escalón. En la Figura 5.6 se muestran los resultados obtenidos de la simulación.

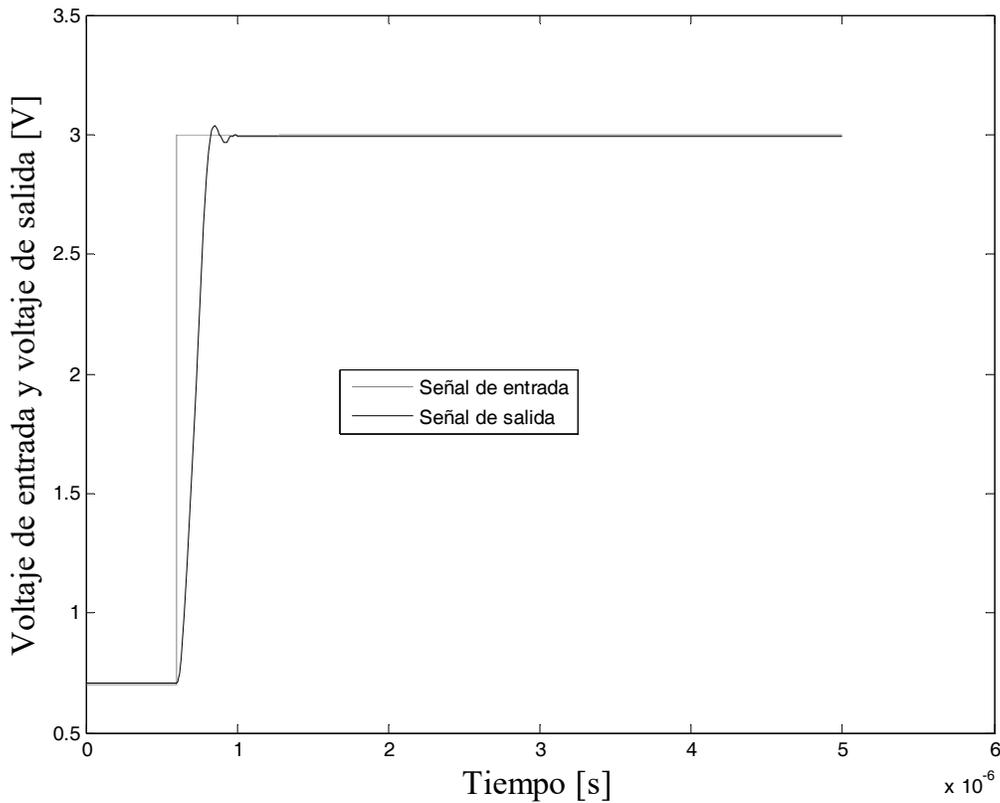


Figura 5.6. Tiempo de establecimiento “*settling time*”. La configuración del amplificador es en seguidor de voltaje con una capacitancia de carga de 25pF y una señal de tipo escalón en la entrada. La función escalón empieza en 600μs. El tiempo de establecimiento es de aproximadamente 400ns.

El tiempo de establecimiento (t_{st}) obtenido en la simulación con una capacitancia de carga de 25pF es de aproximadamente 400ns, lo cual es satisfactorio.

El rango de salida u “*output range*” u “*output signal swing*” (*OR*), se obtiene a través de un análisis de barrido en DC, estando configurado el amplificador como seguidor de voltaje. La señal de excitación de entrada es una rampa desde V_{SS} hasta V_{DD} , de tal manera que la señal de salida se pueda derivar, con el fin de encontrar el intervalo en que la función es lineal, pues la derivada de una función lineal es una constante. En la Figura 5.7 se muestran los resultados obtenidos en la simulación.

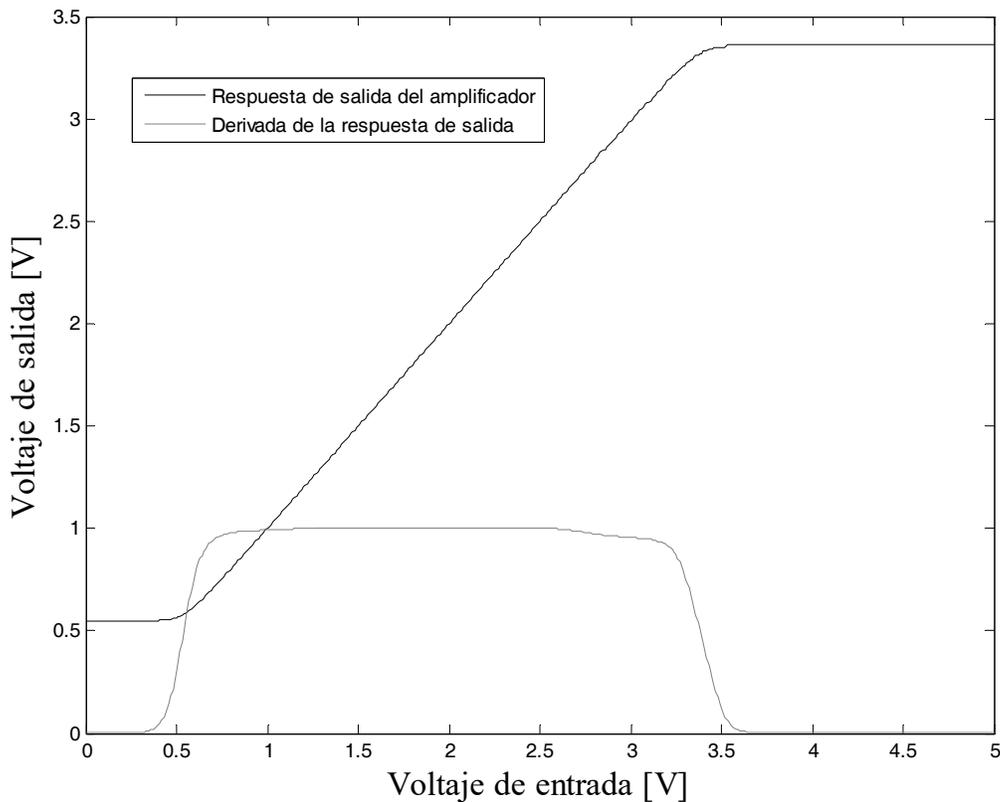


Figura 5.7. Rango de salida “*output range*”. La configuración del amplificador es en seguidor de voltaje con una capacitancia de carga de 25pF y una señal de tipo rampa en la entrada. El rango de salida se encuentra entre $V_{SS} + 0.7V$ y $V_{DD} - 1.8V$, es decir, 0.7V a 3.2V para una tensión de alimentación $V_{DD} = 5V$ y $V_{SS} = 0$.

La relación de rechazo en modo común (*CMRR*) es una función que depende de la frecuencia. En la Figura 5.8 se muestran las curvas de la ganancia en modo diferencial y la ganancia en modo común. A 10Hz la *CMRR* es aproximadamente igual a 70.8dB. El cálculo de la *CMRR* se realiza a una determinada frecuencia mediante la ecuación 5.26.

$$CMRR = A_{VD(dB)} - A_{VC(dB)} \quad (5.26)$$

donde, $A_{VD(dB)}$ es la ganancia en modo diferencial en decibeles, y $A_{VC(dB)}$ es la ganancia en modo común en decibeles.

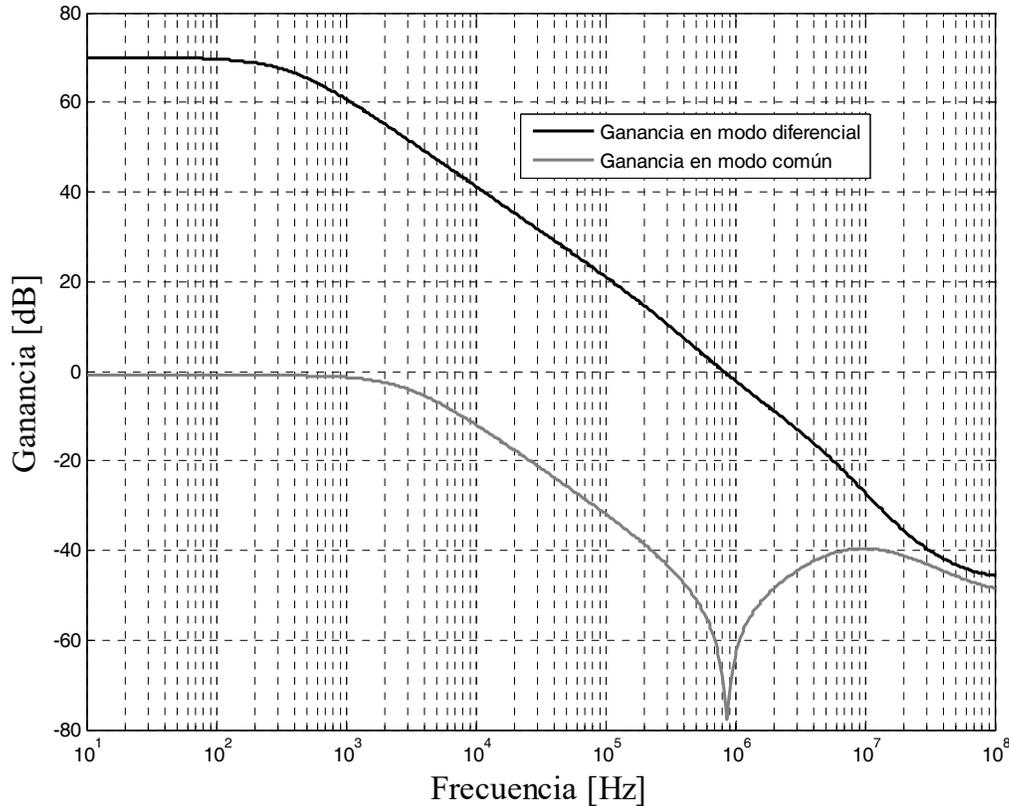


Figura 5.8. Relación de rechazo en modo común (*CMRR*). En la gráfica se muestra la ganancia en modo diferencial y la ganancia en modo común para una capacitancia de carga de 25pF. La *CMRR* es de aproximadamente 70.8dB a una frecuencia de 10Hz.

La relación de rechazo a la fuente (*PSRR*) también es una función que depende de la frecuencia. Por lo regular existen dos tipos de *PSRR*, la *PSRR+* (Relación de rechazo a la fuente positiva), y la *PSRR-* (Relación de rechazo a la fuente negativa). Debido a que el diseño del amplificador en este trabajo es de fuente simple, sólo se tomó en cuenta la *PSRR+*, es decir, $PSRR = PSRR+$. En la Figura 5.9 se muestran las curvas de la ganancia en modo diferencial y la ganancia a la fuente de alimentación positiva. A 10Hz la *PSRR* es aproximadamente igual a 82.4dB. El cálculo de la *PSRR* se realiza a una determinada frecuencia mediante la ecuación 5.27.

$$PSRR = A_{VD(dB)} - A_{PS(dB)} \quad (5.27)$$

donde, $A_{VD(dB)}$ es la ganancia en modo diferencial en decibeles, y $A_{PS(dB)}$ es la ganancia a la fuente positiva en decibeles.

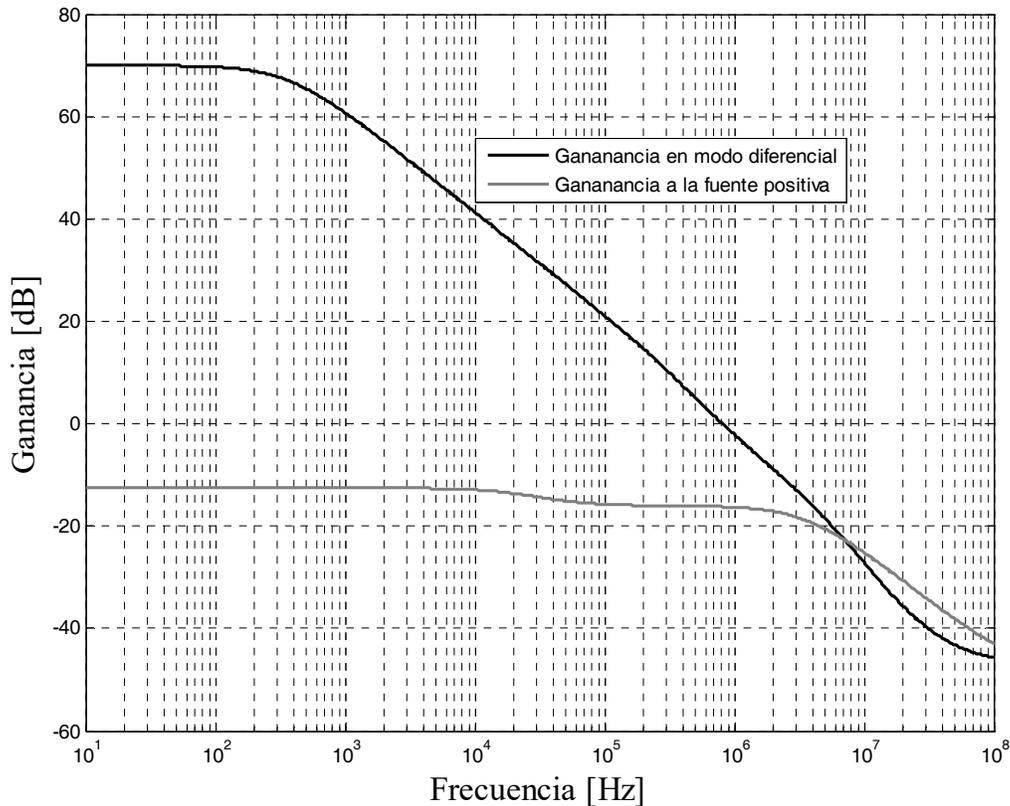


Figura 5.9. Relación de rechazo a la fuente ($PSRR$). En la gráfica se muestra la ganancia en modo diferencial y la ganancia a la fuente positiva para una capacitancia de carga de 25pF. La $PSRR$ es de aproximadamente 82.4dB a una frecuencia de 10Hz.

En la Tabla 5.4 se muestra en resumen los resultados obtenidos en la simulación para tres diferentes temperaturas de operación, incluyendo la tensión de offset sistemático, la cual se obtuvo a través de un análisis de polarización “*bias point*”.

En general, el diseño corresponde a un amplificador operacional de uso general con un ancho de banda limitado, pero con una muy buena estabilidad. El offset sistemático, aunque es pequeño, éste no toma en cuenta los efectos del desacople.

Tabla 5.4. Resultados de simulación obtenidos del amplificador “*folded cascode*” a tres diferentes temperaturas. El intervalo de temperatura contemplado es el comercial de 0°C a 85°C.

Parámetro	Magnitud a 27°C	Magnitud a 0°C	Magnitud a 85°C	Unidad
Ancho de banda (BW)	811	702	999	kHz
Ganancia en lazo abierto (A_{OL})	69.9	70.08	69.7	dB
Margen de fase (ϕ_m)	68.4	70.12	64.5	°
Velocidad de cambio (SR)	14	13.6	14.7	V/ μ s
Tiempo de establecimiento(t_{st})	400	350	450	ns
Rango de salida (OR)	$V_{SS}+0.7$ $\sim V_{DD}-1.8$	$V_{SS}+0.65$ $\sim V_{DD}-1.85$	$V_{SS}+0.7$ $V_{DD}-1.9$	V
CMRR	70.8	70.8	70.9	dB
PSRR	82.4	83.2	80.95	dB
Offset sistemático (σ_s)	156	158	121	μ V
Potencia total disipada (P_{diss})	7.2	7.25	7.11	mW

5.2.3 Simulación de la tensión de offset por el método de Monte-Carlo

La simulación de la tensión de offset (σ), sólo puede aproximarse por medio de métodos estadísticos, pues ésta depende de muchos factores como la variación de la relación geométrica, la variación en el espesor del óxido, la variación en la concentración de portadores, la variación en la temperatura, etc. [1]. En PSpice puede simularse de manera aproximada el comportamiento de la tensión de offset por medio del método de Monte Carlo.

El método de Monte Carlo, consiste en la realización de un número finito de simulaciones, en las que uno o más parámetros se varían de manera aleatoria, siguiendo cierta distribución de probabilidad.

Para simular la tensión de offset del amplificador diseñado, primero se modifica el modelo de los transistores canal-n y canal-p, de tal manera que la tensión de umbral (V_{TH}), se desvíe de su valor original de acuerdo a una distribución de probabilidad gaussiana. Posteriormente se configura el simulador para realizar al menos 100 simulaciones con tensión de umbral diferente. En este caso se prefiere variar la tensión de umbral, debido a que éste es uno de los parámetros que más se afectan por el desacople, causada por las variaciones antes mencionadas.

En la Figura 5.10, se muestra el histograma para 100 simulaciones Monte Carlo de la ganancia del amplificador, configurado como seguidor de voltaje. En esta configuración, la tensión de offset de cada muestra (simulación) se puede obtener de manera casi directa, restando el valor de uno menos la ganancia obtenida.

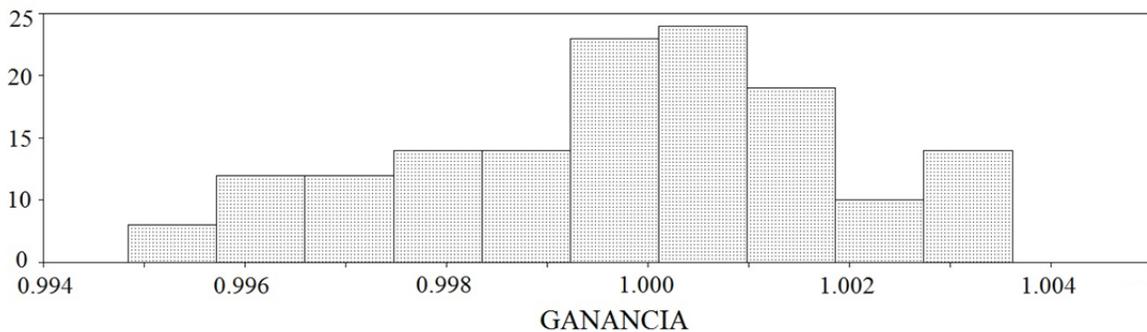


Figura 5.10. Histograma de la tensión de offset (σ) para el amplificador “*folded cascode*”. Para obtener la simulación se configuró el amplificador como seguidor de voltaje y se realizó un análisis de AC para obtener la ganancia. La tensión de offset en cada muestra, es la diferencia de uno menos la ganancia del amplificador.

La tensión de offset del amplificador puede obtenerse a través de la desviación estándar. En la práctica se considera que la tensión de offset es aproximadamente cuatro veces la desviación estándar. En los resultados de simulación obtenidos, se muestra una desviación de la tensión de offset desde -3.6mV hasta 5.2mV con una desviación estándar de 2.11mV, por lo que la tensión de offset es de 8.44mV.

5.2.4 Diseño geométrico

El diseño geométrico o “*layout*” del amplificador, es una parte muy importante para la funcionalidad de este. Para llevar a cabo el diseño geométrico se deben de respetar varias reglas y técnicas de diseño [66].

En la Figura 5.11, se muestra el diseño geométrico del amplificador “*folded cascode*” utilizando las reglas y técnicas de diseño básicas. El diseño se llevó cabo mediante la herramienta L-Edit® de Tanner en tecnología CMOS de $1.2\mu\text{m}$.

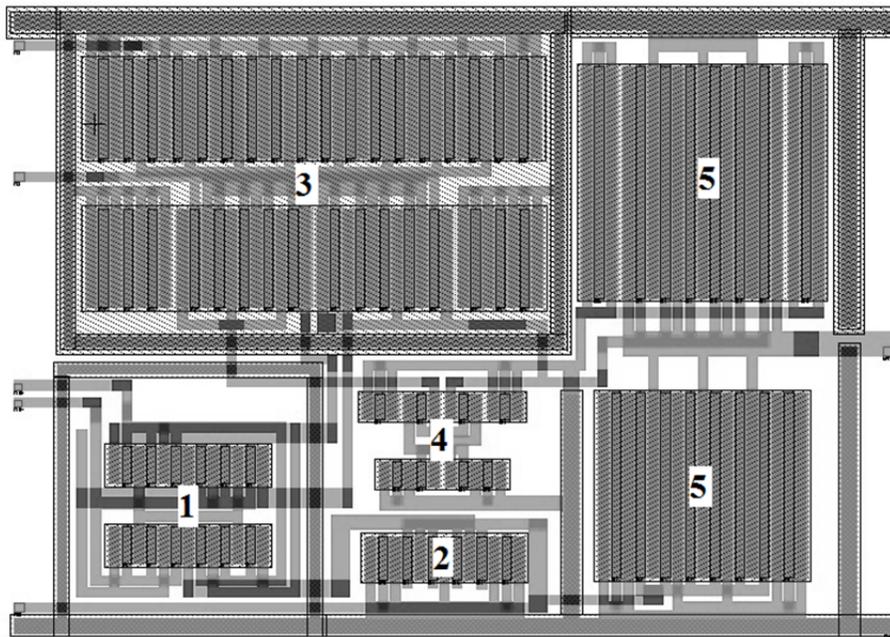


Figura 5.11. Diseño geométrico o “*layout*” en tecnología CMOS de $1.2\mu\text{m}$ del amplificador “*folded cascode*”.

El diseño tiene una forma rectangular de $346\mu\text{m} \times 245\mu\text{m}$ con las conexiones de V_{DD} y V_{SS} en la parte superior e inferior respectivamente. La sección 1, corresponde al par diferencial de entrada, el cual es la parte en la que se tuvo más cuidado en el diseño, pues se diseñó con una perfecta simetría y mediante la técnica de centroide común.

La sección 2 corresponde al transistor M3, que es la fuente de corriente del par diferencial de entrada. La sección 3 corresponde a los transistores canal p M4 a M7 de la etapa en cascode doblado; como se aprecia, estos transistores tienen una relación geométrica (S) muy grande, por ello su gran tamaño. La sección 4 corresponde a los transistores canal n M8 a M11 de la misma etapa, estos transistores, como se ve en el diseño, son los de menor tamaño. La sección 5 consiste en los dos transistores canal n M12 y M13 que forman el amplificador o “*buffer*” de salida.

El diseño geométrico de la Figura 5.11, además de respetar las reglas de diseño (DRC) correspondientes a la tecnología utilizada, también se utilizaron las siguientes técnicas para mejorar en general, el desempeño del amplificador:

1. Se utilizó una forma rectangular con las conexiones de V_{DD} y V_{SS} en la parte superior e inferior respectivamente, con el fin de crear una celda (amplificador) que se adapte a casi cualquier diseño, desperdiciando lo mínimo de área de silicio.
2. Todos los transistores cuentan con varios contactos óhmicos para disminuir el efecto de la resistencia del área activa y la migración de electrones.
3. Todos los transistores tienen la misma orientación, para que la corriente en el silicio fluya en una sola dirección, pues el silicio es unisotrópico.
4. Se utilizaron múltiples dedos “*fingers*” en cada transistor, con el fin de reducir el efecto de las capacitancias parásitas, y evitar tener transistores demasiado anchos.
5. Se utilizaron patrones interdigitados para los transistores de mayor tamaño, respetando los ejes de simetría, con el fin de reducir el número de conexiones.
6. En el par diferencial de entrada se utilizó la técnica de centroide común para reducir los efectos de esquina (variación del espesor del óxido y concentración de portadores de acuerdo a la posición del dado de silicio en la oblea).

7. El par diferencial de entrada se diseñó con perfecta simetría, para que además de reducir los efectos de esquina, se eviten los desbalances en la corriente que pueden conllevar a una tensión de offset considerable.
8. Se utilizaron transistores fantasma “*dummies*”, en las orillas de todos los transistores, con el fin de reducir los efectos de frontera.
9. Todas las conexiones hechas con metal, se hicieron de manera simétrica, con el fin de reducir los efectos de la resistencia de éstas.
10. Todas las diferentes etapas tienen anillos de guarda, con el fin de reducir la interferencia entre estas.
11. Se trató de utilizar la línea de “metal 1” para las conexiones verticales y la línea de “metal 2” para las conexiones horizontales, con el fin de simplificar considerablemente las conexiones en el dado de silicio.
12. Se utilizaron al menos dos “vías” para la interconexión de los metales 1 y 2 con el fin de reducir la resistencia de las conexiones.

En cuanto a las conexiones del amplificador al encapsulado, se trató de conectar las terminales de entrada y salida del amplificador a las terminales centrales del encapsulado (DIP-40), pues éstas presentan efectos parásitos menores que las terminales de las orillas. En la Figura 5.12 se muestra el circuito equivalente de las terminales del encapsulado tipo DIP-40 utilizado por MOSIS.

En la Tabla 5.5, se muestran los valores de los elementos parásitos en cada terminal del encapsulado. Como se muestra, las terminales centrales del encapsulado cuentan con mejores características eléctricas que las terminales de las orillas.

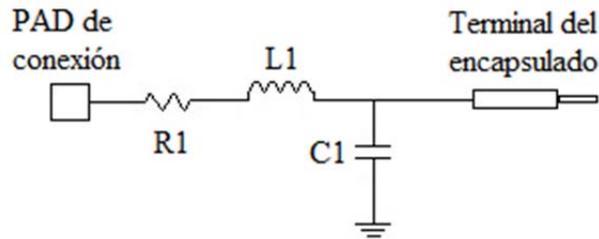


Figura 5.12. Circuito equivalente de una terminal del encapsulado.

El tiempo de subida (t_r), es considerablemente más pequeño para las terminales centrales, por lo que éstas tienen una mejor respuesta a alta frecuencia.

Por lo regular las terminales centrales se utilizan para las señales, sobre todo las de alta frecuencia; las terminales entre las esquinas y el centro se utilizan para las fuentes de alta impedancia, por ejemplo las fuentes de polarización y referencia; y las terminales de la esquina se utilizan para las fuentes de baja impedancia, por ejemplo, V_{DD} y V_{SS} .

Tabla 5.5. Valores de los componentes parásitos debido al encapsulado.

Terminales	R1[Ω]	L1[nH]	C1[pF]	t_r [ps]
1,20,21,40	0.217	8.18	5.32	209
2,19,22,39	0.177	7.92	4.39	187
3,18,23,38	0.154	7.34	3.37	157
4,17,24,37	0.11	6.48	2.34	123
5,16,25,36	0.103	5.69	2.16	111
6,15,26,35	0.0661	4.37	1.43	79
7,14,27,34	0.0646	4.54	1.48	81.9
8,13,28,33	0.0498	3.69	1.05	62.3
9,12,29,32	0.0378	3.54	0.863	55.3
10,11,30,31	0.0247	3.15	0.66	45.6

5.2.5 Resultados experimentales

Para la caracterización de los amplificadores operacionales fabricados, se utilizó un osciloscopio de señal mixta marca Agilent®, un generador de funciones y fuente programable marca Tektronix®, y un analizador V-I marca Keithley®. Las mediciones se realizaron a temperatura ambiente y se tomó una muestra de cinco ejemplares (amplificadores).

En la Tabla 5.6 se muestran los resultados experimentales de la ganancia en lazo abierto, el ancho de banda y el margen de fase, obtenidos de cinco amplificadores. Para la medición de la ganancia en lazo abierto es necesario emplear algunas técnicas de medición [67]. Los resultados experimentales muestran un ancho de banda más bajo que los resultados de simulación, esto se asume que se debe al incremento de la capacitancia de carga debidos al equipo de medición, a los cables de conexión, al encapsulado, y al circuito impreso. La ganancia en lazo abierto es ligeramente más baja de lo esperado, pero es aceptable en la práctica. El margen de fase es el esperado y además es muy bueno, por lo que el amplificador es muy estable y puede emplearse para fines comparativos respecto a la tensión de offset (σ).

Tabla 5.6. Ganancia en lazo abierto, ancho de banda, y margen de fase, obtenidos experimentalmente de cinco amplificadores “*folded cascode*”.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
A_{OL}	64.5	65	65	64.1	65.1	dB
BW	233	240	238	225	235	kHz
ϕ_m	70	69.5	69.8	70.1	69.1	°

En la Tabla 5.7 se presentan los resultados obtenidos experimentalmente de la velocidad de cambio, el tiempo de establecimiento y el rango de salida. La velocidad de cambio es menor, y el tiempo de establecimiento es mayor de lo esperado; se asume que se debe a las

causas antes mencionadas que afectan también el ancho de banda. El rango de salida, por el contrario, es ligeramente mayor que los resultados obtenidos de la simulación, lo cual es bastante aceptable. Aunque los resultados experimentales muestran mejoría respecto al diseño teórico en lo que respecta al rango de salida (OR), en la práctica, los resultados no son lo suficientemente buenos, pues si la tensión de alimentación es de 5V, la tensión de salida apenas puede alcanzar un máximo del 67% de V_{DD} . Lo anterior se debe a la topología utilizada en el amplificador de salida o “*buffer*” que utiliza dos transistores canal n. En diseños futuros, es recomendable utilizar una topología canal n - canal p, para mejorar el rango de salida.

Tabla 5.7. Velocidad de cambio, tiempo de establecimiento y rango de salida, obtenidos experimentalmente de cinco amplificadores “*folded cascode*”.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
SR	2	2.2	2.2	2.1	2.1	V/ μ s
t_{st}	1560	1450	1450	1680	1550	ns
OR	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	$V_{SS}+0.58$ $\sim V_{DD}-1.7$	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	V

En la Tabla 5.8 se muestran los resultados experimentales de la relación de rechazo en modo común ($CMRR$) y de la relación de rechazo a la fuente ($PSRR$). Ambos parámetros son ligeramente menores a lo esperado, pero esto es aceptable.

Tabla 5.8. Relación de rechazo en modo común, y relación de rechazo a la fuente, obtenidos experimentalmente de cinco amplificadores “*folded cascode*”.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
$CMRR$	65	67	68	69	65	dB
$PSRR$	70	70	70	71	70	dB

Los resultados experimentales obtenidos de la tensión de offset referido a la entrada (σ) se muestran en la Tabla 5.9. Para realizar las mediciones se configuró el amplificador como seguidor de voltaje y se conectó a la salida otro amplificador con ganancia entre 100 y 1000 con tensión de offset nula, con esto se evita que la tensión de salida del amplificador a caracterizar sea mayor a V_{DD} o menor a V_{SS} como consecuencia del producto de la ganancia en lazo abierto y la tensión de offset.

La tensión de offset obtenida experimentalmente de los cinco amplificadores, es menor a la esperada por la simulación Monte Carlo. Como se mencionó anteriormente, es difícil predecir esta tensión, pues los efectos del desacople, son muy variables.

Tabla 5.9. Tensión de offset referido a la entrada obtenido experimentalmente.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
σ	+2.8	+3.54	+4.51	-0.89	+1.89	mV

5.3 Implementación de transistores MOS de compuerta flotante para la reducción de la tensión de offset

La tensión de offset, es uno de los parámetros más importantes en los circuitos analógicos. De su valor depende el desempeño de muchos de los circuitos electrónicos empleados en instrumentación, proceso de señales, comunicaciones, etc.

Desafortunadamente, la tensión de offset es uno de los parámetros más afectados por el desacople, mencionada ampliamente en el capítulo 3. Entre los métodos de reducción, se encuentra el uso de transistores MOS de compuerta flotante en modo de inyección y tuneo de electrones. Este método es muy efectivo para la reducción de la tensión de offset, además es mucho más económico que otros métodos como el ajuste por rayo láser, debido a que la programación se realiza fuera del proceso de fabricación.

El transistor FGMOS no sólo se emplea para la reducción de la tensión de offset en amplificadores operacionales [2,3,4,68], sino también se emplea para mejorar las características en los diseños analógicos VLSI, por ejemplo, se utiliza para poder operar amplificadores operacionales con bajo voltaje [69], y para diseñar multiplicadores analógicos de cuatro cuadrantes de hasta 0.75V [70].

El uso de transistores FGMOS en modo de inyección y tuneleo de electrones para la reducción de la tensión de offset, tiene como todos los circuitos, sus ventajas y desventajas. Sus principales ventajas son: la programación en campo que reduce el costo de manera considerable, la posibilidad de reprogramación, la conservación de la carga programada por muchos años, y la reducción de la tensión de offset hasta 25 μ V. Sus principales desventajas son: el empleo de más terminales del encapsulado para la programación, y la complejidad del sistema de programación.

La implementación de los transistores FGMOS (estructura FGMOS), se pensó de tal manera que se pudieran hacer estudios comparativos entre el amplificador “*folded cascode*” diseñado y el nuevo amplificador con reducción de offset. Por simplicidad en el diseño, se utilizó la misma topología que en la Figura 5.1, agregando dos transistores FGMOS. Los transistores M4 y M5 ahora forman parte de la estructura FGMOS de programación indirecta [44], es decir, las compuertas de M4 y M5 son flotantes e independientes. A éstas mismas compuertas flotantes se les acoplaron dos estructuras más, un transistor de inyección, y una estructura de tuneleo. El resultado es una topología de cascode doblado con la flexibilidad de poder controlar la corriente en cada una de las dos ramas del espejo de salida en cascode. La estructura FGMOS de programación indirecta por inyección de electrones, permite operar el amplificador y programarlo de manera simultánea, esto ayuda significativamente en el proceso de programación, además, el mecanismo de inyección es tan eficiente que es posible la programación de la compuerta flotante de manera precisa [41].

En la Figura 5.13, se muestra la implementación de los transistores FGMOS, utilizando los transistores M4 y M5 del amplificador cascode doblado.

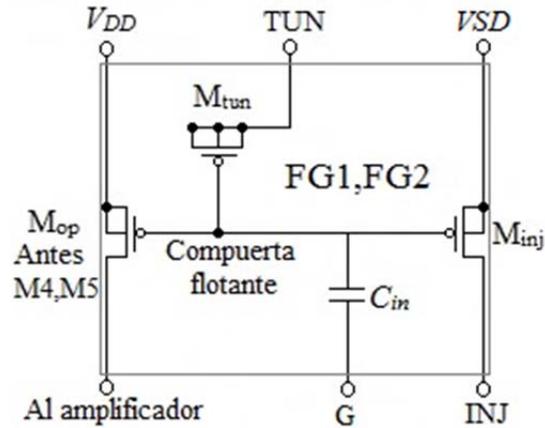


Figura 5.13. Implementación de los transistores FGMOS en el amplificador cascode doblado. Los transistores M4 y M5 forman parte de la estructura FGMOS para programación indirecta.

M4 y M5 ahora forman parte de las estructuras FG1 y FG2. Estas estructuras están formadas por un transistor de operación M_{op} , que es M4 o M5, un transistor de inyección indirecta M_{inj} , y un transistor con las terminales de fuente y drenador en corto circuito para formar una estructura de tuneleo M_{tun} .

Debido al alto voltaje que se aplica a la estructura de tuneleo, es recomendable utilizar técnicas de diseño de alto voltaje con CMOS [58].

5.3.1 Estructura del amplificador operacional de precisión

El amplificador operacional de precisión o amplificador operacional con tensión de offset menor a $100\mu\text{V}$, se muestra en la Figura 5.14. Las estructuras FGMOS se implementaron con las compuertas de M4 y M5. El diseño del amplificador, sin tomar en cuenta los transistores de compuerta flotante, es el mismo que el descrito en las secciones anteriores, por lo que en esta sección no se tratará sobre el diseño del amplificador operacional.

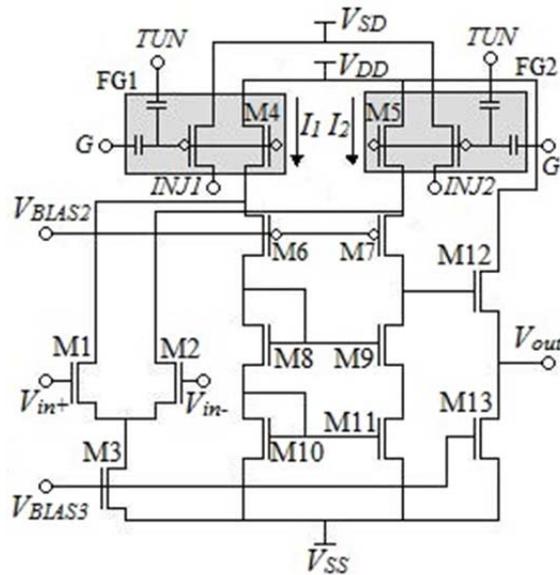


Figura 5.14. Diseño del amplificador operacional de precisión. FG1 y FG2 son las estructuras FGMOS para programación indirecta. Las terminales G y TUN son comunes para las dos estructuras.

El diseño del amplificador de precisión tiene cinco terminales más que el amplificador cascode doblado simple, éstas son: G o compuerta de control, TUN o terminal de tuneleo, VSD o tensión de inyección, $INJ1$ o terminal de inyección de la estructura 1, e $INJ2$ o terminal de la estructura 2. La compuerta de control es común para las dos estructuras FGMOS y sirve para favorecer alguno de los dos mecanismos de programación, inyección o tuneleo. La terminal de tuneleo es también común a las dos estructuras, por lo que el mecanismo de tuneleo sólo sirve para descargar (borrar) la compuerta flotante. La terminal VSD es para ajustar la corriente de inyección. Las terminales de inyección $INJ1$ e $INJ2$ sirven para programar FG1 y FG2 respectivamente. Cuando el amplificador está en operación normal, estas terminales, al igual que VSD , se conectan a la tensión de alimentación (V_{DD}).

En la Tabla 5.10 se muestra el tamaño de los transistores con los que se implementaron las estructuras de inyección y tuneleo de electrones.

Tabla 5.10. Dimensiones de los transistores utilizados en la estructura FGMOS.

Transistor	L	W	M
M_{inj}	3.6 μm	16.8 μm	1
M_{tun}	3.6 μm	3.6 μm	1

Las dimensiones de los transistores M1 a M13 son las mismas que en la Tabla 5.2.

Las corrientes I_1 e I_2 de la Figura 5.14, dependen de las tensiones V_{FG1} y V_{FG2} respectivamente. Como se mencionó en el capítulo 3, si la tensión V_G es constante, entonces la tensión de compuerta flotante depende de la carga y de la capacitancia total vista por ésta; ecuación 3.2. La carga en la compuerta flotante puede modificarse a través de los mecanismos de inyección y tuneleo, por lo que es posible controlar I_1 e I_2 , y de esta manera, compensar cualquier desbalance en estas corrientes debido al desacople. En [3,4] se presentaron los resultados obtenidos respecto a la reducción de la tensión de offset para este diseño.

5.3.2 Diseño geométrico

El diseño geométrico del amplificador de precisión es igual al amplificador cascode doblado, pero con dos estructuras FGMOS extra. En la Figura 5.15 se muestra el diseño geométrico de este amplificador.

El amplificador se compone de tres secciones: las estructuras FGMOS, el amplificador cascode doblado, y el amplificador de salida. El área total del diseño es apenas 16.5% mayor que el diseño del amplificador sin reducción de la tensión de offset. Las dimensiones son de 400 μm x 245 μm para una tecnología CMOS de 1.2 μm . Se implementaron tres amplificadores de precisión y cuatro amplificadores cascode doblado en cada *CHIP*. Uno de los amplificadores de precisión tiene salida diferencial (sin “*buffer*”) con fines de prueba.

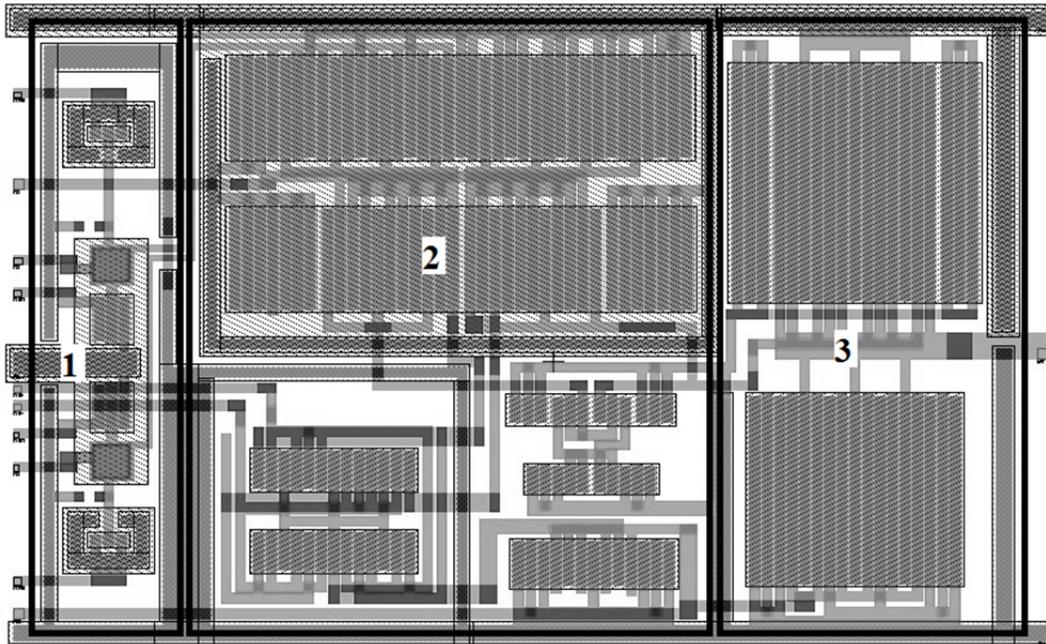


Figura 5.15. Diseño geométrico del amplificador operacional de precisión. La sección 1 corresponde a las dos estructuras FG MOS; la sección 2 corresponde al amplificador cascode doblado; y la sección 3 corresponde al amplificador de salida.

Para el diseño de este amplificador se tomaron en cuenta todas las técnicas de diseño presentadas en [66].

En la Figura 5.16 se muestra el diseño geométrico de una de las estructuras FG MOS. La sección 1 corresponde al transistor de inyección M_{inj} , este transistor utiliza la capa de polisilicio 1 (poly1) como compuerta flotante. La sección 2 corresponde al transistor de tuneo M_{tun} , este transistor tiene en corto circuito sus terminales de drenador y fuente, con el fin de formar una estructura de tuneo a través del óxido de compuerta. La sección 3 corresponde al capacitor entre la compuerta flotante y la compuerta de control (C_{in}), este capacitor está formado por las capas de polisilicio 1 y polisilicio 2 (poly1-poly2). Finalmente, la sección 4 corresponde a una estructura que se utiliza para descargar la compuerta flotante durante el proceso de fabricación [18].

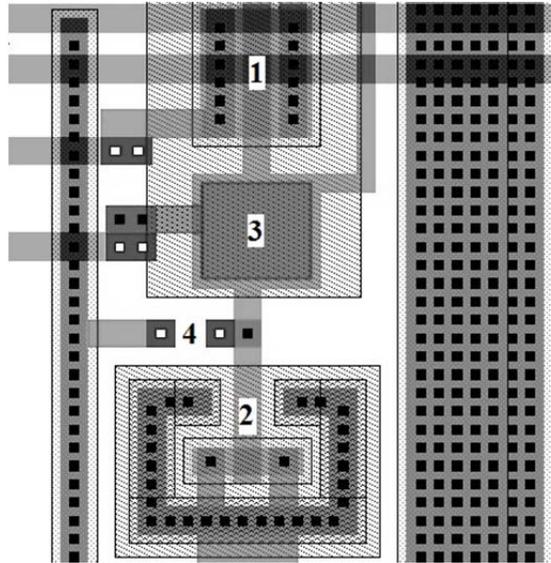


Figura 5.16. Diseño geométrico de una de las estructuras FGMOS.

En la Figura 5.17 se muestra la microfotografía del circuito integrado completo. Se implementaron cuatro amplificadores cascodo doblado, tres amplificadores de precisión y una celda de memoria con FGMOS [42]. El circuito integrado se fabricó con tecnología CMOS de $1.2\mu\text{m}$ con número de corrida T93J-AL.

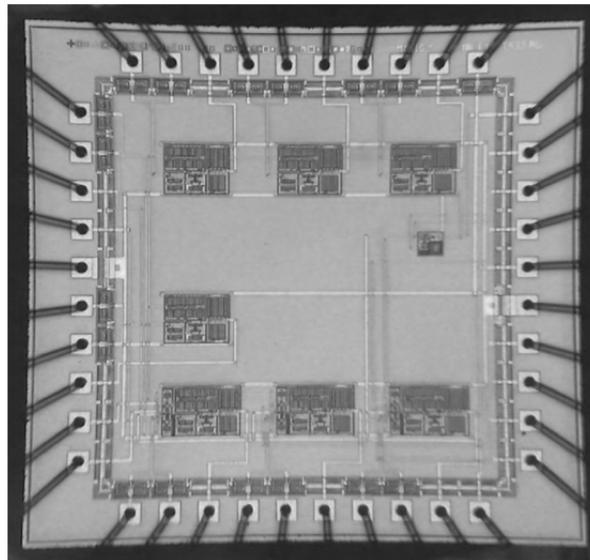


Figura 5.17. Microfotografía del circuito integrado. Se pueden observar cuatro amplificadores cascodo doblado, tres amplificadores de precisión, y una celda de memoria con fines de prueba.

5.3.3 Programación del amplificador

El proceso de programación del amplificador operacional de precisión, consiste en tres subprocesos: proceso de borrado, proceso de inyección, y proceso de programación para la reducción de la tensión de offset.

El proceso de borrado se lleva a cabo mediante el mecanismo de tuneo de electrones. Para iniciar este proceso es necesario conectar el amplificador como sigue:

1. Conectar las terminales de entrada del amplificador de precisión en corto circuito y aplicar una tensión en modo común de 2.5V. Esta tensión debe de ser muy exacta. También es posible conectar el amplificador en modo de seguidor de voltaje y utilizar en la salida un segundo amplificador con ganancia entre 100 y 1000 con tensión de offset nula.
2. Conectar la terminal VSS a 0V y la terminal VDD a 5V.
3. Conectar la terminal de control G a una tensión de 0V.
4. Conectar las terminales VSD , $INJ1$ e $INJ2$ a la terminal VDD .
5. Aplicar las siguientes tensiones de polarización: $V_{BIAS1} = 5V$, $V_{BIAS2} = 2.9V$, y $V_{BIAS3} = 0.67V$.
6. Medir la corriente de alimentación en VSS .
7. Aplicar una tensión de 27V en la terminal TUN hasta que la corriente de alimentación sea prácticamente cero.

El proceso de inyección es necesario para establecer la corriente en cada una de las ramas del espejo en cascodo del amplificador (I_1 e I_2 de la Figura 5.14). En este proceso se trata de igualar estas corrientes a través del mecanismo de inyección. Para llevar a cabo este proceso se deben seguir los siguientes pasos:

1. Terminar el proceso de borrado.
2. Conectar la terminal TUN a una tensión de 0V.
3. Aplicar una tensión de 0V a la terminal G .

4. Aplicar una tensión de 7.5V a la terminal VSD.
5. Conectar las terminales *INJ1* e *INJ2* a *VDD*.
6. Conectar la terminal *INJ1* a 0V hasta que la corriente de alimentación sea de aproximadamente 8 μ A. Cuando esto sucede, la terminal *INJ1* debe de conectarse nuevamente a *VDD*.
7. Conectar la terminal *INJ2* a 0V hasta que la corriente de alimentación sea de aproximadamente 16 μ A. Cuando esto sucede, la terminal *INJ1* debe de conectarse nuevamente a *VDD*.

Hasta este punto, ya se tiene un amplificador operacional sin reducción de la tensión de offset. Para reducir esta tensión hasta unos 25 μ V, es necesario llevar a cabo el proceso de programación descrito en el capítulo 4. En este proceso sólo se utiliza el mecanismo de inyección de electrones. La corriente de inyección es controlada por un algoritmo LMS. El signo del error dentro de este algoritmo es el que determina qué terminal se utiliza entre *INJ1* e *INJ2*. En la Figura 5.18 se muestra el diagrama de tiempo de un proceso de programación típico. En principio se borran las estructuras FG1 y FG2 por medio del mecanismo de tuneo de electrones. La tensión en V_G es igual a cero para favorecer este mecanismo, mientras que V_{SD} , V_{inj1} , y V_{inj2} se conectan a la tensión V_{DD} para evitar la inyección de electrones.

Una vez borradas las dos estructuras FGMOS, se inyecta cada una de éstas para tratar de equilibrar las corrientes del espejo en cascodo. Para ello, la terminal *TUN* se conecta a una tensión cero, de esta manera se evita el tuneo de electrones. Las terminales *INJ1* e *INJ2*, se conectan a una tensión cero una tras otra para tratar de equilibrar las corrientes antes mencionadas. La terminal *VSD* se eleva a 7.5V para aumentar la corriente de inyección.

Finalmente, a través del mecanismo de inyección en cada una de las estructuras FGMOS y mediante un algoritmo LMS, se modulan en frecuencia los pulsos en las terminales *INJ1* e *INJ2* hasta equilibrar las corrientes I_1 e I_2 , compensar los efectos del desacople, y reducir la tensión de offset de manera significativa.

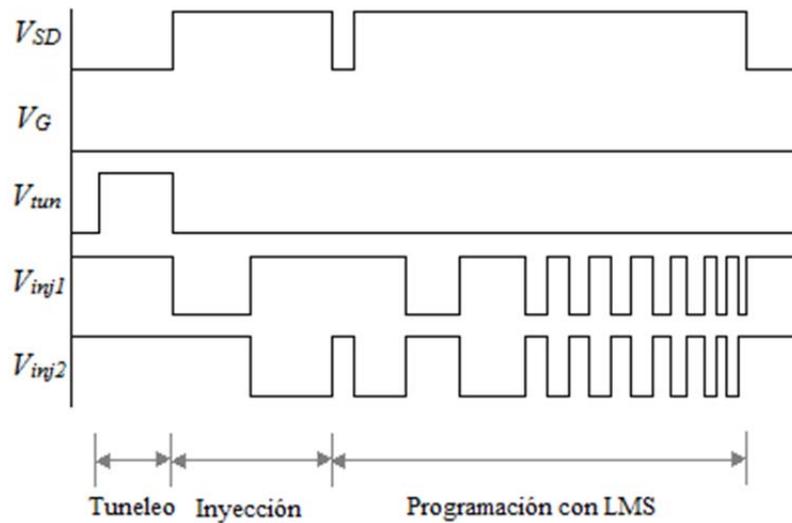


Figura 5.18. Proceso de programación típico de un amplificador operacional de precisión con tecnología MOS de compuerta flotante.

5.3.4 Resultados experimentales

Los resultados experimentales de esta sección, resumen en gran parte el trabajo de investigación de esta tesis. Los resultados presentados se realizaron en el laboratorio a temperatura ambiente sobre cinco amplificadores. El equipo de medición utilizado es el mismo que el mencionado en la sección 5.2.5. Los resultados se publicaron en [3,4].

En la Tabla 5.11 se muestran los resultados experimentales obtenidos de cinco amplificadores de precisión una vez programados como se menciona en la sección anterior. Como se muestra, la ganancia en lazo abierto (A_{OL}), el ancho de banda (BW), y el margen de fase (ϕ_m) son casi idénticos al diseño del amplificador cascode doblado de la sección 5.2. Estos resultados ya se esperaban, pues las dimensiones de los transistores y el diseño geométrico del amplificador de precisión, sin las estructuras FGMOS, son los mismos en ambos amplificadores.

Tabla 5.11. Ganancia en lazo abierto, ancho de banda, y margen de fase, obtenidos experimentalmente de cinco amplificadores de precisión con tecnología FGMOS.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
A_{OL}	65	64.5	64.5	64.3	64.8	dB
BW	235	238	239	233	230	kHz
ϕ_m	70	70	69.1	69.1	69.5	°

La velocidad de cambio (SR), el tiempo de establecimiento (t_{st}), y el rango de entrada (OR) se muestran en la Tabla 5.12. Estos resultados, como se mencionó en la sección 5.2.5, se asume que se deben a los efectos de capacitancia parásita del equipo de medición, de los cables y de la tarjeta de circuito impreso. Hasta el momento, ambos diseños (amplificador cascodo doblado simple y amplificador de precisión con tecnología FGMOS), presentan prácticamente las mismas características eléctricas.

Tabla 5.12. Velocidad de cambio, tiempo de establecimiento y rango de salida, obtenidos experimentalmente de cinco amplificadores de precisión con tecnología FGMOS.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
SR	2	2.1	2.1	2	2	V/ μ s
t_{st}	1550	1650	1650	1550	1550	ns
OR	$V_{SS}+0.55$ $\sim V_{DD}-1.7$	V				

En la Tabla 5.13, se muestran los resultados obtenidos de la relación de rechazo en modo común ($CMRR$) y la relación de rechazo a la fuente ($PSRR$). Como se muestra, no hubo cambios significativos en estos dos parámetros, que es lo que se esperaba.

Es importante mencionar que las corrientes I_1 e I_2 se ajustaron de acuerdo al diseño, de tal manera que el margen de fase tuviera un valor superior a 60° , sacrificando algunos otros parámetros como el ancho de banda y la ganancia en lazo abierto.

Tabla 5.13. Relación de rechazo en modo común, y relación de rechazo a la fuente, obtenidos experimentalmente de cinco amplificadores de precisión con tecnología FGMOS.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
<i>CMRR</i>	65	66	66	65	65	dB
<i>PSRR</i>	70	70	70	69	70	dB

El parámetro más importante en este trabajo de tesis es la tensión de offset referido a la entrada (σ). En la Tabla 5.14 se muestran los resultados experimentales obtenidos después de la programación mediante el algoritmo LMS.

Tabla 5.14. Tensión de offset referido a la entrada de cinco amplificadores de precisión programados mediante el algoritmo LMS.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5	Unidad
σ	+25	+26	+26	-27	+27	μV

Como se muestra en los resultados, la tensión de offset se redujo hasta en dos órdenes de magnitud, lo que es suficiente para que el amplificador se utilice en aplicaciones de precisión. El tiempo de programación promedio está en el intervalo de 1.5s y 2s. En general, y de acuerdo a los resultados experimentales de este trabajo, se demuestra que la tecnología MOS de compuerta flotante se puede implementar en amplificadores operacionales, con el fin de reducir la tensión de offset hasta $25\mu\text{V}$. Se presenta una solución al alto costo de producción de los amplificadores de precisión comerciales como el OP177, que utilizan la técnica de ajuste por medio de rayo láser. También se muestra la viabilidad de la programación en campo a través de los mecanismos de inyección y tuneleo de electrones, así como del algoritmo LMS, pues el tiempo de programación es de apenas un par de segundos.

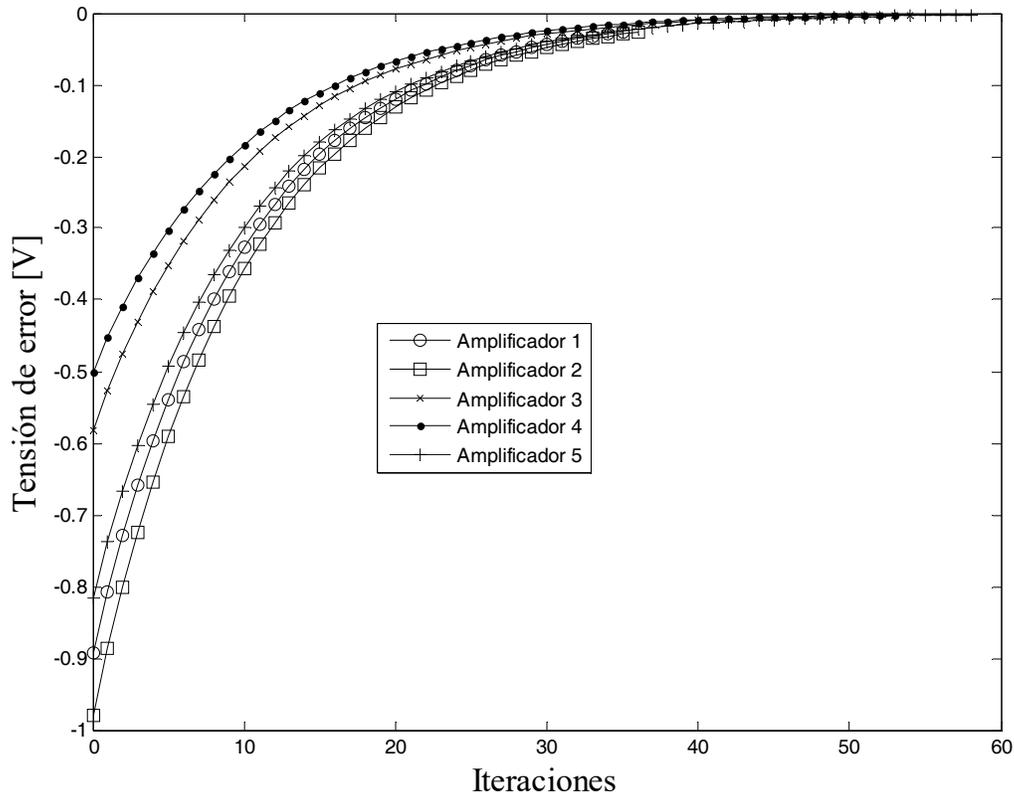


Figura 5.19. Comportamiento del algoritmo LMS en la programación de cinco amplificadores operacionales de precisión con tecnología MOS de compuerta flotante. La velocidad de adaptación (ζ) para los cinco casos es de 1.9.

En la Figura 5.19 se muestran las curvas de la señal de error generadas durante el proceso de programación de los cinco amplificadores de precisión. Para los amplificadores 1 y 2, se utilizó un amplificador de ganancia 1000 para medir la tensión de offset, mientras que en los amplificadores 3, 4 y 5 se utilizó un amplificador de ganancia 100. En la Tabla 5.15 se muestra el número de iteraciones que tomó cada proceso de programación.

Tabla 5.15. Número de iteraciones realizadas en los cinco procesos de programación.

Parámetro	Amp. 1	Amp. 2	Amp. 3	Amp. 4	Amp. 5
# iteraciones	35	36	54	53	57

5.4 Aplicaciones del amplificador operacional de precisión con tecnología MOS de compuerta flotante

El amplificador operacional de precisión tiene un gran número de aplicaciones en la industria de la electrónica debido a la casi nula tensión de offset.

Una de las aplicaciones del amplificador de precisión es en el campo de la instrumentación, pues muchas veces se trabaja con tensiones muy pequeñas y ganancias muy grandes, por lo que la tensión de offset es un factor de error muy importante. El amplificador de precisión implementado con tecnología FGMOS es una buena opción para el diseño de instrumentos de medición de precisión, pues además de presentar tensión de offset casi nula, no es necesario hacer ajustes con potenciómetros mecánicos, que con el tiempo tienden a fallar por la presencia de suciedad.

Una aplicación más es en el campo del procesamiento de señales, pues en muchos casos es necesario contar con una señal sin componente de corriente directa, por lo que la tensión de offset vuelve a ser un factor de error muy importante. En este campo de aplicación también es importante la reducción de offset en otras estructuras analógicas como los multiplicadores de cuatro cuadrantes, los espejos de corriente y las referencias de tensión.

En el capítulo 6 se presenta una aplicación del amplificador de precisión para la industria de la seguridad. La aplicación se trata de un detector de flama de muy bajo voltaje a través del cambio en las características eléctricas de la flama. El amplificador con tecnología MOS de compuerta flotante se utiliza como acoplador de impedancias para una señal de corriente alterna sin componente de corriente directa y como comparador de voltaje programable. Se aprovecha la característica de las estructuras FGMOS de retener una carga por un largo periodo de tiempo, con el fin de evitar el uso de potenciómetros mecánicos que disminuyen la robustez en el diseño electrónico.

5.5 Resumen del capítulo

En este capítulo se presentó el diseño de un amplificador tipo cascode doblado “*folded cascode*” para fines de comparación con un amplificador de precisión con tecnología MOS de compuerta flotante. Se presentó el diseño teórico, así como la implementación de un “*script*” en Matlab para calcular las dimensiones geométricas de cada uno de los transistores que componen el amplificador. Se mostraron las simulaciones en PSpice de los parámetros más significativos del amplificador como el ancho de banda, la ganancia en lazo abierto, el margen de fase, la velocidad de cambio, el rango de salida, entre otros. También se mostraron las simulaciones de tipo Monte Carlo para la tensión de offset referido a la entrada.

Los resultados experimentales del diseño del cascode doblado se presentaron, concluyendo en un amplificador con características típicas de un amplificador de uso general.

En este capítulo también se presentó el diseño de un amplificador operacional con dos estructuras FGMOS que funcionan como fuentes de corriente programables con el fin de compensar los efectos del desacople y reducir la tensión de offset hasta $25\mu\text{V}$. También se mostró el diseño geométrico, así como la microfotografía de los diseños presentados.

El proceso de programación de los amplificadores de precisión con tecnología FGMOS, se detalló paso a paso. También se mostraron los resultados experimentales acerca del comportamiento del algoritmo LMS en cinco procesos de programación.

Se mostraron y se compararon los resultados experimentales acerca de la reducción de la tensión de offset con los resultados del diseño del amplificador cascode doblado, demostrando que ésta se puede reducir hasta en dos órdenes de magnitud. Finalmente, se mencionaron algunas aplicaciones del amplificador de precisión, sobre todo en los campos de la instrumentación, el procesamiento de señales analógicas, y de la seguridad industrial.

Capítulo 6

Circuito detector de flama de bajo voltaje implementado con amplificadores operacionales de offset programable

6.1 Introducción

El amplificador operacional con estructuras FGMOS puede programarse a través de los mecanismos de inyección y tuneo de electrones para ajustar la tensión de offset referida a la entrada (σ). Por lo regular se requiere que la tensión de offset sea lo más baja posible. En este capítulo, se presenta un circuito detector de flama, en el que la tensión de offset del amplificador operacional diseñado en este trabajo, se programa a un valor dado, tal que éste se convierte en un comparador de voltaje sin ajustes mecánicos externos [10].

El detector de flama es una aplicación enfocada a la seguridad industrial. Los detectores de flama se utilizan en hornos industriales, evaporadores, quemadores de gran tamaño, etc. Su función es la de detectar la presencia de una flama, con el fin de controlar una válvula de emergencia que cierre el suministro de combustible en caso de que ésta no esté presente; pues se pueden acumular grandes cantidades de combustible no quemado, creando una atmósfera explosiva.

En la actualidad existen varios métodos de detección de flama, como el presentado en [71,72,73,74], en donde se utiliza un dispositivo de adquisición de imágenes y un

procesador de señal digital para detectar la radiación de la flama. Este método es muy efectivo en cuanto a que es posible descartar prácticamente cualquier falsa presencia de la flama causada por una fuente de interferencia. Las principales desventajas de este método son el alto costo de los dispositivos, la complejidad, y el alto consumo de energía.

Existen otros métodos de detección de flama de bajo costo como el presentado en [75], en donde se utiliza una microestructura para la detección de flama, la desventaja es que sólo se puede emplear para la detección de micro-flamas. También se han presentado otros métodos de detección indirectos como los sensores de gas implementados dentro del diseño geométrico del circuito integrado [5]; la desventaja es, que lo que se detecta, es la presencia de combustible (gas) cuando éste ya tiene cierto nivel de concentración en el aire. Otros métodos de detección se presentan en [76,77,78].

El método utilizado en este trabajo se le llama por ionización, es decir, lo que se detecta es el cambio en las características eléctricas de una flama debido a la ionización del aire. Las características eléctricas de una flama consisten en: la presencia de una resistencia eléctrica cuando una corriente eléctrica atraviesa la flama en un sentido y, la presencia de una resistencia diferente cuando la corriente eléctrica atraviesa la flama en sentido opuesto. En la sección 6.2.1 se detallan estas características.

Para realizar la detección de la flama, se debe de realizar una conexión a través de un quemador y una punta de prueba. La conexión a la flama y el circuito equivalente se muestran en la Figura 6.1. De acuerdo a [80] R_F es la resistencia equivalente de la flama cuando la corriente fluye en dirección de la punta de prueba hacia el quemador, y R_R es la resistencia de la flama cuando la corriente fluye en dirección contraria.

El circuito detector, aprovecha la característica de diodo que tiene la flama para su detección, pues la característica resistiva no es confiable debido a que el carbón acumulado en la punta de prueba por la combustión, puede provocar una falsa detección de flama.

El principio de detección consiste en aplicar una señal de AC a la flama para que ésta rectifique la señal y genere una componente de DC. Esta componente se debe de separar de la componente de AC para compararla con determinado valor de voltaje constante, y determinar si está presente la flama o no. El circuito detector de flama por ionización consiste entonces de cuatro etapas: el generador de corriente alterna o AC, el amplificador acoplador de impedancias (la flama presenta resistencias por arriba de $1M\Omega$), el integrador de señal para separar las componentes de AC y DC, y un comparador de voltaje para detectar la presencia de una componente de DC, que indica que existe una flama o diodo en las terminales de prueba. El integrador se realizó con un circuito R-C externo, aunque se puede realizar un integrador activo con amplificadores operacionales, en cuyo caso se debe de tomar en cuenta las características del amplificador [79]. El comparador también puede implementarse con un amplificador operacional sin compensación de offset y una referencia programable [26].

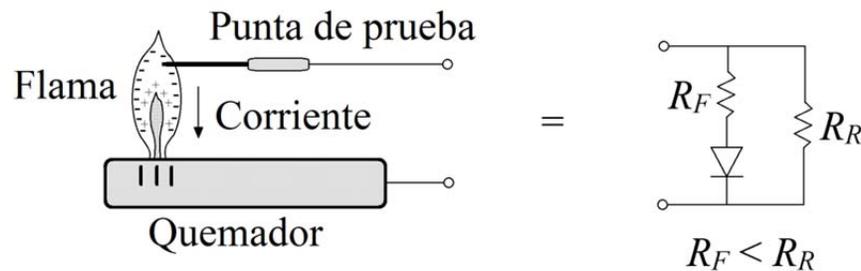


Figura 6.1. Circuito equivalente de una flama entre el quemador y una punta de prueba. La resistencia R_F siempre es menor que R_R , pero no mucho menor, por lo que el circuito equivalente es un diodo cuya corriente en polarización directa es comparable con su corriente en polarización inversa.

6.2 Circuito para la detección de flama de bajo voltaje

El circuito detector de flama debe de cumplir con ciertas características para funcionar de manera adecuada. En principio, se debe de considerar el circuito equivalente de la Figura 6.1. En este circuito, la relación de resistencia R_R/R_F es una función que depende de varios factores, entre ellos la tensión de AC aplicada entre la punta de prueba y el quemador.

Conforme disminuye la tensión aplicada de AC, también disminuye esta relación, dificultando la detección de la flama. La relación R_R/R_F puede llegar a tener en el peor de los casos un valor cercano a 1, para tensiones de AC menores a 5V [80].

En el peor de los casos, si se utiliza la flama como un rectificador de una señal de AC, se obtendrá una componente de DC apenas perceptible de unos cuantos mili-volts. Debido a esto, si se utiliza un seguidor de voltaje como acoplador de impedancias, pues R_F y R_R pueden tener valor de algunas decenas de mega-ohms, la tensión de offset referido a la entrada es el parámetro más importante del primer amplificador a considerar. Por ejemplo, si la presencia de la flama produce una componente de DC de apenas +6mV y la tensión de offset del amplificador es de +8mV, entonces se producirá un error en la etapa de comparación, pues no habrá manera de determinar si esa componente de DC proviene de la presencia de la flama o de la tensión de offset del amplificador. En resumen, la etapa de acoplamiento de impedancias se puede realizar con un amplificador operacional con muy alta impedancia de entrada, bajo voltaje de alimentación y tensión de offset menor a 1mV como en [81]. Una mejor opción es utilizar el amplificador de precisión diseñado en este trabajo de tesis, pues además de cumplir con las características antes mencionadas, presenta una tensión de offset mucho menor [4].

La etapa de integración de la señal se realizó con un circuito R-C externo que se analizará a detalle en la sección 6.2.2.

La etapa de comparación de voltaje se puede realizar con un amplificador de uso general, siempre y cuando se conecte con algunos componentes externos para el ajuste del nivel de decisión. Estos componentes externos por lo regular son resistores, capacitores y potenciómetros o “*trimpots*” para el ajuste. Para evitar el uso de estos componentes externos, sobre todo los potenciómetros mecánicos que suelen fallar con el tiempo y la suciedad, se propuso utilizar un segundo amplificador de precisión con estructuras FGMOS para utilizarlo como comparador de voltaje. Este amplificador es un “amplificador operacional de offset programable” (POOA).

Para utilizar un POOA como comparador analógico de voltaje, el amplificador se conecta en lazo abierto y se programan las estructuras FGMOS para insertar una fuente virtual (tensión de offset referido a la entrada), que funcionará como nivel de decisión. En la Figura 6.2 se muestra cómo se emplea el amplificador de precisión con estructuras FGMOS para que funcione como comparador de voltaje.

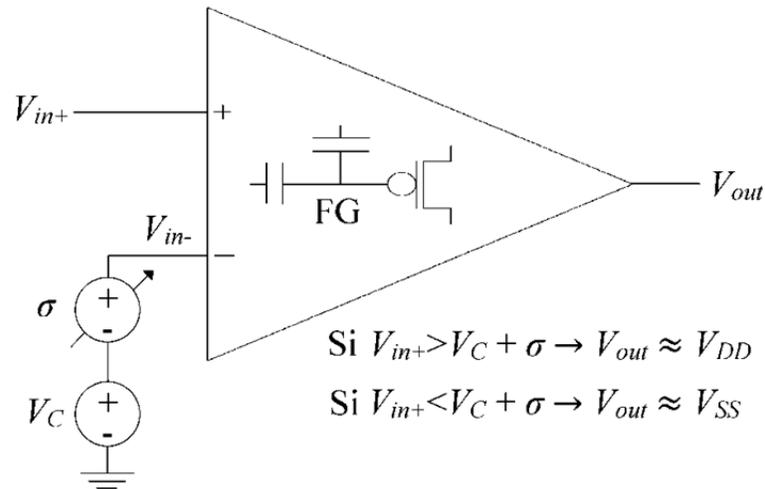


Figura 6.2. Empleo del amplificador operacional de offset programable (POOA) como comparador de voltaje. La tensión de offset referido a la entrada (σ) determina el nivel de decisión del comparador.

6.2.1 Principio de detección de flama a través del cambio en las características eléctricas

En principio, las flamas tienen la propiedad de conducir corriente eléctrica. En este trabajo se presenta un circuito detector de flama para gas LP utilizando este principio. La corriente a través de la flama se debe a los portadores libres creados en ésta. Varias publicaciones presentan buenos argumentos acerca de la ionización de la flama [80,82], entre los más aceptados está el principio de ionización química, el cual se expresa en la ecuación 6.1.



La flama, además de presentar una conducción eléctrica, también presenta propiedades de un diodo, es decir, conduce la corriente sólo en un sentido. La dirección de conducción de corriente es del electrodo más pequeño (punta de prueba), hasta el electrodo más grande (quemador). En la práctica, se tiene un circuito equivalente como el de la Figura 6.1, en donde el diodo está muy lejos de ser ideal, pues la corriente en polarización directa es comparable con la corriente de polarización inversa.

Los circuitos de detección de flama por ionización se basan entonces en el principio de rectificación más que en el principio de conducción, esto con el fin de evitar falsas detecciones. Es importante mencionar que este principio es válido sólo para pequeñas flamas con temperatura menor a 900°C , pues arriba de esta temperatura existe el riesgo de no detectar la flama [80].

6.2.2 Diseño del circuito mediante amplificadores operacionales con tensión de offset programable

El circuito detector de flama se diseñó tomando como base dos condiciones: utilizar una tensión de AC lo más pequeña posible, y utilizar lo mínimo de componentes externos sin utilizar potenciómetros para el ajuste, contrario a otros diseños industriales [83,84,85]. En la Figura 6.3 se muestra el circuito detector de flama implementado con un amplificador de precisión con estructuras FGMOS y con un amplificador operacional de offset programable (POOA). La tensión de AC se aplica a la flama a través de un resistor de $4.7\text{M}\Omega$, y una tensión de DC en modo común de 2.5V , de tal manera que cuando la flama esté presente, exista una componente de DC en la entrada del primer amplificador. La fuente de AC es un transformador de 1V_{RMS} , para asegurar un aislamiento galvánico y prevenir la inyección de una componente de DC que provenga de la red eléctrica. El primer amplificador tiene una tensión de offset (σ) reducida a unos $26\mu\text{V}$, de tal manera que no se inyecte una componente de DC a la segunda etapa del circuito. En la segunda etapa del circuito sólo debe de existir una componente de AC y una componente pequeña de DC cuando esté presente la flama.

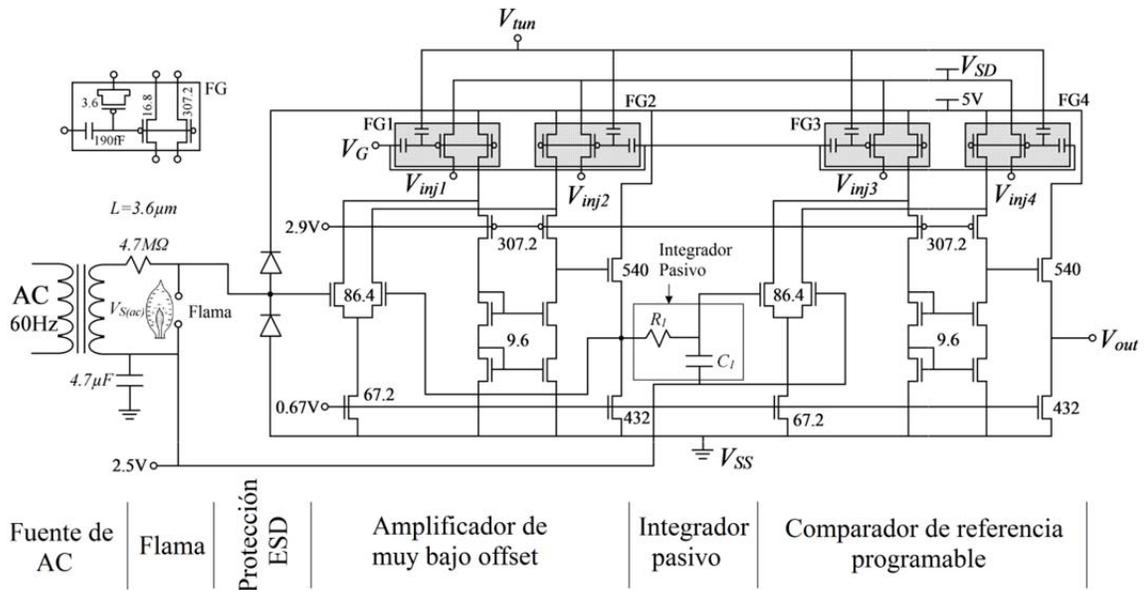


Figura 6.3. Circuito detector de flama implementado con amplificadores operacionales de offset programable. Para este trabajo $R_I = 100\text{k}\Omega$ y $C_I = 5.6\mu\text{F}$. Las terminales TUN , G , VSD , $INJ1$, $INJ2$, $INJ3$ e $INJ4$ son terminales de programación y no se utilizan cuando el circuito está en operación normal.

La segunda etapa consiste en un integrador de señal, de tal manera que la componente de AC se reduzca de manera considerable y sólo esté presente la componente de DC. El integrador se compone de R_I y C_I . La constante de tiempo (τ) ideal depende del tiempo de estabilización, el cual se discutirá más adelante.

La tercera etapa consiste en un amplificador operacional de offset programable. Su entrada es la salida del integrador. El nivel de decisión del comparador se determina por la carga eléctrica en las estructuras FG3 y FG4. Cuando la componente de DC es mayor que el nivel de decisión del comparador, entonces existe una flama entre las terminales marcadas en la Figura 6.3.

Para el análisis y diseño cuantitativo del circuito, llamemos $v_{s(ac)}$ a la tensión de AC pico a pico presente en la salida del transformador, $v_{e1(ac)}$ a la tensión de AC pico a pico presente en las terminales de C_I , y $v_{e1(dc)}$ a la tensión de DC presente en las terminales de dicho capacitor; esta tensión de DC es igual a la producida por el efecto rectificador de la flama.

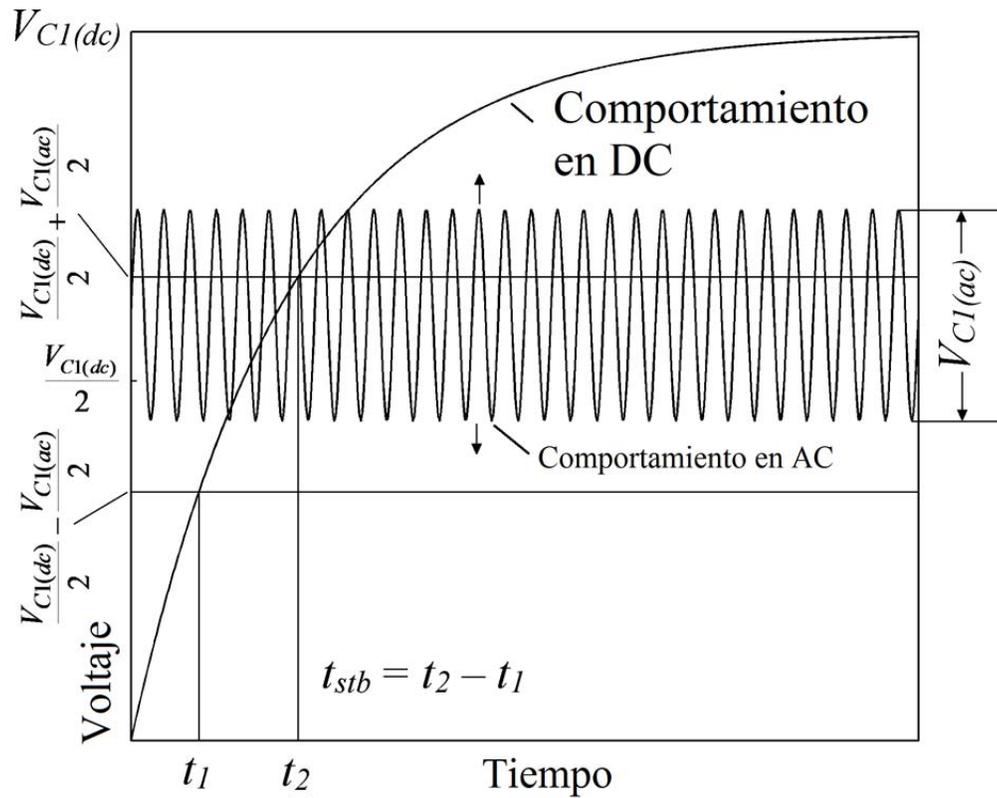


Figura 6.4. Comportamiento de las componentes de AC y DC en el circuito detector de flama. El nivel de decisión del comparador es igual a $v_{c1(dc)}/2$ para reducir el margen de ruido del comparador.

En la Figura 6.4 se muestra el comportamiento de las componentes de AC y DC en las terminales de C_1 , que es la entrada del comparador (POOA). Como se muestra, existe una componente de AC ($v_{c1(ac)}$), que es menor a la tensión de salida pico a pico del transformador ($v_{s(ac)}$) debido a la reactancia capacitiva de C_1 , es decir, el integrador actúa como un atenuador de señal. En cuanto a la componente de DC, que es la producida por el efecto de rectificación de la flama, pues el primer amplificador prácticamente no tiene tensión de offset gracias a las estructuras FG1 y FG2, no existe atenuación alguna, pues la reactancia capacitiva de C_1 es prácticamente infinita, sin embargo, esta componente no se presenta de manera instantánea en las terminales de C_1 , sino que empieza de cero y crece de manera exponencial hasta alcanzar su valor máximo ($v_{c1(dc)}$). En resumen, cuando no existe flama, en las terminales de C_1 aparece una señal de AC igual a $v_{c1(ac)}$ centrada en $0V_{DC}$.

Cuando la flama aparece, ésta misma señal de AC comienza a subir de manera exponencial desde $0V_{DC}$ hasta $v_{c1(dc)}$.

El valor de la componente de AC en las terminales del capacitor se obtiene del circuito equivalente de AC como se muestra en la ecuación 6.2.

$$v_{c1(ac)} = \frac{v_{s(ac)} X_{C1}}{R_1 + X_{C1}} = \frac{v_{s(ac)}}{1 + 2\pi f \tau} \quad (6.2)$$

donde f es la frecuencia de la señal a la salida del transformador, en este caso 60Hz, y τ es la constante de tiempo igual al producto de R_1 y C_1 .

El comportamiento de la componente de DC en las terminales del capacitor en el tiempo, se obtiene a través de la ecuación de carga del capacitor como se muestra en la ecuación 6.3.

$$v_{c1}(t) = v_{c1(dc)} \left(1 - e^{-\frac{t}{\tau}} \right) \quad (6.3)$$

Como se muestra en la Figura 6.4, si aparece una flama y el nivel de decisión del comparador es $v_{c1(dc)}/2$, entonces debido a la componente de AC, existirá una señal rectangular a la salida del comparador mientras la señal en el capacitor transite desde t_1 hasta t_2 . Al tiempo en el que la señal de salida del comparador es pulsante, se le llama “tiempo de estabilización (t_{stb})”. El tiempo de estabilización existe en la transición de estado bajo a estado alto cuando aparece la flama, y en la transición de estado alto a estado bajo cuando desaparece ésta.

Para calcular el tiempo de estabilización es necesario conocer la tensión pico a pico de la componente de AC en las terminales del capacitor C_1 , así como el comportamiento de la componente de DC en las terminales del mismo.

El tiempo de estabilización es igual a la diferencia de t_2 menos t_1 .

$$t_{stb} = t_2 - t_1 \quad (6.4)$$

De la Figura 6.4, y partiendo de la ecuación 6.3, se tiene:

$$t_1 = -\tau \ln \left(\frac{v_{c1(dc)} - \frac{v_{c1(dc)}}{2} + \frac{v_{c1(ac)}}{2}}{v_{c1(dc)}} \right) \quad (6.5)$$

$$t_2 = -\tau \ln \left(\frac{v_{c1(dc)} - \frac{v_{c1(dc)}}{2} - \frac{v_{c1(ac)}}{2}}{v_{c1(dc)}} \right) \quad (6.6)$$

El tiempo de estabilización es entonces:

$$\begin{aligned} t_{stb} &= \tau \ln \left(\frac{v_{c1(dc)} - \frac{v_{c1(dc)}}{2} - \frac{v_{c1(ac)}}{2}}{v_{c1(dc)}} - \frac{v_{c1(dc)} - \frac{v_{c1(dc)}}{2} + \frac{v_{c1(ac)}}{2}}{v_{c1(dc)}} \right) \\ &= \tau \ln \left(\frac{\frac{v_{c1(dc)} + v_{c1(ac)}}{2v_{c1(dc)}}}{\frac{v_{c1(dc)} - v_{c1(ac)}}{2v_{c1(dc)}}} \right) = \tau \ln \left(\frac{v_{c1(dc)} + v_{c1(ac)}}{v_{c1(dc)} - v_{c1(ac)}} \right) \end{aligned} \quad (6.7)$$

El tiempo de estabilización depende de la constante de tiempo τ y de la componente de DC producida por el efecto rectificador de la flama. Aparentemente, si se disminuye τ , el tiempo de estabilización disminuye también. Lo anterior no es del todo verdadero, pues cuando disminuye τ , también aumenta la componente de AC $v_{c1(ac)}$, por lo que aumenta t_{stb} .

Además, la componente de AC tiene como límite $v_{cl(ac)}$, más allá de este valor existiría una señal pulsante a la salida del comparador sin presencia de la flama.

La constante de tiempo mínima para evitar que la salida del comparador se vuelva inestable, se obtiene igualando $v_{cl(ac)}$ con $v_{cl(dc)}$, y sustituyendo en la ecuación 6.2 como se muestra en la ecuación 6.8.

$$\begin{aligned}
 v_{cl(dc)} &= \frac{v_{s(ac)}}{1 + 2\pi f \tau_{(min)}} \\
 v_{cl(dc)} + 2\pi f v_{cl(dc)} \tau_{(min)} &= v_{s(ac)} \\
 \tau_{(min)} &= \frac{v_{s(ac)} - v_{cl(dc)}}{2\pi f v_{cl(dc)}} \quad (6.8)
 \end{aligned}$$

En la Figura 6.5 se muestra la dependencia de t_{stb} de τ para tres diferentes tensiones de $v_{cl(dc)}$. Como se observa, el tiempo de estabilización crece en gran manera conforme la constante de tiempo (τ) se acerca a su valor mínimo ($\tau_{(min)}$). Los valores de τ menores a $\tau_{(min)}$, no son válidos debido a que la salida del comparador es inestable. Por otro lado, se aprecia que la manera efectiva de reducir el tiempo de estabilización, es aumentando la componente de DC ($v_{cl(dc)}$), lo cual se logra seleccionando el material adecuado para la punta de prueba, y colocando ésta a una distancia y ángulo óptimo respecto a la flama [80].

Para cuestiones de diseño, se considera la componente de DC mínima producida por la flama, de tal manera que el circuito detector sea capaz de responder en el peor de los casos. La constante de tiempo, como se muestra en la Figura 6.5, se selecciona de tal manera de reducir el tiempo de estabilización. Para este trabajo, la componente de DC mínima es de 30mV, por lo que el nivel de decisión es de 15mV, por lo tanto, el segundo amplificador se programó para tener una tensión de offset de +15mV. La constante de tiempo (τ), se eligió tomando como referencia la curva para una componente de DC de 30mV de la Figura 6.5. El valor elegido es de 0.56s, pues más allá de este valor el tiempo de estabilización no cambia, además para constantes de tiempo grandes se requieren valores de resistencia y capacitancia grandes.

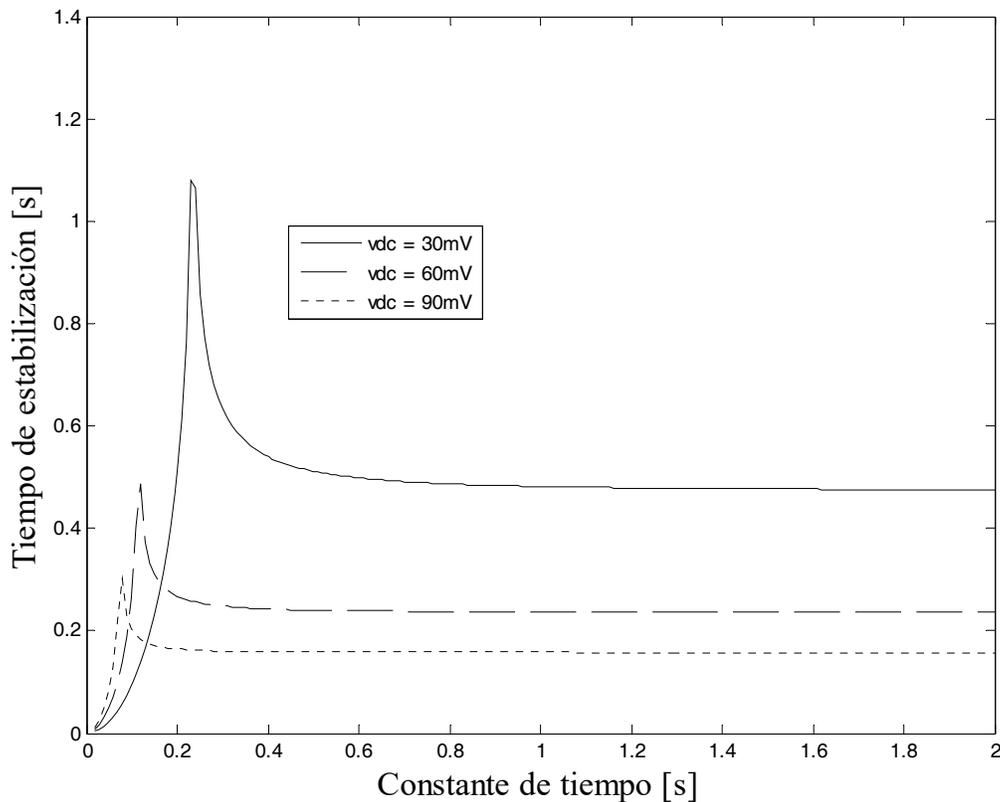


Figura 6.5. Comportamiento del tiempo de estabilización con respecto a la constante de tiempo (τ) para tres diferentes tensiones de DC producidas por el efecto de rectificación de la flama.

Para una constante de tiempo (τ) igual a 0.56s, se eligió una resistencia de 100k Ω , pues valores más grandes pueden generar ruido térmico considerable que vuelva inestable la salida del comparador. El valor del capacitor es entonces de 5.6 μ F.

En la Figura 6.6 se muestra el circuito completo del detector de flama. Se muestran la fuente de alimentación para los circuitos de polarización y el circuito integrado, la fuente de alimentación de corriente alterna (transformador), el circuito de polarización, el circuito integrado con los dos amplificadores operacionales con tecnología FGMOS y las conexiones para el sistema de programación mediante el algoritmo LMS. La fuente de alimentación puede implementarse también mediante el uso de reguladores de voltaje con tecnología MOS de compuerta flotante [86] para reducir el consumo de energía.

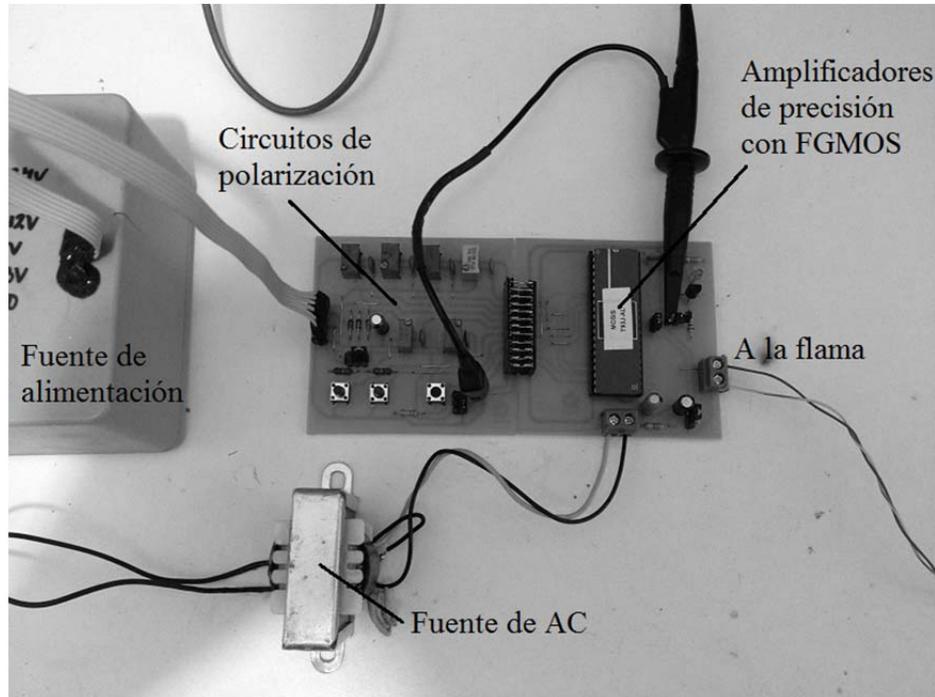


Figura 6.6. Sistema de detección de flama de bajo voltaje mediante el uso de amplificadores operacionales de precisión con tecnología MOS de compuerta flotante.

6.2.3 Resultados experimentales

Para llevar a cabo las mediciones, se utilizó un osciloscopio digital marca Rigol, modelo DS-1102 así como el sistema de programación mostrado en el capítulo 4.

El primer paso antes de analizar gráficamente la salida del circuito detector de flama, es programar los dos amplificadores operacionales con estructuras FGMOS, de tal manera de obtener un amplificador de precisión ($\sigma < 100\mu\text{V}$) para la primera etapa, y un amplificador operacional de offset programable que funcione como comparador con un nivel de decisión de 15mV ($\sigma = +15\text{mV}$). En la Tabla 6.1 se muestra los resultados obtenidos de la tensión de offset después de la programación de los dos amplificadores utilizados en el circuito detector de flama. La programación se realizó mediante el circuito con FPGA, pues éste cuenta con las características adecuadas para aplicaciones industriales [87].

Tabla 6.1. Valores de la tensión de offset después de la programación para los dos amplificadores operacionales utilizados en el circuito detector de flama de bajo voltaje.

Dispositivo	Tensión de offset esperado	Tensión de offset medido
Amplificador de precisión	<100 μ V	26 μ V
POOA	15mV	15mV

En la Figura 6.7 se muestra la respuesta de salida del circuito detector de flama al encender una flama. La tensión de AC a la salida del transformador ($v_{s(ac)}$) es igual a $0.95V_{RMS}$ o $2.68V_{PICO-PICO}$.

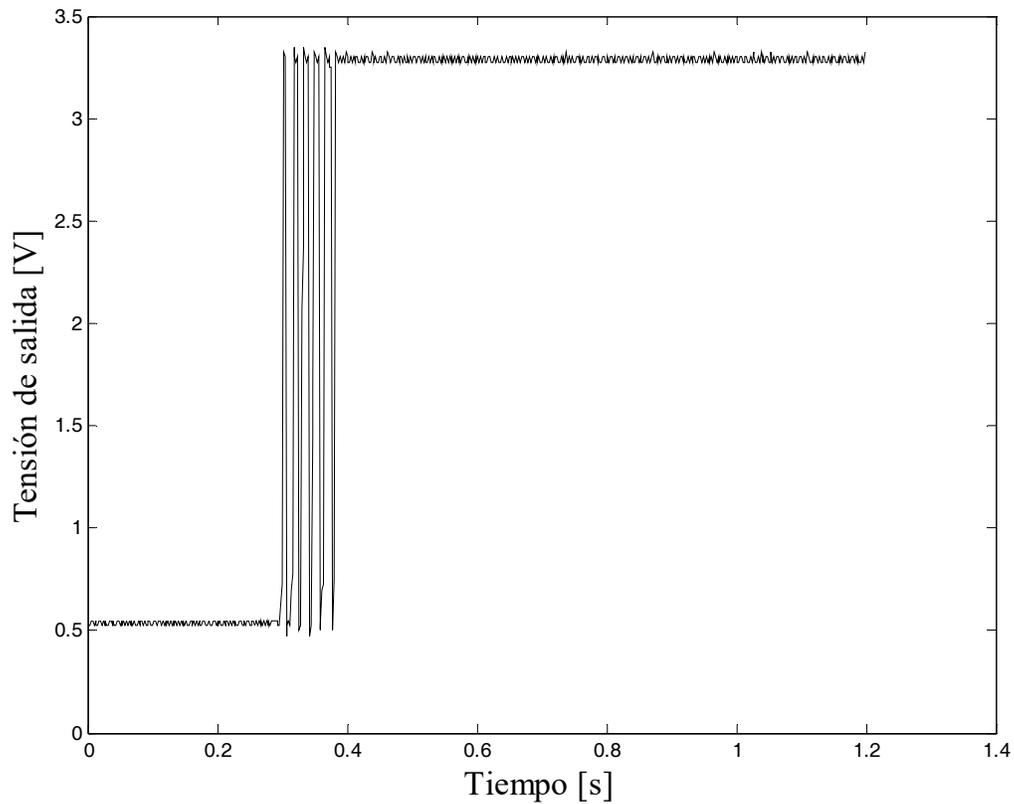


Figura 6.7. Tensión de salida del detector después de encender una flama. El tiempo de estabilización (t_{stb}) de la señal es de aproximadamente 100ms.

Como se observa en la Figura 6.7, el tiempo de estabilización es de aproximadamente 100ms, por lo que la componente de DC ($v_{cl(dc)}$) es mayor a 100mV. Éste es un caso tendiente a lo ideal; en el peor de los casos ($v_{cl(dc)}=30\text{mV}$), el tiempo de estabilización (t_{stb}) tendría un valor de aproximadamente 500ms.

En la Figura 6.8 se muestra la respuesta de salida del detector de flama al apagar la flama. El tiempo de estabilización es de aproximadamente 60ms, por lo que se asume que al momento de tomar la medición, la componente de DC había disminuido ($v_{cl(dc)}$), debido al movimiento de la flama [88].

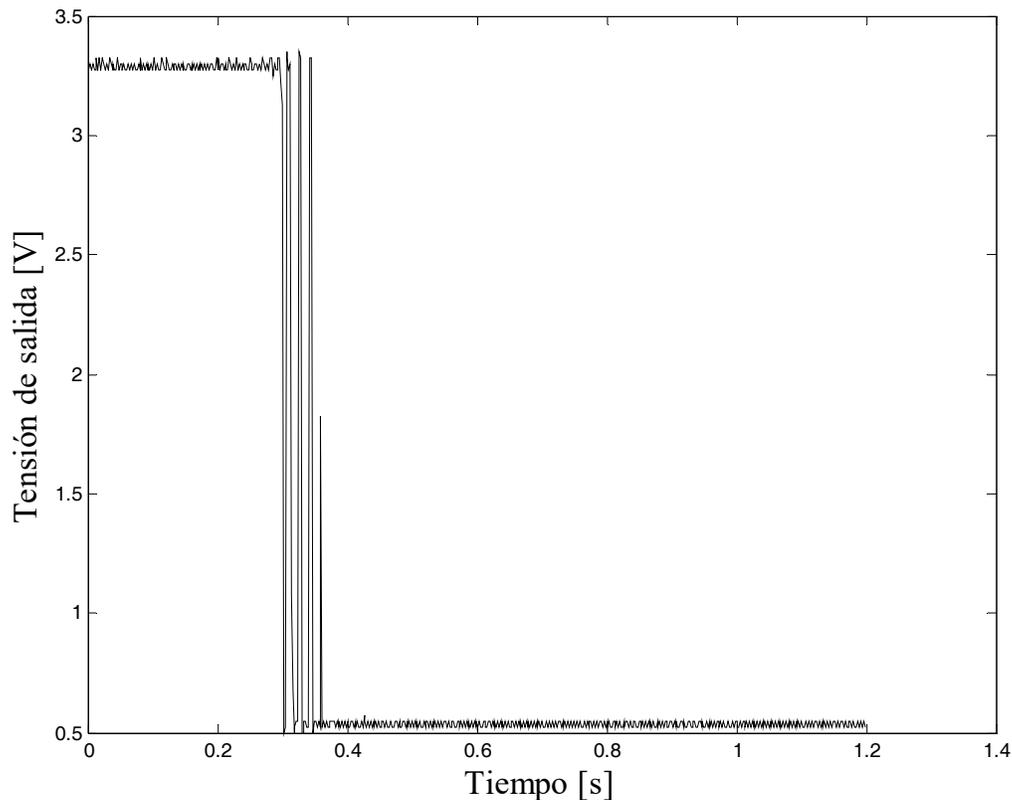


Figura 6.8. Tensión de salida del detector después de apagar una flama. El tiempo de estabilización (t_{stb}) de la señal es de aproximadamente 60ms.

6.2.4 Medición de la tensión de offset a diferentes temperaturas.

En la práctica, el circuito detector de flama estará expuesto a diferentes temperaturas ambientales, con lo cual el parámetro de tensión de offset σ tendrá una variación. Con el fin de prevenir un fallo del detector de flama debido al cambio de temperatura del chip, se hicieron mediciones experimentales de la tensión de offset a diferentes temperaturas; para ello se fabricó una cámara aislada térmicamente a la cual se incorporó una celda Peltier con un par de ventiladores para crear un ambiente de temperatura controlado.

En la tabla 6.2 se muestran los resultados experimentales obtenidos, y en Figura 6.9 se muestra la cámara térmica con la que se realizó el experimento. Las pequeñas variaciones en la tensión de offset en un intervalo de temperatura de 10°C a 50°C nos muestra que el circuito detector de flama prácticamente no se verá afectado.

Tabla 6.2. Resultados experimentales de tensión de offset a diferentes temperaturas del chip.

Temperatura	POOA1	POOA2
10°C	+25 μ V	+15.02mV
27°C	-26 μ V	+14.97mV
35°C	-111 μ V	+14.88mV
50°C	-164 μ V	+14.83mV



Figura 6.9. Cámara aislada térmicamente, incorporando una celda Peltier para crear un ambiente controlado de temperatura.

6.3 Resumen del capítulo

En este capítulo se presentó un circuito para la detección de flama de muy bajo voltaje, implementado con amplificadores operacionales con tecnología MOS de compuerta flotante. La tecnología CMOS utilizada es muy importante debido a que de la carga almacenada en la compuerta flotante, depende directamente la tensión de offset, en [89] se muestra la confiabilidad para un FGMOS en tecnologías de $0.35\mu\text{m}$, $0.25\mu\text{m}$ y $0.18\mu\text{m}$.

Al iniciar el capítulo se describió la importancia de los circuitos detectores de flama en la industria, así como los diferentes métodos utilizados para la detección de ésta. En este trabajo se utilizó el método por ionización debido a la presencia de la flama. Se presentó una propuesta de circuito detector de flama con dos amplificadores operacionales y se describieron las características eléctricas que debían tener dichos amplificadores.

En este capítulo también se presentó el diseño cualitativo y cuantitativo del circuito detector de flama. Se determinó que el primer amplificador debía de ser de precisión, es decir, debía de tener una tensión de offset menor a $100\mu\text{V}$, mientras que el segundo amplificador debía utilizarse en lazo abierto con una tensión de offset de 15mV para funcionar como un comparador de voltaje. A un amplificador de offset programable que funciona como comparador de voltaje se le llamó por sus siglas en inglés, POOA.

Se presentaron también los resultados experimentales tanto de la programación de la tensión de offset en ambos amplificadores, así como la respuesta de salida del detector al encender y apagar la flama.

Finalmente, se comprobó que es posible a través del uso de amplificadores operacionales con tecnología MOS de compuerta flotante, la detección de la presencia de una flama menor a 900°C , utilizando apenas $0.95V_{\text{RMS}}$, valor de tensión mucho menor a lo publicado anteriormente. También se mostró que es posible evitar el uso de ajuste externos de tipo mecánico, evitando las posibles fallas del circuito por causa de la suciedad y el desgaste.

Capítulo 7

Conclusiones y trabajo futuro

7.1 Conclusiones

De acuerdo a los resultados experimentales y de simulación, así como de la investigación realizada en las diferentes publicaciones utilizadas a lo largo de este trabajo de tesis, se concluye que:

El método de reducción de la tensión de offset mediante el uso de transistores MOS de compuerta flotante es uno de los métodos más fáciles de implementar en comparación con otros métodos como el AZ, el CDS y el CS. También tiene la ventaja de ser un método que se programa en campo, es decir, no es necesario realizar la programación durante el proceso de fabricación como en el caso del método por ajuste por rayo láser.

El uso de transistores MOS de compuerta flotante, asegura la retención de carga por largo tiempo, brindando al dispositivo mayor tiempo de vida. Dentro de los dos mecanismos para el control de carga del transistor FGMOS. Se demostró que es más fácil implementar circuitos de programación para el mecanismo de inyección de portadores calientes, pues es más eficiente que el mecanismo de tuneleo de electrones y requiere de una tensión mucho menor para lograr la inyección. Al utilizar el mecanismo de inyección de electrones, se prefiere la programación indirecta, pues de esta manera es posible realizar la inyección sin necesidad de desconectar la estructura de compuerta flotante del circuito principal. En cuanto a la programación del transistor FGMOS, es recomendable utilizar la modulación en frecuencia, pues la modulación en amplitud requiere de complicados convertidores

digitales-analógicos. Para la modulación en frecuencia sólo se necesitan estructuras de tipo digital, las cuales son más fáciles de implementar.

El algoritmo LMS presentó buenas características para realizar el control de carga de la compuerta flotante de un transistor FGMOS. De acuerdo a los resultados experimentales, el LMS tiene un comportamiento asintótico que reduce el número de iteraciones necesarias para alcanzar una corriente o una tensión de destino, acelerando el proceso de programación en campo. Se mostró también que dicho algoritmo, aunque es matemáticamente complejo, se implementó tanto en un FPGA como en una aplicación de LabVIEW mostrando buenos resultados para ambos casos.

Se diseñó un amplificador operacional tipo “cascodo doblado” para lograr tensiones de offset mínimas, aunque no lo suficiente para considerar al amplificador como de precisión ($\sigma < 100\mu\text{V}$). Lo anterior se demostró mediante simulaciones de tipo Monte Carlo y resultados experimentales. Por otro lado, el amplificador tipo cascodo doblado, a pesar de tener mucho tiempo desde que se inventó, presentó características eléctricas aceptables en comparación con nuevas topologías, como lo dice la evolución en el diseño [90].

El amplificador operacional “cascodo doblado”, se modificó fácilmente para implementar dos estructuras FGMOS que sirven para compensar los efectos de la disparidad, y así lograr la reducción de la tensión de offset de manera significativa.

La tensión de offset referido a la entrada se redujo hasta $25\mu\text{V}$ mediante el uso de transistores MOS de compuerta flotante y el algoritmo LMS para la programación de la carga en estos transistores. Con este nivel de tensión de offset, se puede considerar a estos amplificadores operacionales como amplificadores de precisión. Lo anterior se demostró mediante resultados experimentales [3,4].

Los amplificadores operacionales con estructuras FGMOS, se programaron de tal manera que la tensión de offset se ajuste a niveles más altos, y de esta manera, implementar un comparador de voltaje sin la necesidad de utilizar componentes externos, sobre todo los

potenciómetros mecánicos que tienden a fallar con el tiempo. A estos amplificadores de offset programable que se utilizan como comparadores de voltaje, se les llamó por sus siglas en inglés, “POOA”.

Se implementó un circuito detector de flama de muy bajo voltaje mediante el uso de un amplificador operacional de precisión con transistores FGMOS, y un POOA. Los resultados experimentales muestran lo dicho anteriormente [10].

7.2 Aportaciones a la investigación científica

En cuanto a las aportaciones a la investigación científica se puede resumir lo siguiente:

1. Se logró la reducción de la tensión de offset en amplificadores operacionales mediante transistores MOS de compuerta flotante, desde alrededor de 4mV hasta 25 μ V utilizando tecnología CMOS de compuerta flotante.
2. Se implementó el algoritmo LMS para programar transistores MOS de compuerta flotante mediante la modulación en frecuencia, logrando la reducción del número de iteraciones.
3. Se implementó otro método de programación distinto a la modulación por amplitud en la tensión fuente-drenador (V_{SD}). Método por modulación en frecuencia.
4. Se logró la reducción del costo de producción de amplificadores operacionales de precisión debido a la programación en campo [3,4].
5. Se implementó un circuito detector de flama de muy bajo voltaje y bajo costo mediante el uso de un amplificador operacional de precisión y un amplificador de offset programable que funciona como comparador de voltaje (POOA). El circuito detector presentó un funcionamiento adecuado con apenas 0.95V_{RMS} [10].

7.3 Trabajo futuro

En este trabajo de tesis se muestra que a pesar de los resultados satisfactorios obtenidos, es posible continuar con esta línea de investigación. Algunas de las recomendaciones para trabajo futuro se enlistan a continuación:

1. Diseñar un amplificador operacional de precisión mediante transistores MOS de compuerta flotante con tecnología de $0.5\mu\text{m}$ o $0.35\mu\text{m}$.
2. Probar otras topologías para el diseño del amplificador de precisión, por ejemplo la topología telescópica.
3. Implementar los circuitos de polarización de manera interna (*on chip*) y hacerlos ajustables mediante transistores FGMOS.
4. Implementar los circuitos de programación de manera interna para reducir el número de terminales utilizados en la programación.
5. Utilizar convertidores analógicos-digitales de mayor resolución, con el fin de mejorar la exactitud de la programación.
6. Probar con otros algoritmos de control como el PID, con el fin de comparar los resultados obtenidos con los resultados presentados con el algoritmo LMS.
7. Mejorar el diseño del amplificador operacional para reducir la tensión de offset sin afectar el ancho de banda y la ganancia en lazo abierto.
8. Utilizar las estructuras FGMOS para la reducción de la tensión de offset en otras estructuras de tipo analógico, por ejemplo, los multiplicadores de voltaje de cuatro cuadrantes y los moduladores $\Sigma\Delta$.

Bibliografía

- [1] Behzad Razavi; “*Design of Analog CMOS Integrated Circuits*”, McGraw-Hill International Edition, United States, **2001**.
- [2] Venkatesh Srinivasan, Guillermo J. Serrano, Jordan Gray, Paul Hasler; “*A Precision CMOS Amplifier Using Floating-Gate Transistor for Offset Cancellation*”, IEEE Journal of Solid State Circuits, vol. 42, no. 2, February **2007**.
- [3] J. C. Iglesias-Rojas, F. Gomez-Castañeda, J. A. Moreno-Cadenas; “*Offset Reduction in Operational Amplifiers using Floating Gate Technology and LMS Algorithm*”, IEEE International Conference on Electrical Engineering Computing Science and Automatic Control (CCE), pp. 1 – 6, February **2011**.
- [4] Juan Iglesias-Rojas, Felipe Gomez-Castañeda, Jose Moreno-Cadenas; “*A Very Low Offset Voltage Operational Amplifier Using Floating-Gate Technology*”, IEEE 20th International Conference on Electronics, Communications and Computer (CONIELECOMP), pp. 9 – 14, **2011**.
- [5] Chang Hee Kim, In-Tak Cho, Jong-Min Shin, Kyu-Bong Choi, Jung-kyu Lee, Jong-Ho Lee; “*A New Gas Sensor Based on MOSFET Having a Horizontal Floating-Gate*”, IEEE Electron Device Letters, vol. 35, No. 2, pp. 265 – 267, February **2014**.
- [6] Stephen Brink, Jennifer Hasler, Richard Wunderlich; “*Adaptive Floating-Gate Circuit Enable Large-Scale FPAA*”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 22, pp. 2307 – 2315, **2014**.
- [7] Ravindran A; “*Compact Low Voltage Four Quadrant CMOS Current Multiplier*”, IEEE Electronics Letters, vol. 37, pp. 1428 - 1429, November **2001**.

- [8] J.-J. Chen, S.-I. Liu, Y.-S. Hwang; “*Low-Voltage Single Power Supply Four-Quadrant Multiplier Using Floating-Gate MOSFETs*”, IEEE Proceedings Circuits Devices Systems, vol. 143, no. 1, February **1998**.
- [9] Iñigo Navarro, Antonio J. López-Martín, Carlos A. de la Cruz, A. Carlosena; “*A Compact Low-Voltage Four Quadrant FGMOS Multiplier*”, IEEE Conference on Electronics, circuits and Systems, vol. 1, pp. 393 – 396, **2002**.
- [10] Juan Carlos Iglesias-Rojas, Felipe Gomez-Castañeda, and Jose Antonio Moreno-Cadenas; “*An LMS Programming Scheme and Floating-Gate Technology Enabled Trimmer-less and Low Voltage Flame Detection Sensor*”, MDPI, Sensors, June **2017**, 17, 1387.
- [11] Christian C. Enz, Gabor C. Temes; “*Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization*”, Proceedings of the IEEE, vol. 84, pp. 1584 – 1614, November **1996**.
- [12] Antonio F. Mondragón-Torres, Márcio C. Schneider, Edgar Sánchez-Sinencio; “*Extraction of Electrical Parameters of Floating Gate Device for Circuit Analysis Simulation, and Design*”, IEEE Midwest symposium on Circuits and Systems, vol. 1, pp. I – 311 – 14, August **2002**.
- [13] Juan Jesus Ocampo Hidalgo; “*System and Circuit Approaches for the Design of Multi-mode Sigma-Delta Modulators with Application for Multi-standard Wireless Receivers*”, Thesis dissertation, Germany, December **2004**.
- [14] Peter R. Kinget; “*Device Mismatch and Tradeoffs in the Design of Analog Circuits*”, IEEE Journal of Solid-State Circuits, vol. 40, pp. 1212 – 1224, June **2005**.

- [15] Kadaba R. Lakshmikumar, Robert A. Hadaway, Miles A. Copeland; “*Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design*”, IEEE Journal of Solid-State Circuits, vol. 21, pp. 1057 – 1066, December **1986**.
- [16] Marcel J. M. Pelgrom, Hans P. Tuinhout, Maarten Vertregt; “*Transistor Matching in Analog CMOS Applications*”, IEEE International Electron Devices Meeting, pp. 915 – 918, December **1998**.
- [17] M.C. Carlos Muñiz Montero; “*New Strategies for Offset Compensation in Analog Processing Building -Blocks*”, Thesis dissertation, Spain, December **2007**.
- [18] Esther Rodriguez-Villegas; “*Low Power and Low Voltage Circuit Design with the FG MOS Transistor*”, IET Circuits, Devices and Systems Series 20, United States, **2006**.
- [19] Maria Drakaki, George Fikos, Stylianos Siskos; “*Analog Signal Processing Circuits Using Floating Gate MOS Transistors*”, University of Thessaloniki, Greece.
- [20] Axel Thomsen, Martin A. Brooke; “*Low Control Voltage Programming of Floating Gate MOSFETs and Applications*”, IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 41, pp. 443 – 452, June **1994**.
- [21] Guillermo J. Serrano; “*High Performance Analog Circuit Design Using Floating-Gate Techniques*”, Thesis dissertation, Unites States, December **2007**.
- [22] Paul Hasler, Chris Diorio, Bradley A. Minch, Carver Mead; “*Single Transistor Learning Synapses*”, IEEE International Symposium on Circuits and Systems, vol. 3, pp. 1660 – 1663, May **1995**.

- [23] Juan Carlos Iglesias Rojas; “*Minimización de Eventos de Clock-Skew en Sistemas Digitales mediante Tecnología de MOSFET de Compuerta Flotante*”, Thesis dissertation, México D.F; December **2006**.
- [24] Guillermo José Serrano, Paul Edward Hasler; “*Current Mirror with Programmable Floating Gate*”, United States Patent Serrano et al., Patent No.: US 7,288,985 B2, Date of Patent: October 30, **2007**.
- [25] Parshotam S. Manhas, Susheel Sharma, K Pal, L. K. Mangotra, K. K. S. Jamwal; “*High Performance FGMOS-Based Low Voltage Current Mirror*”, Indian Journal of Pure & Applied Physics, vol. 46, pp. 355 – 358, May **2008**.
- [26] Venkatesh Srinivasan, Guillermo Serrano, Christopher M. Twigg, Paul Hasler; “*A Floating-Gate-Based Programmable CMOS Reference*”, IEEE Transactions on Circuits and Systems, vol. 55, no. 11, pp. 3448 – 3456, December **2008**.
- [27] Esther Rodriguez-Villegas; “*A 0.9V Offset Compensated FGMOS Comparator*”, IEEE, International Symposium on Circuits and Systems ISCAS, vol. 3, pp. 2160 – 2163, **2005**.
- [28] Arindam Basu, Stephen Brink, Craig Schlottmann, Shubha Kamakrishnan, Csaba Petre, Scott Koziol, Faik Baskaya, Christopher M. Twigg, Paul Hasler; “*A Floating-Gate-Based Field-Programmable Analog Array*”, Journal of Solid State Circuits, vol. 45, no. 9, pp. 1781 – 1793, September **2010**.
- [29] Jose M. Algueta Miguel, Antonio J. Lopez-Martin, Jaime Ramirez-Angulo, Ramon G. Carvajal; “*Tunable Rail-to-Rail FGMOS Transconductor*”, IEEE International Symposium on Circuits and Systems, ISCAS, pp. 225 – 228, **2010**.

- [30] Shantanu Chakrabartty, Gert Cauwenberghs; “*Fixed-Current Method for Programming Large Floating-Gate Arrays*”, IEEE International Symposium on Circuits and Systems, vol. 4, pp. 3934 – 3937, May **2005**.
- [31] Chris Diorio, Paul Hasler, Bradley A. Minch, Carver A. Mead; “*A Floating-Gate MOS Learning Array Locally Computed Weight Updates*”, IEEE Transactions on Electron Devices ,vol. 44, pp. 2281 – 2289, December **1997**.
- [32] Paul Hasler, Bradley A. Minch, Chris Diorio; “*Adaptive Circuits Using pFET Floating-Gate Devices*”, IEEE Anniversary Conference on Advanced Research in VLSI, pp. 215 – 229, March **1999**.
- [33] Paul Hasler, Andreas G. Andreou, Chris Diorio, Bradley A. Minch, Carver A. Mead; “*Impact Ionization and Hot-Electron Injection Derived Consistently from Boltzmann Transport*”, OPA (Overseas Publishers Association) N.V. Published, United States, **1998**.
- [34] Paul Hasler, Arindam Basu, Scott Koziol; “*Above Threshold pFET Injection Modeling Intended for Programming Floating-Gate Systems*”, IEEE International Symposium on Circuits and Systems , pp. 1557 – 1560, May **2007**.
- [35] Axel Thomsen, Martin A. Brooke; “*Low Control Voltage Programming of Floating Gate MOSFETs and Applications*”, IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 41, pp. 443 – 452, June **1994**.
- [36] Kambiz Rahimi, Chris Diorio, Celia Hernandez, M. Dean Brockhausen; “*A Simulation Model for Floating-Gate MOS Synapse Transistors*”, IEEE Symposium on Circuits and Systems, vol. 2, pp. II - 532 – II - 535, **2002**.

-
- [37] Mark Hooper, Matt Kucic, Paul Hasler; “*5V-Only, Standard .5UM CMOS Programmable and Adaptive Floating-Gate Circuits and Arrays Using CMOS Charge Pumps*”, IEEE International Symposium on Circuits and Systems, vol. 5, pp. V - 832 – V - 835, May **2004**.
- [38] Erhan Özalevli, Haw-Jing Lo, Paul E. Hasler; “*Binary-Weighted Digital-to-Analog Converter Design Using Floating-Gate Voltage References*”, IEEE Transactions on Circuits and Systems I: Regular papers, vol. 55, pp. 990 – 998, May **2008**.
- [39] Chris Diorio, Sunit Mahajan, Paul Hasler, Bradley Minch, Carver Mead; “*A High-Resolution Non-Volatile Analog Memory Cell*”, IEEE International Symposium on Circuits and Systems, vol. 3, pp. 2233 – 2236, May **1995**.
- [40] G. Serrano, P.D. Smith, H.J. Lo, R. Chawla, T.S. Hall, C.M. Twigg, P. Hasler; “*Automatic Rapid Programming of Large Arrays of Floating-Gate Elements*”, IEEE International Symposium on Circuits and Systems, vol. 1, pp. I - 373 – I - 376, May **2004**.
- [41] Abhishek Bandyopadhyay, Guillermo J. Serrano; “*Adaptive Algorithm Using Hot-Electron Injection for Programming Analog computational Memory Elements Within 0.2% of Accuracy Over 3.5 Decades*”, IEEE Journal of Solid-State Circuits, vol. 41, pp. 2107 – 2114, September **2006**.
- [42] Miguel Figueroa, Seth Bridges, David Hsu, Chris Diorio; “*A 19.2GOPS Mixed Filter with Floating-Gate Adaptation*”, IEEE Journal of Solid State Circuits, vol. 39, pp. 1196 – 1201, July **2004**.
- [43] Jesus de la Cruz-Alejo, Felipe Gomez-Castañeda, Jose A. Moreno-Cadenas, Juan C. Iglesias Rojas; “*Adaptive Signal Identification Using LMS Filter with an Analog Memory Cell*”, IEEE 4th International Conference on Electrical and Electronics Engineering (ICEEE), pp. 365 – 368, September **2007**.

- [44] David W. Graham, Ethan Farquhar, Brian Degnan, Christal Gordon, Paul Hasler; “*Indirect Programming of Floating-Gate Transistors*”, IEEE Transactions on Circuits and Systems, pp. 951 – 963, May **2007**.
- [45] Miguel E. Figueroa Toro; “*Adaptive Signal Processing and Correlational Learning in Mixed-Signal VLSI*”, Thesis dissertation, United States, **2005**.
- [46] Martin T. Hagan, Howard B. Demuth, Mark Beale; “*Neural Network Design*”, PWS Publishing Company, United States, **1995**.
- [47] S. Haykin, B. Widrow; “*Least-Mean-Square Adaptive Filters*”, A John Wiley & Sons, Inc. Publication, United States, **2003**.
- [48] Sri Hari Krishna Vemuri, and Issa Panahi, “Hybrid RLS-NLMS Algorithm for Real-Time Remote Active Noise Control using Directional UltraSonic LoudSpeaker,” IEEE 40th Annual Conference of the Industrial Electronics Society, Dallas, TX, October **2014**, pp.2418-2424.
- [49] Tao Bian, Yu Jiang, and Zhong-Pin Jiang, “Decentralized Adaptive Optimal Control of Large-Scale Systems With Application to Power Systems,” IEEE Transactions on Industrial Electronics, vol. 62, no. 4, pp. 2439-2447, **2015**.
- [50] D. Sharma, and R. Kaur, “Improvement in Convergence Speed and Stability of Least Mean Square and Normalized Least Mean Square Algorithm,” IEEE 2nd International Conference on Computing for Sustainable Global Development, New Delhi, India, March **2015**, pp. 1496-1500.
- [51] Wagner K. T., Doroslovack M. I; “*Combination Coefficients for Fast Test Convergence of Distributed LMS Estimation*”, IEEE International Conference on Acoustics, Speech and Signal Processing, pp. 7218 – 7222, **2014**.

- [52] Gonzalo Carvajal, Miguel Figueroa, Seth Bridges; “*Effects of Analog-VLSI Hardware on the Performance of the LMS Algorithm*”, S. Kollias et al. (Eds.): ICANN, pp. 963 – 973, **2006**.
- [53] Yuping He, Uğur Çilingiroğlu; “*A Charge-Based On-Chip Adaptation Kohonen Neural Network*”, IEEE Transactions on Neural Networks, vol. 4, pp. 462 – 469, May **1993**.
- [54] J. de la Cruz-Alejo, and L.N. Oliva-Moreno, “LMS Algorithm for Programming an Analogue Memory Cell,” International Journal of Electronics, vol. 100, no. 6, pp. 863-879, **2013**.
- [55] Chin Tsu Yen, Wan-de Weng, and Yen Tsun Lin, “FPGA Realization of a Neural-Network-Based Nonlinear Channel Equalizer,” IEEE Transactions on Industrial Electronics, vol. 51, no. 2, pp. 472-478, **2004**.
- [56] Mrinal Das; “*Improved Design Criteria of Gain-Boosted CMOS OTA with High-Speed Optimizations*”, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 49, pp. 204 – 207, March **2002**.
- [57] Kumngem Montree, Khateb F; “*0.8-V Floating-Gate Differential Difference Current Feedback Operational Amplifier*”, IEEE ECTI-CON, pp. 1 – 5, **2014**.
- [58] Phillip E. Allen, Douglas R. Holberg; “*CMOS Analog Circuit Design*”, Oxford University Press, England, **2002**.
- [59] A. R. Mortazavi, M. R. Hassanzadeh, J. Talebzadeh, O. Shoaie; “*Design Procedure for a High DC-Gain and High-Bandwidth Amplifier*”, University of Teheran 14395-515, Iran.

- [60] Erik McCarthy; “*Design and Layout of a Telescopic Operational Transconductance Amplifier*”, University of Maine, United States, **2003**.
- [61] Mrinal Das; “*Improved Design Criteria of Gain-Boosted CMOS OTA with High-Speed Optimizations*”, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 49, pp. 204 – 207, March **2002**.
- [62] D. M. Binkley; “*Tradeoffs and Optimization in Analog CMOS Design*”, IEEE 14th International Conference on Mixed Design of Integrated Circuits and Systems, pp. 47 – 60, June **2007**.
- [63] David Johns, Ken Martin; “*Analog Integrated Circuits Design*”, Wiley College, Canada, **1997**.
- [64] R. Jacob Baker; “*CMOS Circuit Design, Layout, and Simulation*”, A John Wiley & Sons, Inc, Publication, United States, **2005**.
- [65] R. Jacob Baker; “*CMOS Mixed signal circuit Design*”, A John Wiley & Sons, Inc, Publication, United States, **2002**.
- [66] F. Maloberti; “*Layout of Analog CMOS Integrated Circuits, Part 2, Transistors and Basic Cells Layout*”.
- [67] R. D. Middlebrook; “*Measurement of Loop Gain in Feedback Systems*”, Int. J. Electronics, vol. 38 no. 4, United States, **1975**.
- [68] Farhan Adil, Guillermo Serrano, Paul Hasler; “*Offset Removal Using Floating-Gate Circuits for Mixed-Signal Systems*”, IEEE Southwest Symposium on Mixed-Signal Design, pp. 190 – 195, February **2003**.

- [69] Bradley A. Minch; “*A Folded Floating-Gate Differential Pair for Low-Voltage Applications*”, The 2000 IEEE International Symposium on Circuits and Systems, vol. 4, pp. 253 – 256, **2000**.
- [70] Kumngem Montree, Chanwutitum Jirasak; “*0.75V Four-Quadrant Current Multiplier using Floating-Gate-MOS Transistors*”, IEEE International Electrical Engineering Congress (iEECON), pp. 1 – 4, **2014**.
- [71] Huahai Qiu, Fuhuan Chen, Yawei Gao; “*Based on the CCD of the Boiler Flame Detection*”, IEEE 3rd International Conference on Digital Manufacturing & Automation, pp. 261 – 263, **2012**.
- [72] Bae H, Kim S, Wang B.-H, Lee M, and Harashima F. “*Flame Detection for the Steam Boiler Using Neural Network and Image Information in the Ulsan Steam Power Generation Plant*”, IEEE Trans. Ind. Electron. **2006**, 53, 338–348.
- [73] Zhang D and Wang Y, “*Real-Time Fire Detection Using Video Sequence Data*”, In Proceedings of the IEEE 28th Chinese Control and Decision Conference, Yinchuan, China, 28–30 May **2016**; pp. 3620–3623.
- [74] Chen H, Zhang X, Hong P, Hu H and Yin X, “*Recognition of the Temperature Condition of a Rotary Kiln Using Dynamic Features of A Series of Blurry Flame Images*”, IEEE Trans. Ind. Electron. **2016**, 12, 148–157.
- [75] Winfred J. Kuipers, Jorg Muller; “*Total Hydrocarbon Analysis with a Planar Micro Flame Ionization Detector*”, IEEE Sensors Conference, pp. 1939 – 1942, **2009**.

- [76] Hyeon Bae, Sungshin Kim, Bo-Hyeun Wang, Man Hyung Lee, and Fumio Harashima, "Flame Detection for the Steam Boiler Using Neural Network and Image Information in the Ulsan Steam Power Generation Plant," IEEE Transactions on Industrial Electronics, vol. 53, no. 1, pp. 338-348, **2006**.
- [77] Pedro Cheong, Ka-Fai Chang, Ying-Hoi Lai, Sut-Kam Ho, Iam-Keong Sou, and Kam-Weng Tam, "A ZigBee-Based Wireless Sensor Network Node for Ultraviolet Detection of Flame," IEEE Transactions on Industrial Electronics, vol. 58, no. 11, pp. 5271-5277, **2011**.
- [78] Alexandre R. Pauchard, Dragan Manic, Adrian Flanagan, Pierre A. Besse, and Rade S. Popovic, "A Method for Spark Rejection in Ultraviolet Flame Detectors," IEEE Transactions on Industrial Electronics, vol. 47, no. 1, pp. 168-174, **2000**.
- [79] Ray Stata; "*Operational Integrators*", Analog Devices, pp. 13 – 16.
- [80] Andreas Mollberg; "*Investigation of the Principle of Flame Rectification in order to Improve Detection of the Propane Flame in Absorption Refrigerators*", Thesis Dissertation, June **2005**.
- [81] Jesus de la Cruz-Alejo; "*Follower Voltage Flipped with FGMOS Transistors for Low-Voltage and Low-Power Applications*", IEEE 10th International Conference on Electrical Engineering, Computing Science and Automatic Control CCE, pp. 473 – 477, October **2013**.
- [82] H. R. N. Jones, "The Application of Combustion Principles to Domestic Gas Burner Design", Cambridge, UK; Routledge, **1990**.
- [83] Paul S. Hammond, "Flame Rectification Detectors," U.S. Patent 4427363, January 24, **1984**.

- [84] Peter P. Payne, Stephan E. Schmidt, Kristin P. Goppel, Darrel J. King, Stephen M. Tobin, and J. Thomas Fowler, “Constant Current Flame Ionization Circuit,” U.S. Patent 6509838 B1, January 21, **2003**.
- [85] Brent Chian, Peter M. Anderson, Timothy J. Nordberg, and Bruce Hill, “Flame Sensing System,” U.S. Patent 7764182 B2, July 27, **2010**.
- [86] Paul Hasler, AiChen Low; “*Programmable Low Dropout Voltage Regulator*”, IEEE 5th International Workshop on System-on-Chip for Real-Time Applications, pp. 459 – 462, July **2005**.
- [87] Juan J. Rodriguez-Andina, Maria D. Valdés-Peña, and Maria J. Moure, “Advanced Features and Industrial Applications of FPGA,” IEEE Transactions on Industrial Informatics, vol. 11, no. 4, pp. 853-864, **2015**.
- [88] Li Fangyan, Xu Lijun, Cao Zhang, and Du Minglong, “A Chemi-ionization processing approach for characterizing flame flickering behavior,” IEEE International Instrumentation and Measurement Technology Conference, Pisa, Italy, May **2015**, pp.325-329.
- [89] Ma Y, Gilliland T, Wang B, Paulsen R, Pesaveento A, Wang H, Hoc N, Humes T and Diorio C, “*Reliability of pFET EEPROM With 70-Å Tunnel Oxide Manufactured in Generic Logic CMOS Processes*”, IEEE Trans. Device Mater. Reliab. **2004**, 4, 353–358.
- [90] Bradley A. Minch; “*Evolution of a Folded Floating-Gate Differential Pair*”, Proceedings of the 43rd IEEE Midwest Symposium on circuits and Systems, vol. 3, pp. 1052 – 1056, **2000**.

Apéndice A

Extracción de los parámetros significativos de diseño de un transistor MOS mediante MATLAB

En este apéndice, se muestran varios métodos utilizando PSpice y Matlab, para extraer algunos de los parámetros más significativos del modelo simple del transistor MOS. Los parámetros significativos de un transistor se deben de extraer para todas las relaciones geométricas utilizadas en un diseño, incluyendo los dos tipos de transistor.

Los parámetros significativos son:

KP_{lin} Transconductancia para la región lineal.

KP_{sat} Transconductancia para la región de saturación.

V_{TH0} Tensión de umbral de polarización cero.

V_{TH} Tensión de umbral.

γ Parámetro de efecto de cuerpo.

λ Parámetro de modulación de canal.

Para obtener estos parámetros, se puede utilizar un modelo avanzado de simulación, por ejemplo el BSIM3v3, para trazar las curvas I-V de donde, con ayuda de Matlab, se pueden extraer los parámetros significativos antes mencionados. En este apéndice se extraerán los parámetros significativos de un transistor canal n con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$ para ejemplificar el procedimiento de extracción. En la práctica se debe de hacer todo el

procedimiento para cada uno de los transistores utilizados en el diseño con L_{eff} y/o W_{eff} diferentes.

Para extraer la transconductancia en la región lineal (KP_{lin}), primero se debe de graficar I_D vs V_{GS} para una tensión $V_{DS} < V_{DS(sat)}$. En la Figura A.1, se muestra la gráfica de I_D vs V_{GS} extraída del modelo BSIM3v3 para un transistor canal n con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. $V_{DS} = 0.1\text{V}$.

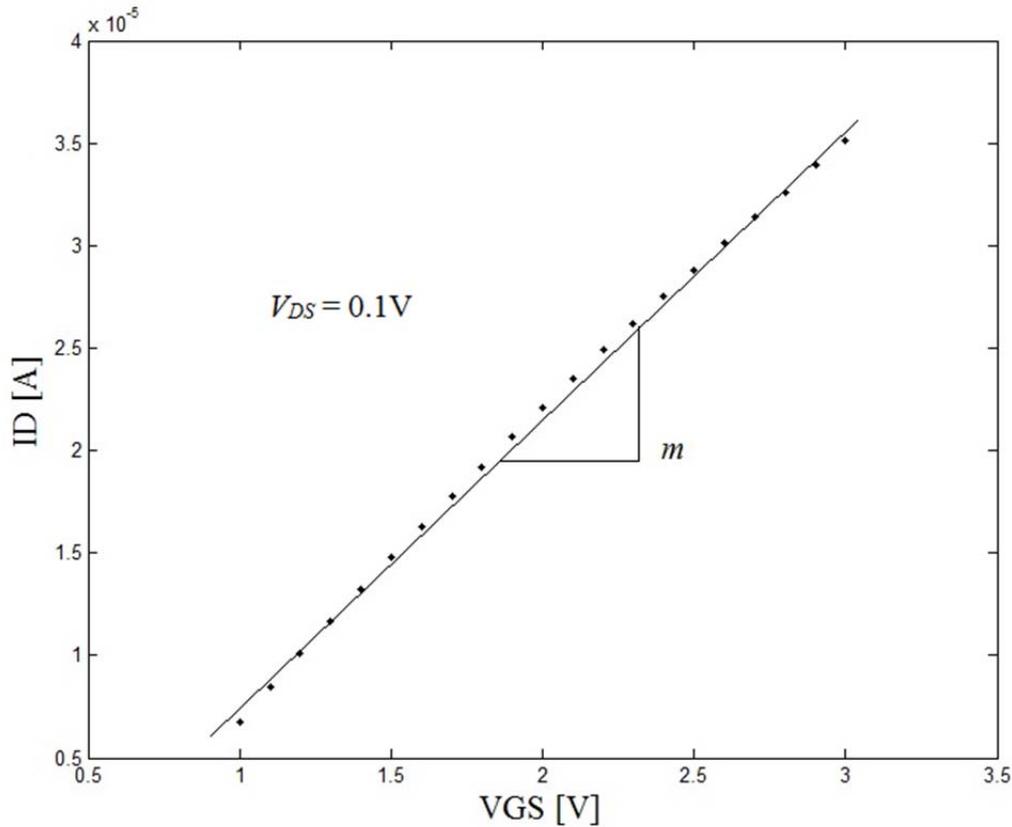


Figura A.1. Gráfica de I_D vs V_{GS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. La tensión $V_{DS} = 0.1\text{V}$. El modelo utilizado es el BSIM3v3 para una tecnología de $1.2\mu\text{m}$.

De acuerdo a [53], la pendiente es:

$$m = \left(\frac{KP_{lin} W_{eff}}{L_{eff}} \right) V_{DS} \quad (\text{A.1})$$

Por lo tanto, la transconductancia para la región lineal es:

$$KP_{lin} = m \left(\frac{L_{eff}}{W_{eff}} \right) \left(\frac{1}{V_{DS}} \right) \quad (A.2)$$

Para obtener la pendiente, se pueden exportar los datos de PSpice a Matlab y después realizar un ajuste de curva de primer orden mediante la función `polyfit()`.

En Matlab, se debe ejecutar el siguiente *script*:

```
%Ajusta una curva de primer orden a los puntos dados:
res = polyfit(vgs_data, id_data, 1);
%Calcular la pendiente:
m = res(1,1);
```

Los resultados obtenidos son: $m = 1.41 \times 10^{-5}$ y $KP_{lin} = 52.8 \mu\text{A}/\text{V}^2$.

Para obtener la transconductancia en la región de saturación (KP_{sat}), y la tensión de umbral de polarización cero (V_{TH0}), se debe de graficar $I_D^{1/2}$ vs V_{GS} para un $V_{DS} > V_{DS(sat)}$. En la Figura A.2, se muestra la gráfica de $I_D^{1/2}$ vs V_{GS} para una tensión $V_{DS} = 2\text{V}$, un largo de canal $L_{eff} = 3.6 \mu\text{m}$ y un nacho de canal $W_{eff} = 9.6 \mu\text{m}$.

La pendiente de la recta mostrada en la Figura A.2 es:

$$m = \left(\frac{KP_{sat} W_{eff}}{2L_{eff}} \right)^{\frac{1}{2}} \quad (A.3)$$

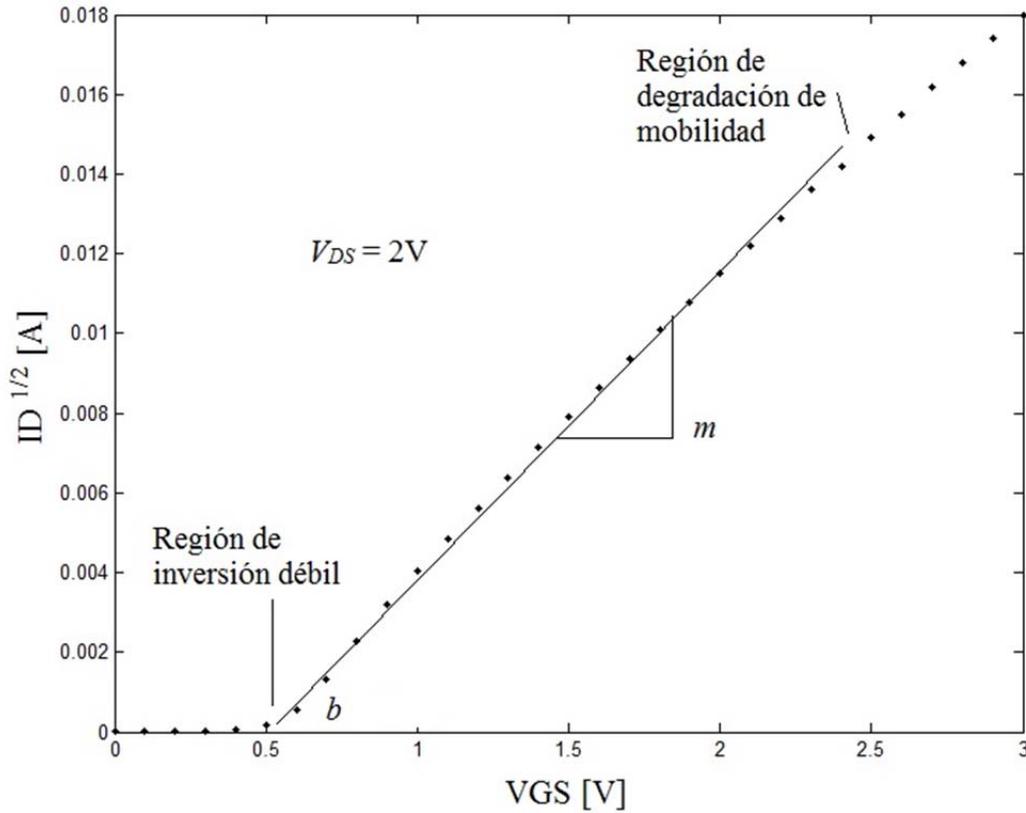


Figura A.2. Gráfica de $I_D^{1/2}$ vs V_{GS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. La tensión $V_{DS} = 2V$. El modelo utilizado es el BSIM3v3 para una tecnología de $1.2\mu\text{m}$.

Por lo tanto, la transconductancia en la región de saturación es:

$$KP_{sat} = 2m^2 \left(\frac{L_{eff}}{W_{eff}} \right) \quad (\text{A.4})$$

La tensión de umbral de polarización cero (V_{TH0}) se obtiene de la ordenada al origen (b):

$$V_{TH0} = -b/m \quad (\text{A.5})$$

Para obtener la pendiente m y la ordenada al origen b , se ejecuta en Matlab el siguiente *script*:

```
%Ajusta una curva de primer orden a los puntos dados:
res = polyfit(vgs_data, id_data, 1);
%Calcular la pendiente:
m = res(1,1);
%Calcular ordenada al origen:
b = res(1,2);
```

Los resultados obtenidos son: $m = 0.0074$ y $b = -0.0032$, por lo que $KP_{sat} = 41.07\mu\text{A}/\text{V}^2$ y $V_{TH0} = 0.43\text{V}$.

La tensión de umbral (V_{TH}), se obtiene para diferentes tensiones de fuente-substrato (V_{SB}). En la Figura A.3 se muestran las curvas obtenidas para cuatro diferentes tensiones de fuente-substrato.

En la Tabla A.1 se muestran los resultados obtenidos de la tensión de umbral en PSpice para cuatro diferentes tensiones de fuente-substrato. Para $V_{SB} = 0$, $V_{TH} = V_{TH0}$.

Tabla A.1. Resultados obtenidos de la tensión de umbral (V_{TH}) para cuatro diferentes tensiones de fuente-substrato (V_{SB}).

Nomenclatura	Tensión fuente-substrato (V_{SB})	Tensión de umbral (V_{TH})
V_{TH0}	0V	0.43V
V_{TH1}	1V	0.79V
V_{TH2}	2V	1.03V
V_{TH3}	3V	1.17V

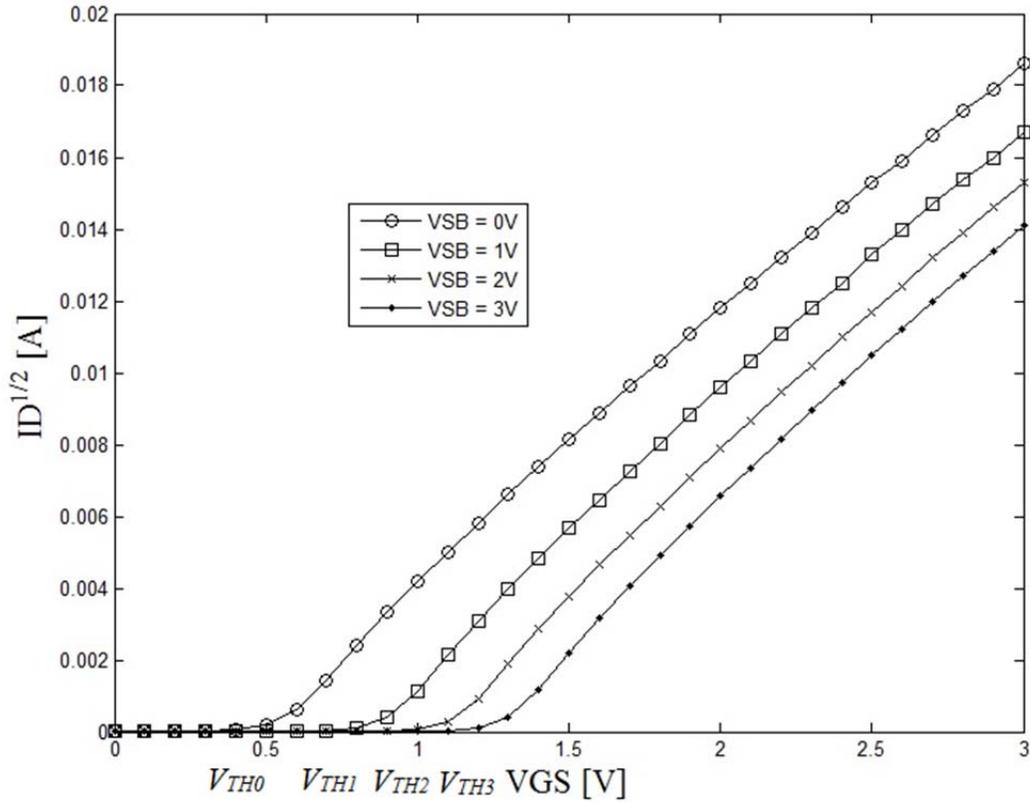


Figura A.3. Gráfica de $I_D^{1/2}$ vs V_{GS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. En la gráfica se muestran cuatro curvas para diferentes tensiones de fuente-substrato.

Para obtener el parámetro de factor de cuerpo, es necesario realizar otra gráfica en Matlab, en la que el eje “x” es:

$$x = \sqrt{2|V_{fp}| + V_{SB}} - \sqrt{2|V_{fp}|} \tag{A.6}$$

donde V_{fp} es el potencial de superficie de canal-substrato. Normalmente V_{fp} se encuentra en el intervalo de 0.6V a 0.7V.

El eje “y” se compone de los valores obtenidos de la tensión de umbral (V_{TH}), Tabla A.1.

En la Figura A.4 se muestra la gráfica para obtener el parámetro de factor de cuerpo (γ), el cual es igual a la pendiente de la curva.

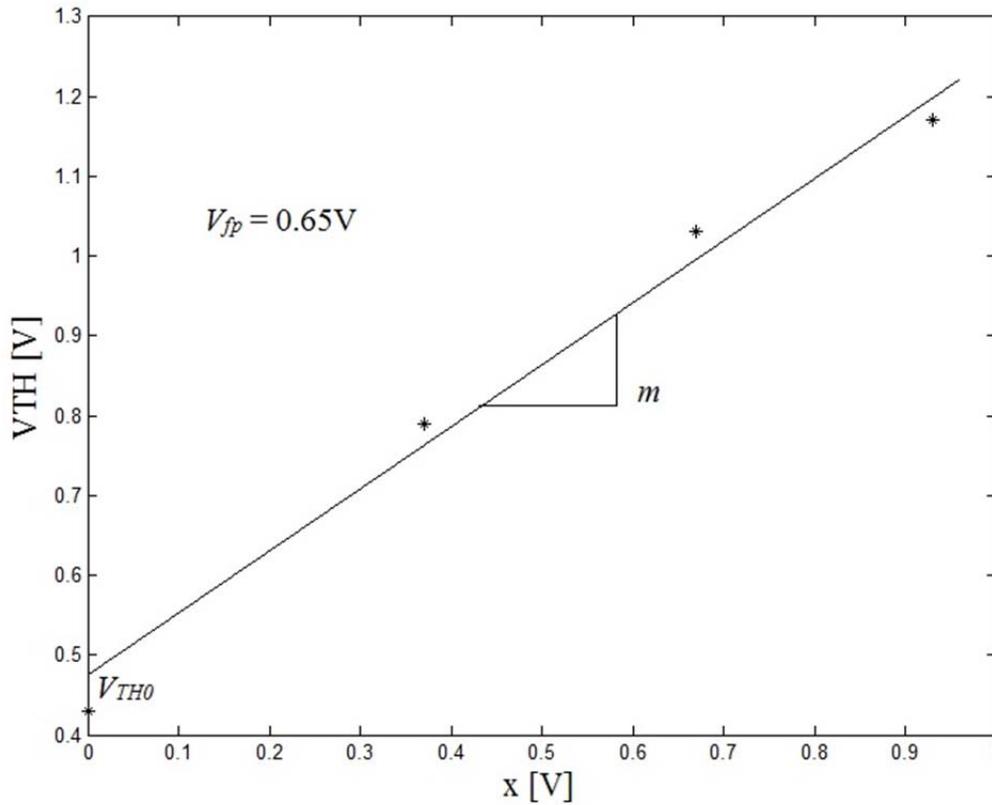


Figura A.4. Gráfica de V_{TH} vs $\sqrt{2|V_{fp}| + V_{SB}} - \sqrt{2|V_{fp}|}$ para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. La pendiente de la curva es el parámetro de factor de cuerpo (γ).

Utilizando la función `polyfit()` de Matlab, se obtiene una $m = 0.803$, por lo tanto $\gamma = 0.803V^{1/2}$.

Finalmente, el parámetro de modulación de canal (λ), se obtiene de la gráfica de I_D vs V_{DS} con una tensión de compuerta-fuente ($V_{GS} > V_{TH}$). En la Figura A.5, se muestra la gráfica de I_D vs V_{DS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. $V_{GS} = 2V$.

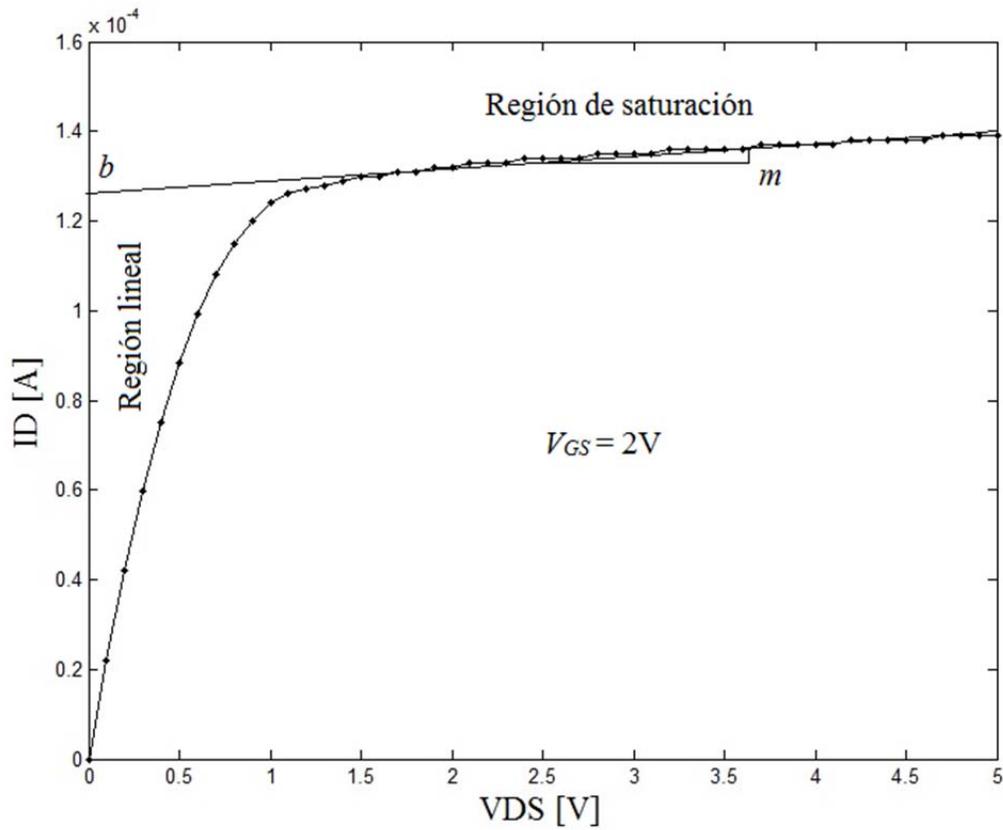


Figura A.5. Gráfica de I_D vs V_{DS} para un transistor MOS con $L_{eff} = 3.6\mu\text{m}$ y $W_{eff} = 9.6\mu\text{m}$. La tensión de compuerta-fuente (V_{GS}) es igual a 2V. El parámetro de modulación de canal (λ) se obtiene a partir de la pendiente m y la ordenada al origen b .

El parámetro de modulación de canal se obtiene a partir de la pendiente de la curva mostrada en la Figura A.5:

$$\begin{aligned}
 m &= \lambda I_D' \\
 \lambda &= \frac{m}{I_D'}
 \end{aligned}
 \tag{A.7}$$

donde $I_D' = b$.

Los resultados obtenidos en Matlab son: $m = 2.54 \times 10^{-6}$ e $I_D' = 1.7 \times 10^{-4} \text{A}$, por lo tanto, el parámetro de modulación de canal (λ) resulta 0.02V^{-1} .

Publicaciones

Revistas reconocidas con JCR y arbitraje estricto:

Juan Carlos Iglesias-Rojas, Felipe Gomez-Castañeda, and Jose Antonio Moreno-Cadenas; “*An LMS Programming Scheme and Floating-Gate Technology Enabled Trimmer-less and Low Voltage Flame Detection Sensor*”, MDPI Sensors, June 2017, 17, 1387.

IEEE Proceedings:

Juan Iglesias Rojas, Felipe Gomez Castañeda, José Moreno Cadenas, “*A Very Low Offset Voltage Operational Amplifier Using Field Programmable Floating-Gate Technology*”, 20th International Conference on Electronics Communications and Computers, IEEE, Puebla Mexico, February, 2010 pp. 9-14.

Juan Iglesias Rojas, Felipe Gomez Castañeda, José Moreno Cadenas, “*Offset Reduction in Operational Amplifiers using Floating Gate Technology and LMS Algorithm*”, 8th International Conference on Electrical Engineering Computer Science and Automatic Control, IEEE, Yucatan Mexico, October, 2011 pp. 1-6.

J. de la Cruz, F. Gomez, J. A. Moreno, J.C. Iglesias, “*Adaptive Signal Identification using LMS Filter with Analog Memory Cell*”, 4th International Conference on Electrical and Electronics Engineering, IEEE, Mexico City, September, 2007 pp. 365-368.

TOEFL ITP Score Report

Name of Institution: HAMER SHARP LINDAVISTA

Name: IGLESIAS ROJAS JUAN

Student Number: 0046739000

DOB: 02/14/1980

Sex: M Degree:

Times Taken TOEFL:

Native Country: Mexico

Native Language: Spanish

Scaled Scores:

Listening Comprehension: 52

Test Date: 10/08/2013

Structure & Written Expression: 63

Form: TOEFL ITP

Reading Comprehension: 53

Total Score: 560



**Student's File Copy
Do Not Copy**

The face of this document has a security background. The back contains a watermark. Hold at an angle to view.

The **TOEFL® ITP** Assessment Series is designed to be used for placement, progress monitoring, and exit purposes. **TOEFL® ITP** scores can also be used for admissions to programs and institutions where English is not the dominant language of instruction for content courses. Learn more at www.ets.org/toefl_itp/use.