

**CENTRO DE INVESTIGACION Y DE ESTUDIOS AVANZADOS
DEL INSTITUTO POLITECNICO NACIONAL**

DEPARTAMENTO DE INGENIERIA ELECTRICA

SECCION DE ELECTRONICA DEL ESTADO SOLIDO

**DISEÑO DE CELDAS BINARIAS PARA OPERACIONES
ARITMETICAS EMPLEANDO DISPOSITIVOS DE COMPUERTA
FLOTANTE MULTIENTRADA**

Tesis que presenta

M. en C. Alejandro Medina Santiago

para obtener el grado de

Doctor en Ciencias

en la especialidad de

Ingeniería Eléctrica

Director de la Tesis: Dr. Mario Alfredo Reyes Barranca

México, D.F.

Junio 2008.

PROLOGO

Este trabajo se desarrolló con la motivación de contribuir al desarrollo de celdas básicas para el diseño de una unidad aritmética/lógica que recurre al uso de dispositivos con compuerta flotante multientrada, considerando un Diagrama de Potencial de Compuerta Flotante (FPD por sus siglas en inglés), para la obtención de las funciones Booleanas, que son la base de las funciones aritméticas; y empleando un Circuito Lógico de Configuración Externa (SHL por sus siglas en inglés), es decir, circuito que únicamente se estimula con voltajes externos sin modificación circuital; del tal manera que el circuito emplee configuraciones tales como inversores programables con dispositivos de compuerta flotante con una o varias compuertas de control, etapas de precarga y etapas de Neurona, para llevar a cabo esto.

Esta tesis tiene como objetivo principal el diseño, fabricación y caracterización de celdas básicas binarias para construir una Unidad Aritmética-Lógica (ALU) de 8 bits (1 byte) en su procesamiento lógico y aritmético, con ello contribuyendo en el diseño de nuevos circuitos auto-configurables en tiempo real, utilizando compuerta flotante, con tecnología de fabricación CMOS estándar.

El diseño de un Circuito de Configuración Externa de 4 bits que emplea dispositivos de compuerta flotante, que realiza funciones lógicas-binarias como las realizan las compuertas convencionales con tecnología MOS, ya sea en un sistema o individualmente, aunque la diferencia radica principalmente en modificar señales de voltaje de manera externa, dependemos directamente de un FPD (Diagrama de Potencial de Compuerta Flotante), de modo que cambie la función binaria según sea el caso. El diseño del circuito concierne lo relativo a la concepción física y geométrica del dispositivo de compuerta flotante (vMOS), incluyendo la simulación de su funcionamiento como elemento individual y como parte de este. La fabricación, realizada con tecnología estándar, en este caso implica la utilización de los servicios de una fábrica de silicio externa, por lo que es necesario cumplir con sus reglas de diseño, y la caracterización permitirá obtener los parámetros típicos para configurar el modelo, así como corroborar el funcionamiento de los circuitos fabricados. Para alcanzar los objetivos anteriores, fue necesario resolver ciertos problemas que se mencionan a continuación.

Como una parte principal del presente trabajo de investigación fue realizar la simulación de las celdas básicas con dispositivos de compuerta flotante, se requirió de un modelo compatible en PSpice, lo cual implicó desarrollar una metodología de diseño que cumpliera con las consideraciones de las capacitancias de acoplamiento en cada etapa del

diseño, primero de manera individual y a nivel sistema, con el fin de obtener resultados óptimos.

Una vez fabricados los dispositivos, en este caso con tecnología estándar MOS, se tiene la limitante de que no existe una manera sencilla de extraer uno de los parámetros de suma importancia, como lo es el FPD. Esto llevo al desarrollo de un método que permitirá extraer dicho parámetro con simulaciones en PSpice, debido a que en la fabricación no fue posible la obtención de este parámetro de manera adecuada como se esperaba.

Como vehículo de prueba, en el diseño fabricado se tienen celdas de prueba para la validación de las respuestas obtenidas por simulación con PSpice y comprobar la metodología de diseño propuesta en el presente trabajo. Las celdas diseñadas comprenden un grupo de inversores programables, Neurona y Convertidor D/A de 4 bits todos estos, con los cuales se realizaron las pruebas eléctricas presentadas en este trabajo.

En esta tesis se señalan además las ventajas de usar esta tecnología comparada con la lógica convencional de Transistores MOS al igual que sus desventajas, como también se expresan comparaciones entre una lógica y otra como: análisis de frecuencia, tiempos de retardo, el área de silicio que ocupa cada diseño geométrico, número de transistores empleados. Este último punto se presenta como una de las ventajas más importantes que tiene el Dispositivo de compuerta flotante.

En resumen, en esta tesis se expone la metodología de diseño; para la fabricación y la caracterización del Circuito Lógico de Configuración Externa de 4 bits con Transistores de Compuerta Flotante.

La estructura que se plantea es la siguiente: en el Capítulo 1 se inicia con la descripción de lo que es el elemento esencial por el cual se lleva a cabo este trabajo, la Compuerta Flotante, su empleo en los transistores CMOS así como algunas aplicaciones de este dispositivo. Se muestra también un diseño geométrico, en el que se detalla cómo están estructuradas las terminales de un transistor que tiene la particularidad de emplear un electrodo que se encuentra "Flotando". Además de describir nuestro Circuito Lógico de Configuración Externa de 4 bits sin la utilización de un Convertidor D/A en su primera etapa como se desarrollo inicialmente, con base a los reportes publicados hasta ese momento por Ohmi y Shibata.

El Capítulo 2 hace referencia al desarrollo matemático de la metodología empleada para el diseño de nuestro Circuito Lógico de Configuración Externa de 4 bits para poder simular el Circuito Universal en PSpice, y también se hace referencia al Diagrama de Potencial de Compuerta Flotante (FPD), que es muy útil para verificar los cambios de umbral, según la

compuerta que se desee obtener, esto con respecto al uso de los inversores programables, esto implica las capacitancias de acoplamiento de cada etapa del circuito, así como los factores de acoplamiento de cada etapa. Además de describir las etapas del circuito completo, las cuales se emplean en la implementación de un circuito básico que desarrollara el comportamiento de una Unidad Aritmética y Lógica.

En el Capítulo 3 se muestran las simulaciones y resultados obtenidos a través de PSpice para la comprobación de las compuertas lógicas que se desarrollaron a partir del FPD; tales compuertas son: AND, OR, NAND, NOR, OR- EXCLUSIVA y NOR- EXCLUSIVA, con la utilización de nuestro Circuito Lógico de Configuración Externa de 4 bits; estas respuestas son representadas con respecto a simulaciones en modo directo y modo transitorio. Y finalmente se muestran las simulaciones de una celda básica aritmética para la construcción de una Unidad Aritmética Lógica (ALU) de 4 bits.

En el Capítulo 4, se muestra el Diseño Topológico (Layout) de cada etapa que conforma nuestro Circuito Lógico de Configuración Externa de 4 bits, así como el Layout completamente implementado, de nuestro sistema.

En el Capítulo 5, se presentan las conclusiones y trabajos futuros.

Capítulo I. INTRODUCCIÓN

1.1 Antecedentes.

Para el análisis y procesamiento de datos por medio de computadora, se están haciendo esfuerzos que ayuden a simplificar y optimizar su manejo, tomando criterios como velocidad, área y costos. La técnica que ha tenido gran aplicación es la digital, basada sobre todo en circuitos digitales CMOS, donde se manejan valores discretos que pueden ser interpretados, almacenados, procesados y presentados de manera rápida y sencilla. Esto da origen a un rápido desarrollo de la tecnología que permitirá la fabricación de manera accesible de circuitos con inmediata aplicación en la electrónica digital, como es el caso de los *Circuitos Lógicos de Configuración Externa*.

En la década de los 60's, se comenzó con la idea de realizar circuitos analógicos para fines de computación y aprendizaje, pero utilizando componentes discretos que limitaban la capacidad y hacían que el volumen ocupado fuera poco práctico. Sin embargo, se ha alcanzado un nivel tecnológico que permite tener circuitos para aplicación analógica, integrados en un área muy pequeña. Algunas de las aplicaciones encontradas se dirigen a *redes neuronales* utilizadas como *memorias analógicas*, *almacenamiento ponderado o ajuste*.

Lo anterior hace que las implementaciones analógicas sean promisorias debido a que se ha visto que el área en silicio sea considerablemente menor que la contraparte digital, no solo desde el punto de vista de circuitos, sino también por la parte del alambrado. La alta conectividad de la arquitectura de las redes neuronales, hace que la transmisión de la información en forma analógica sea particularmente atractiva. Esto ha hecho que actualmente se dedique investigación al desarrollo de electrónica para redes neuronales.

Un ejemplo de esto, son los trabajos reportados para encontrar un elemento de memoria analógico [1, 2, 3] implementando técnicas de almacenamiento digital, con las cuales se necesita electrónica adicional, métodos restringidos de conversión de analógico a digital, tener un compromiso entre el número de bits de resolución ponderada y el área y en algunos casos, el uso de tecnología muy especial para su fabricación, como lo es para las memorias EEPROM. Dada la dependencia de los elementos analógicos con respecto a parámetros físicos y eléctricos, no se puede tener una buena resolución con los mismos para una función dada, por lo que pretender cumplir con el objetivo de tener alta resolución con circuitos analógicos sería una mala elección. Un ejemplo de esto se puede ver comparando un multiplicador digital con uno analógico, donde con el primero el resultado es exacto (aunque el tamaño de palabra determina el número de componentes)

y con el segundo, no es posible tener un resultado exacto, aún cuando la tecnología sea muy buena.

Los elementos de memoria más comunes en la actualidad son la EPROM y la EEPROM. Sin embargo, se ha visto que se está llenando un nicho existente entre estas, con el desarrollo de memorias analógicas. Cada una de ellas tiene sus ventajas y desventajas, según la utilidad y propósito destinado.

Enfocándose entonces hacia los circuitos CMOS analógicos, cuya precisión depende del acoplamiento de transistores, para disminuir, por ejemplo, el voltaje de corrimiento (offset), la no linealidad y el error de ganancia, se tiene que el diseño teórico indica que el tamaño de los dispositivos se debe aumentar para evitar los posibles efectos de desacople entre los transistores. En este caso se tiene un compromiso entre la función y el elemento a usar, por lo que una mayor precisión impone la utilización de electrónica digital por ser más conveniente, pero cuando no se requiere precisión, como es el caso de la mayoría de las aplicaciones en redes neuronales artificiales, la opción analógica es la mejor. Al respecto, una solución es la aplicación de *memorias MOS analógicas de compuerta flotante*, pero el ajuste del voltaje de corrimiento a un valor mínimo, dejando de lado técnicas como arreglos de centroide común, ajuste por LASER o programación de redes de resistencias, son aspectos que aún se tienen que tomar en cuenta para el diseño de circuitos. La fabricación de estas memorias, es compatible con la tecnología CMOS estándar, derivando costos similares. En trabajos iniciales en circuitos analógicos, usando memorias no volátiles, se llegó a tener un desplazamiento en el voltaje de umbral de 40% en cuatro días. Actualmente, se han logrado realizar memorias cuyo valor extrapolado de variación en 10 años, alcanza el 1% [4] y también se pudo reducir el voltaje de corrimiento en un circuito analógico de 10mV a 0.5mV [5].

Las memorias están basadas en la compuerta flotante de un MOSFET, diseñado para el proceso CMOS de doble polisilicio. Su comportamiento depende de la carga almacenada en la compuerta flotante. Esta compuerta está totalmente aislada por las capas de óxido que la rodean y actúa como un capacitor con enorme capacidad de retención. La cantidad de carga atrapada en la compuerta flotante puede ser cambiada mediante carga y descarga de electrones a través del óxido vía tunelamiento **Fowler-Nordheim**, entre otros mecanismos.

Esto último permite la escritura o borrado de la memoria, propiedad que puede ser utilizada para su aplicación en redes neuronales con características de aprendizaje. Se define a una red neuronal artificial (RNA), como la simulación de un sistema nervioso real que contiene una colección de neuronas unitarias, comunicadas unas con otras, a través de un axón. La información fluye a través del axón hacia el elemento de decisión, que es la

neurona. Por lo que, el modelo artificial simple del sistema nervioso constará de los elementos de interconexión, llamados sinapsis, y del elemento de procesamiento, llamado neurona. La forma y cantidad de interconexiones entre los elementos básicos de la neurona artificial dará lugar a las arquitecturas para desempeñar una función en particular. La exactitud y tipo de la función final dependerá de la complejidad de la arquitectura, así como del procesamiento de la señal de entrada, es decir, el algoritmo.

La reducción en el número de transistores así como de las interconexiones entre ellos, son algunas de las cuestiones más estudiadas en el diseño de circuitos lógicos de alta escala de integración (VLSI) hoy en día. Como consecuencia de esto, se ha desarrollado un nuevo transistor MOS altamente funcional llamado "NeuMOS (vMOS)", que simula la función de las neuronas biológicas. El dispositivo tiene una compuerta flotante y múltiples entradas de control que son acopladas con capacitancias a la compuerta flotante, aprovechando la compatibilidad de fabricación de un proceso CMOS estándar. El dispositivo es un transistor MOS de múltiple entrada, que acepta señales de diferente naturaleza, además calcula la suma ponderada de dichas señales lo que determina el control de encendido y apagado del mismo [6]. Una posible aplicación del dispositivo vMOS es la realización de lo que se denomina "Circuito Lógico de Configuración Externa" (Soft Hardware Logic Circuit - SHL) [6, 7]. Este dispositivo, se puede aprovechar, por otro lado, para configurar circuitos lógicos que pueden representar cualquier función lógica tal como AND, OR, NAND, NOR, NOR-EXCLUSIVA, etc., así como para diseñar celdas básicas para operaciones aritméticas, ajustando únicamente señales de control externo sin modificar su configuración circuital. Para lograr esto, se necesita emplear una técnica de representación gráfica llamada "Diagrama de Potencial de Compuerta Flotante" (FPD: Floating-gate Potential Diagram), mismo que muestra la función lógica deseada de acuerdo a la entrada que corresponde a una tabla de verdad, es decir, de cuatro condiciones de operación, para el caso de un transistor de compuerta flotante de dos entradas, y de 16 condiciones de operación en el caso de un transistor de compuerta flotante de cuatro entradas, y así sucesivamente [6]. Aunque el dispositivo es sin duda, más apropiado para uso en implementación de redes neuronales, se tiene que la capacidad funcional de un vMOS muestra un gran interés para la construcción de circuitos lógicos binarios [7], como es el caso de este tema de tesis.

1.2 Transistor de Compuerta Flotante.

Un dispositivo que ha causado mucho interés en años recientes, por su potencialidad en cuanto a la capacidad de almacenamiento y de realizar la multiplicación analógica necesaria para el procesamiento en las redes neuronales, es el transistor MOS de compuerta flotante (vMOS). Este dispositivo abre la posibilidad de realizar el producto escalar de una manera simple y almacenar el peso, todo en un mismo dispositivo. Por lo

tanto, cuenta con tres propiedades deseadas para una sinapsis artificial que son: 1) poder alterar eléctricamente el valor del peso, 2) realizar la multiplicación analógica, y 3) tener la capacidad de almacenamiento analógico no volátil. Dado que en la compuerta flotante se almacena la carga, de la misma forma como se hace en un capacitor, este dispositivo puede tomar su lugar con la ventaja adicional de que la pérdida de carga llega a ser de 0.1% en 26 años comparada con la carga originalmente almacenada [4], con la tecnología actual. De ahí el esfuerzo que se ha dedicado al estudio de diferentes estructuras de compuerta flotante para tener la factibilidad de ser incluidas en una RNA de regular complejidad, cumpliendo sobre todo con características como la de tener poca área, consumir baja potencia y ser compatible con tecnología estándar. El vMOS, es un transistor que tiene una compuerta flotante, es decir, es una terminal que se encuentra entre el canal de conducción y la compuerta convencional del MOSFET (llamada compuerta de control), sin acceso físico a ella por estar aislada completamente por óxido de silicio a su alrededor, el cual sirve como un elemento de memoria en EPROM's, EEPROM's y EPROM's flash.

Normalmente, solo la compuerta de control es físicamente accesible, donde la introducción o extracción de carga de la compuerta flotante se hace mediante capacitancias de acoplamiento, pues dicha compuerta se encuentra colocada por encima de la región de canal separada por un óxido delgado y por debajo de la compuerta de control del MOS, separada por un óxido más grueso [8, 17, 18]. De modo que, ignorando los efectos de canal corto y angosto, el principal efecto sobre el funcionamiento de un MOSFET con compuerta flotante, es que la capacitancia de compuerta y el factor de acoplamiento del transistor (k_{cg}), varían inversamente con el espesor total de óxido entre la compuerta de control y el canal, respectivamente.

$C_i = \frac{k_0 \epsilon_0}{tox} * A$	(1.1)
$k_{cg} = \frac{C_i}{C_{TOT}}$	(1.2)

Donde:

C_i = Capacitancia entre compuerta de control y compuerta flotante.

k_{cg} = Factor de acoplamiento.

k_0 = Constante dieléctrica del óxido.

ϵ_0 = Permitividad en el vacío.

tox = Espesor de óxido.

$A = \text{Área.}$

$C_{TOT} = \text{Capacitancia total.}$

Los dispositivos de compuerta flotante, pueden ser fabricados por muchos procesos estándar CMOS si cuentan con dos capas de silicio policristalino. El resultado es un dispositivo que puede ser considerado como un MOSFET con un voltaje de umbral programable y con tiempos de retención de carga suficientemente largos para que los dispositivos puedan ser usados como memorias analógicas no volátiles.

1.3 Descripción de un transistor vMOS de Compuerta Flotante con una Compuerta de Control

Un NeuMOS es similar a un MOSFET convencional, con la diferencia que su electrodo de compuerta está flotando y su potencial de compuerta flotante (V_{FG}) se determina por medio de las capacitancias de acoplamiento, dependiente del voltaje aplicado a una compuerta de control, como se muestra en la Fig. 1.1, o a múltiples compuertas de control, como se detalla en la siguiente sección [6].

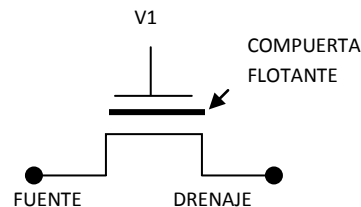


Fig. 1.1. Representación simbólica de un transistor MOS con una compuerta de control.

De la Fig. 1.1, el potencial de compuerta flotante se determina:

$V_{FG} = \frac{C_1}{C_{TOT}} V_1 + \frac{Q_{FG}}{C_{TOT}}$	(1.3)
---	-------

Donde:

$$C_{TOT} = C_{ox} + C_1$$

C_1 = capacitancia entre la compuerta de control y la compuerta flotante.

C_{ox} = capacitancia entre la compuerta flotante y la región de canal.

Q_{FG} = carga almacenada en la compuerta flotante.

En la Fig. 1.2, se muestra el esquema simbólico y el circuito equivalente del transistor con compuerta flotante con una compuerta de control:

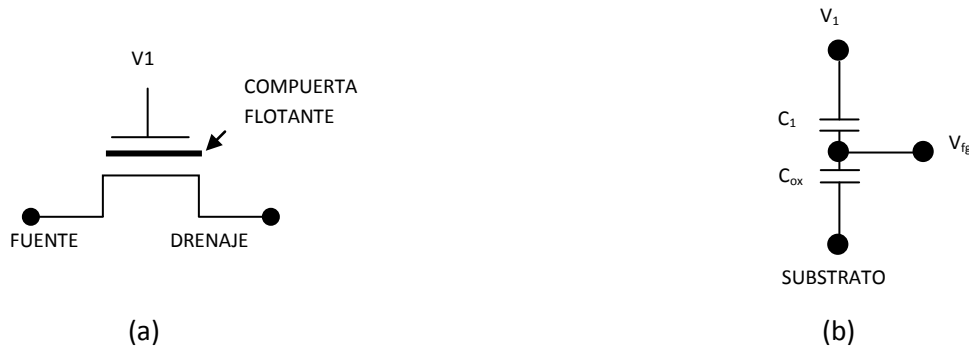


Fig. 1.2. (a) Representación simbólica de un transistor MOS con una compuerta de control; (b) circuito equivalente en función de las capacitancias de la estructura (despreciando las capacitancias parásitas), equivalente a un divisor de voltaje con elementos capacitivos.

A partir de la Ec. 1.3, se puede ver que cuando no existe ningún voltaje aplicado a la compuerta de control, se puede tener presente un voltaje en la compuerta flotante debido a la posible presencia de carga almacenada durante el proceso de fabricación, dado por el término Q_{FG}/C_{TOT} . Sin embargo, para las consideraciones de diseño se tomará

a este valor como nulo. De manera práctica, la carga en la compuerta flotante se elimina fácilmente empleando la técnica de borrado por luz UV, o a través de un puerto de descarga dentro del diseño del chip para descargar eléctricamente la compuerta flotante. Cuando V_{FG} es más pequeño que el voltaje de umbral del transistor (V_{TH}^*), visto desde la compuerta flotante, el transistor está apagado. Cuando V_{FG} excede el V_{TH}^* , el transistor enciende. Esto es el principio de operación del transistor vMOS.

1.4 Descripción de un transistor vMOS con Múltiples Compuertas de Control

En el circuito diseñado se emplea un dispositivo llamado TRANSISTOR NEUMOS (vMOS) multientrada. Este es un MOSFET ordinario con múltiples entradas, considerando que el electrodo de compuerta se encuentra flotando como se muestra en la Fig. 1.3 [7]:

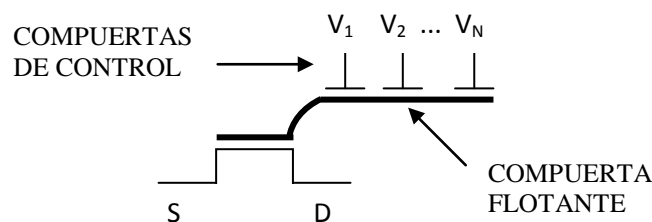


Fig. 1.3. Representación simbólica de un transistor NeuMOS.

La función de la compuerta flotante es almacenar carga, induciendo un voltaje total en la compuerta flotante, que se obtiene a partir de sumar el producto de todos los voltajes aplicados en las compuertas de control, por su respectivo factor de acoplamiento en cada una de las entradas que tenga el dispositivo.

En la región subumbral del transistor MOS, éste tiene una relación exponencial corriente-voltaje, de modo que se puede considerar como dispositivo translineal (circuitos no lineales, cuya operación está basada en la relación exponencial de corriente-voltaje, la transconductancia es lineal en el flujo de corriente). Ya que la compuerta de un transistor MOS de compuerta flotante está precisamente flotando, hay un incremento en el voltaje de drenaje y en la compuerta flotante, por eso se incrementa exponencialmente la corriente de drenaje en la región de subumbral [9]. En la región de subumbral el potencial de superficie es una función del voltaje de las compuertas de control. En general, la operación de un MOSFET de compuerta flotante con múltiples compuertas de control, se realiza tanto en la región de umbral como de subumbral [10].

Para un MOSFET de compuerta flotante con múltiples compuertas de control, el POTENCIAL DE COMPUERTA FLOTANTE (V_{FG}), está dado por:

$V_{FG} = \frac{C_1V_1 + C_2V_2 + \dots + C_nV_n}{C_{TOT}}$	(1.4)
---	-------

Donde:

$$C_{TOT} = \sum_{i=0}^n C_i$$

C_0 =Capacitancia de Canal o de Óxido.

C_n = Capacitancia entre compuerta de control y compuerta flotante.

V_n = Voltaje aplicado a cada una de las compuertas de control.

La capacitancia total incluye a C_0 , es decir, la capacitancia de óxido (capacitancia entre el substrato y la compuerta flotante, en la región de canal), ésta se obtiene de la misma manera que las capacitancias acopladas de las compuertas de control a la compuerta flotante [6]. La carga en la compuerta flotante, Q_{FG} , se considera igual a cero. Todos los voltajes son medidos respecto a tierra, y el substrato y la fuente están ambos a tierra, normalmente; $V_S = V_0 = 0$. Aquí V_S y V_0 denotan los potenciales de fuente y substrato, respectivamente [11].

El valor de V_{FG} es determinado únicamente por la Ec. 1.4, señalando que todos los coeficientes de acoplamiento capacitivos no son cambiados durante la operación, y únicamente C_0 puede variar, dependiendo de las condiciones de operación del transistor. Sin embargo, esta puede ser aproximada por la capacitancia de óxido de compuerta cuando el dispositivo está encendido y el canal está formado. Tan pronto como el canal es formado, el valor de C_0 no varía apreciablemente y puede ser considerado como una constante [11].

En conclusión, el potencial de compuerta flotante se determina como la suma ponderada lineal de las múltiples señales de entrada activas donde los factores de peso están determinados por las magnitudes de capacitancias de acoplamiento respectivo [12].

1.5 Celda de Neurona Basada en el NeuMOS

El arreglo básico para construir un vMOS lógico-binario es un circuito neuronal, compuesto de un inversor vMOS complementario y un inversor CMOS convencional como se muestra en la Fig. 1.4. La salida del circuito es 1 o 0 lógico dependiendo si la suma total de todas las señales de entrada excitan o inhiben al vMOS, el voltaje de umbral del inversor vMOS es visto desde la compuerta flotante (V_{INV}^*), respectivamente; tal comportamiento es similar a la **función de una neurona biológica**.

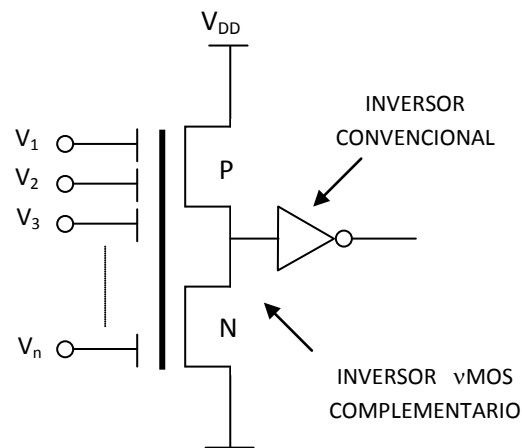


Fig. 1.4. Circuito neuronal compuesto de un inversor vMOS complementario y un inversor CMOS convencional.

La red neuronal vMOS tiene una única arquitectura que trabaja puramente en el modo de operación de voltaje [13]. La corriente de drenaje-fuente es controlada por la suma ponderada de voltajes aplicados a cada una de las compuertas de entrada, la cual provee una funcionalidad similar a lo que realiza una neurona biológica, por ello, el nombre del dispositivo y la disponibilidad inherente para aplicaciones en redes neuronales. Sin

embargo, la funcionalidad creciente de estos dispositivos ha sido mostrada para tener un rendimiento de área considerable y las ventajas de potencia que tienen los circuitos MOS estándar en diseño de VLSI [14].

Considerando que el transistor puede calcular la suma ponderada de todas las señales de entrada del nivel de compuerta, y controla el encendido y apagado del transistor de acuerdo al resultado de la suma calculada, es por ello que la neurona MOSFET, es más conveniente de usar en construcción de redes neuronales [11].

1.6 Circuito Lógico de Configuración Externa Universal

Los circuitos con compuerta flotante pueden ser fabricados con un proceso CMOS estándar de doble polisilicio, doble metal y pozo N, empleando una tecnología de $1.2\mu\text{m}$. La compuerta flotante es construida con polisilicio 1 y las compuertas de entrada o de control, se construyen de polisilicio 2, presentándose un acoplamiento entre éstas debido a los capacitores formados entre polisilicio 1 y polisilicio 2 [7].

En la sección 1.4 se señala que el voltaje de la compuerta flotante V_{FG} , está determinado por la suma lineal de todas las señales de entrada, multiplicadas por los coeficientes de acoplamiento de los capacitores correspondientes a cada compuerta de control utilizada en el transistor de compuerta flotante multientrada, determinado por la Ecs. 1.3 y 1.4 respectivamente [15].

1.7 Coeficiente de acoplamiento.

El coeficiente de acoplamiento, es la razón de la capacitancia de la compuerta de control considerada, con respecto a la suma de todas las capacitancias presentes en el dispositivo, es decir, la capacitancia total C_{TOT} . Este coeficiente determinará la fracción de voltaje presente en la compuerta flotante, debido al potencial aplicado en cada compuerta de control. Su importancia radica en el sentido de que es precisamente el voltaje en la compuerta flotante, el que determinará la función lógica a implementar a través del Diagrama de Potencial de Compuerta Flotante (FPD), que se explicará en el capítulo 2. Una vez que se obtienen los valores de cada una de las capacitancias de acoplamiento, se procede a calcular la capacitancia total del arreglo que se esté analizando, ya que ésta es una sumatoria de las mismas. Por lo tanto, a partir de la Fig. 1.5b, el coeficiente de acoplamiento de cada capacitancia es:

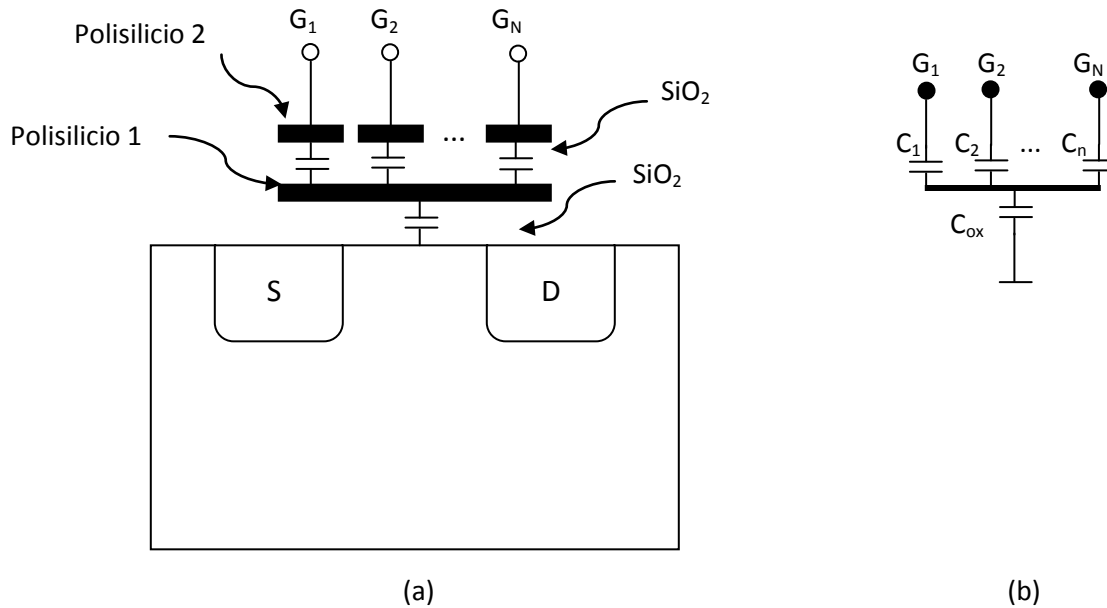


Fig. 1.5. (a) Estructura MOS de compuerta flotante, (b) arreglo de capacitancias de acoplamiento.

$C_{TOT} = C_{ox} + C_1 + C_2 + \dots + C_n$	(1.5)
$k_{cg1} = \frac{C_1}{C_{TOT}}$; coeficiente de acoplamiento de C_1	(1.6)
$k_{cg2} = \frac{C_2}{C_{TOT}}$; coeficiente de acoplamiento de C_2	(1.7)
$k_{cgn} = \frac{C_n}{C_{TOT}}$; coeficiente de acoplamiento de C_n	(1.8)

El valor de cada capacitancia dependerá de los criterios de diseño que se especificarán más adelante y el valor de cada coeficiente de acoplamiento, será empleado en el modelo desarrollado para la simulación de dispositivos vMOS.

1.8 Aplicaciones

Se desarrolla un esquema de circuito binario-lógico, en el cual un dispositivo altamente funcional llamado vMOS es utilizado como componente principal. Recientemente muchas aplicaciones del Transistor de Compuerta Flotante (FGMOS) en circuitos analógicos han sido reportadas tales como: Convertidores D/A Electrónicamente Programable, OP-AMP de multientrada en Operación de Bajo Nivel, Redes Neuronales, Multiplicadores Analógicos de Cuatro cuadrantes, etc. [15]. De entre las propiedades con que cuenta el transistor MOS de compuerta flotante y que se han explotado en diferentes aplicaciones, esta la de retención de carga, como ya se había mencionado anteriormente, con lo que se

pueden configurar memorias analógicas, o bien sinapsis en redes neuronales para implementación de algoritmos de aprendizaje en línea. Se tiene también la de suma ponderada de voltajes, cuando se configura un transistor MOS de múltiples compuertas de control, que ha sido empleado para la implementación de amplificadores de instrumentación [9, 14], que logran manejar más de dos entradas analógicas. Son útiles también para circuitos de bajo voltaje, tendencia que continúa cada vez más, para la realización de circuitos con mínima disipación de potencia, otra de las grandes propiedades de los transistores MOS en general. Así mismo, en un intento de abarcar el dominio digital con este tipo de transistores, se ha encontrado la aplicación de los NeuMOS para la implementación de compuertas lógicas que logran realizar cualquier función booleana con una misma configuración, y solamente variando polarizaciones externas. Esto permite una tremenda reducción de componentes en sistemas digitales, lo cual permite hasta cierto punto, el aumento en la densidad de integración (limitada por el área de las capacitancias de acoplamiento). Como ejemplo de lo anterior, se puede mencionar el empleo de 8 transistores (empleando NeuMOS) en un sumador completo, comparados con los 50 transistores requeridos con los transistores MOS convencionales. O bien, los 16 transistores usados en un convertidor A/D de 3 bits, contra los 174 empleados en una configuración convencional [16].

Por lo anterior, el propósito de la presente tesis es estudiar al dispositivo y extrapolar la metodología de diseño, con base en el FPD (Diagrama de Potencial de Compuerta Flotante), para configurar una Unidad Aritmética Lógica (ALU) de cuatro bits.

1.9 Tecnología de Diseño

La Fig. 1.6 muestra un proceso CMOS estándar de doble polisilicio. Se tienen tres puntos importantes que deben considerarse al hacer uso de transistores ν MOS:

- Los dispositivos deben ser descargados con luz ultravioleta (UV) u otra técnica de descarga, para remover las cargas residuales en la compuerta flotante presentes durante la fabricación.
- Se presenta una dependencia entre la corriente de drenaje y fuente y el voltaje de drenaje del dispositivo ν MOS, el cual es más pronunciado que en un MOSFET estándar. Este efecto puede ser minimizado así como también se deben cuidar las razones de aspecto o usar dispositivos de tipo cascode (en estructuras tales como espejos de corriente, pares diferenciales, etc.).
- El inversor ν MOS es un bloque estándar de circuitos binarios multivaluados; esta estructura puede consumir potencia estática (dependiendo del estado de las entradas).

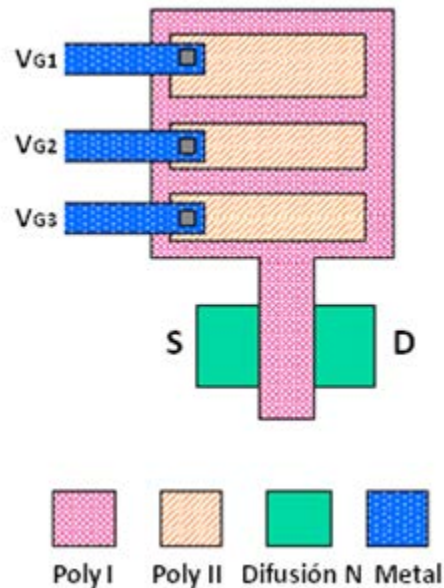


Fig. 1.6. Topología de un transistor vMOS con múltiples compuertas de control.

Los parámetros importantes para el diseño de los circuitos, como el voltaje de umbral nativo y el espesor del óxido entre polisilicio 1 y sustrato y entre polisilicio 1 y polisilicio 2, dependen de la tecnología a la que se recurra. Por lo tanto es un requisito primordial conocer de antemano los valores respectivos de la tecnología, para poder hacer los cálculos y el diseño correspondiente.

Para el caso de nuestro interés, se recurrió a la tecnología de $1.2\mu\text{m}$ de longitud de canal, doble metal, doble polisilicio y pozo N de AMI, cuyos parámetros son los siguientes:

$$V_{th}(N) = 0.5154122 \text{ V}$$

$$V_{th}(P) = -0.8476404 \text{ V}$$

$$tox(Poly2 - poly1) = 31.7 \text{ nm}$$

Estos datos se pueden consultar en la siguiente dirección Web:

www.mosis.org

1.10 Comparaciones vMOS vs. CMOS

La tendencia de las memorias para redes neuronales es usar tecnologías estándar como la de doble polisilicio de $1.5\mu\text{m}$ que es muy accesible. Las estructuras de compuerta flotante tienen la posibilidad de cumplir con características como la de tener poca área, consumir baja potencia y ser compatible con tecnologías estándar. También este diseño trabaja con

la tecnología de $1.5\mu\text{m}$, por supuesto incluyendo los datos del tipo de modelo para esta tecnología.

La principal preocupación de la tecnología, es tratar de alcanzar un escalamiento tal, que el área de los circuitos integrados se optimice, logrando un compromiso entre la complejidad de los circuitos y el tamaño del chip.

El uso de dispositivos con compuerta flotante lleva a indicar algunas características diferentes, con la lógica de transistores CMOS convencionales:

Para transistores MOS convencionales:

- Los inversores CMOS convencionales únicamente poseen una entrada como máximo para su uso típico.
- Para un arreglo circuital con transistores MOS convencionales, que desempeñen una función determinada se requiere de un área específica y fija, ya que depende del número de componentes. Por tanto si se desea ocupar otro arreglo que realice determinada labor en conjunto con el primer arreglo, es obvio que se ocupa mayor área para que el circuito se complete y lleve a cabo el objetivo que se desea obtener y así sucesivamente.
- En un inversor CMOS, el número de capacitancias que se forman es menor, hablando cuantitativamente con respecto al uso de transistores de compuerta flotante.
- Los tiempos de retardo en arreglos con transistores convencionales (para analizar compuertas lógicas) son de valor pequeño.
- Los límites de frecuencia, para arreglos con estos transistores (en compuertas lógicas), son en su mayoría de valores elevados (por arriba de 10 MHz).

Para la lógica vMOS:

- Estos dispositivos tienen la posibilidad de implementar múltiples compuertas de control como entradas y alimentar una, algunas o todas las entradas.
- Los arreglos circuitales en los que se utilizan dispositivos con compuerta flotante, tienen una ventaja importante: el ahorro de transistores, en circuitos digitales.
- Una desventaja es el mayor número de capacitancias, por lo tanto, la capacidad en arreglos circuitales con compuerta flotante, es mayor.
- Los tiempos de retardo para lógica vMOS, comparados con los arreglos con transistores convencionales al analizar compuertas lógicas (comprobándose más adelante en este trabajo), son mayores.
- Por tanto, los límites de frecuencia, son menores a la lógica convencional.

1.11 Circuito Lógico de Configuración Externa

Como introducción a la explicación y metodología de diseño de los circuitos de configuración externa, se hará uso del circuito mostrado en la Fig. 1.7, que realiza funciones de compuertas lógicas a través de tres etapas: a) convertidor digital/analógico; b) inversores programables; y c) neurona. Este circuito es para cuatro bits de entrada, lo que da 16 diferentes entradas (2^n , donde $n = 4$). Más adelante se verá la opción de circuitos de Configuración Externa sin etapa de convertidor D/A, con lo cual se disminuye el uso de transistores sin penalización alguna en el funcionamiento de las compuertas.

Cada etapa del circuito de configuración externa tiene una función específica, lo cual se verá en detalle en los siguientes capítulos; la similitud entre ellas es poseer una compuerta flotante en su estructura, por ello se considera importante el cálculo de las capacitancias acopladas tanto de las compuertas de control hacia la flotante, como las de óxido, esto da como consecuencia un valor alto de capacidad con que trabaja el circuito y las ganancias de compuerta flotante que se obtienen en cada etapa.

En una primera etapa del diseño del circuito de configuración externa, se utiliza un convertidor D/A que es la etapa de entrada que convierte la combinación de las señales de entrada binaria a una variable multivaluada V_p [6, 16]. Esta etapa es alimentada con señales binarias, específicamente dieciséis evaluaciones binarias de cuatro bits, por lo tanto se alimenta con un pulso para cada entrada y a la salida se obtiene una respuesta en función de la tabla de verdad de la compuerta considerada. Una vez que se obtienen estas respuestas, se continúa con la etapa intermedia que consta de inversores programables; estos inversores dan la pauta para el funcionamiento de la neurona v MOS, ya que el umbral de inversión que proporcione el inversor programable alterará la salida de la siguiente etapa que es la neurona, obteniendo la función lógica que se requiera [6]. Son seis inversores programables, con iguales dimensiones de transistores e igual valor de capacitancias de acoplamiento, pero difieren en la cantidad de voltaje que se aplica en una de las cinco entradas de cada inversor, es decir, difieren en la alimentación de voltaje fijo (V_A, V_B, \dots, V_F). Para obtener una señal más abrupta, o definir mejor el cambio de umbral, se añaden dos inversores convencionales MOS a la salida de cada uno de los inversores programables. La respuesta de los inversores programables alimenta a la etapa final, que es la neurona MOSFET con compuerta flotante seguida de un inversor convencional [6, 16]. La neurona recibe la señal de V_p en su entrada principal, y seis compuertas de control más que vienen de cada inversor programable. Esta etapa tiene una capacitancia mayor a las anteriores, por lo tanto, las dimensiones de los dos transistores N y P respectivamente, son mayores a los transistores restantes; cuando se obtiene la respuesta digital en la salida del circuito, ésta se necesita perfeccionar, y por

tanto, para definir mejor los cambios de umbral se añaden dos inversores convencionales más.

La neurona es un inversor CMOS cuyo electrodo de compuerta está flotando, y el potencial de la compuerta flotante, está determinado por medio de una capacitancia de acoplamiento por cada compuerta de entrada. La salida del circuito resulta en un 1 ó 0 lógico, de acuerdo a la suma ponderada de todas las señales de entrada. La Fig. 1.7 ilustra el diagrama a bloques del Circuito Universal base para el desarrollo de este trabajo en un principio:

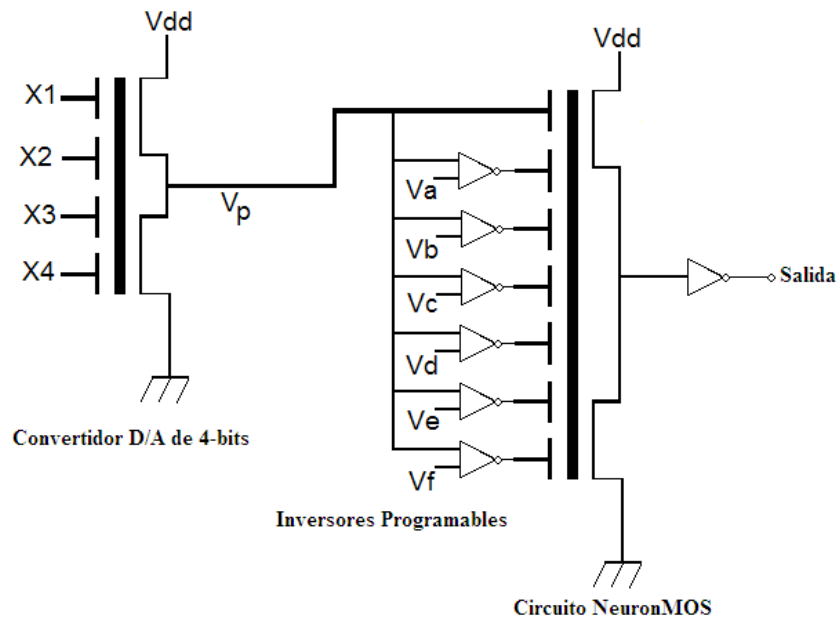


Fig. 1.7 Circuito SHL de 4 bits con convertidor D/A base para el desarrollo de la tesis

Basándose en este dispositivo se pueden configurar circuitos que realicen diferentes funciones lógicas binarias, utilizando una misma configuración circuital, modificando exclusivamente señales de control externo. Se presenta en capítulos posteriores, la operación de los componentes básicos del circuito diseñado a partir de la función deseada y los resultados obtenidos de un circuito que puede realizar las funciones AND, OR, NOR, NAND, X-OR y la X-NOR.

En una segunda etapa del diseño del circuito de configuración externa, el convertidor D/A, que es la etapa de entrada que convierte la combinación de las señales de entrada binaria a una variable multivaluada V_p [16], se elimina del diseño, empleando una nueva etapa denominada de precarga. Es esta etapa la que ahora se alimenta con las señales binarias, específicamente dieciséis evaluaciones binarias de cuatro bits, por lo tanto se alimenta con

un pulso para cada entrada y a la salida se obtiene una respuesta en función de la tabla de verdad de la compuerta considerada. Una vez que se obtienen estas respuestas, se continúa con la etapa intermedia que consta de inversores programables; estos inversores dan la pauta para el funcionamiento de la neurona vMOS, ya que el umbral de inversión que proporcione el inversor programable alterará la salida de la siguiente etapa que es la neurona, obteniendo la función lógica que se requiera [6]. Para el caso propuesto sin convertidor D/A, son cinco inversores programables, con iguales dimensiones de transistores e igual valor de capacitancias de acoplamiento, pero difieren en la cantidad de voltaje que se aplica en cada una de las cinco entradas de cada inversor, es decir, difieren en la alimentación de voltaje fijo. La Fig. 1.8 ilustra el diagrama a bloques del Circuito Universal usado principalmente en este trabajo de tesis. Como se puede observar en comparación de la Fig. 1.7 con la Fig. 1.8, en esta última no se aprecia el convertidor D/A, ganando espacio de silicio en el momento del diseño de la topología; además de contar con una etapa que directamente efectúa el procesamiento de conversión binaria a multivaluada, logrando así reducción de dos transistores más en el diseño, debido a la integración de un inversor programable en esta primera etapa.

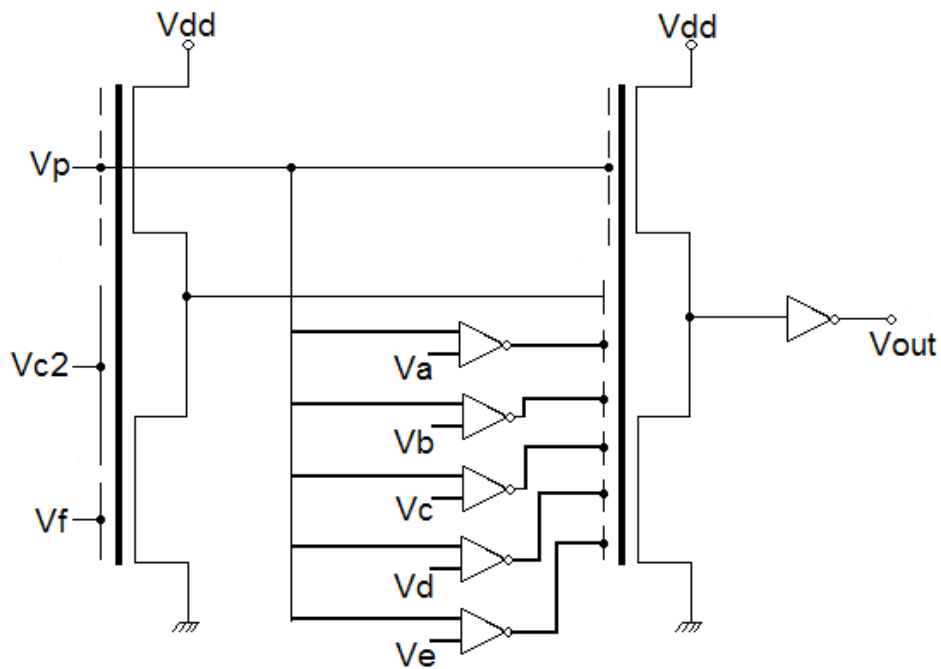


Fig. 1.8 Circuito SHL de 4 bits sin convertidor D/A.

1.12 Conclusiones

Este capítulo describe las características principales que presenta la compuerta flotante, así como ventajas y desventajas de su uso en circuitos lógicos comparado con las compuertas lógicas convencionales de compuertas desarrolladas con tecnología MOS y también se hace la descripción de las etapas con que cuenta el circuito universal que se abordará en los capítulos posteriores. El dispositivo vMOS, al tener también compuerta flotante, podría funcionar como memoria no volátil si se le inyectara o extrajera carga, sin embargo, en el caso que se estudia en este trabajo, no se habilitan inyectores para dicho propósito. Aún así, el voltaje de umbral puede ser alterado por medio de la polarización fija de cualquiera de las múltiples compuertas de control, con la diferencia de que al retirarse dicha alimentación, el voltaje de umbral del dispositivo seguirá siendo el nativo. También se presenta un ejemplo de diseño topológico (Layout), de compuerta flotante de manera generalizada para tomarla como base para el momento de diseñar.

Referencias

- [1] H. P. Graf and L. D. Jackel, "Analog electronic neural network circuits", IEEE Circuits and Devices Magazine, Vol. 5, pp. 44-45, Jul. 1989.
- [2] M. Holler, S. Tam, H. Castro and R. Benson, "An electrically trainable artificial neural network (ETANN) with 10240 floating-gate synapses", Proc. IJCNN, Vol. II (Washington, D.C.), pp- 191-196, Jun. 1989.
- [3] T. C. Ong, P. K. Ko and C. Hu, "The EEPROM as an analog memory device", IEEE Trans. Electron Devices, Vol. 36, pp. 1840-1841, Sept. 1989.
- [4] A. Thomsen and M. A. Brooke, "A floating-gate MOSFET with tunneling injector fabricated using a standard double-polysilicon CMOS process", IEEE Electron Device Letters, Vol. 12, No. 3, pp. 111-113, March 1991.
- [5] E. Säckinger and W. Guggenbuhl, "An analog trimming circuit based on a floating-gate device", IEEE Jour. Of Solid State Circuits, Vol. 23, No. 6, pp. 1437-1440, Dec. 1998.
- [6] T. Shibata, T. Ohmi. "Neuron MOS Binary-Logic Integrated Circuits. Part I: Design Fundamentals and Soft-Hardware-Logic Circuit Implementation", IEEE Tran. Electronic Devices, Vol. 40, No. 3. pp.570-576, March 1993.
- [7] K. Kotani, T. Shibata, T. Ohmi. "Neuron MOS Binary-Logic Circuits Featuring Dramatic Reduction in Transistor Count and Interconnections", IEEE IEDM, pp.16.3.1-16.3.4, 1992
- [8] Reyes Barranca, M. Alfredo. "Estructuras CMOS-VLSI de Compuerta Flotante para Sistemas Neuronales", Tesis D.C. Depto. Ingeniería Eléctrica, CINVESTAV IPN, México, D.F. 1998.
- [9] Bradley A. Minch, Paul Hasler, Chris Diorio. "The multiple-input translinear element: A versatile circuit Element", School of Electrical Engineering, Cornell University, Ithaca, N.Y., IEEE 1998, pp.88-91.
- [10] K. Yang A. G. Andreou. "Multiple Input Floating-Gate MOS Differential Amplifiers and Applications for Analog Computation", Proceedings of the 36th Midwest Symposium on Circuits and Systems, New York, NY, USA, pp.1212-1216, August 1993.
- [11] T. Shibata, T. Ohmi. "A functional MOS Transistor featuring Gate-Level Weighted Sum and Threshold Operations", IEEE Transactions on Electron Devices, Vol. 39, No. 6, pp. 1444-1455, June 1992.
- [12] T. Shibata, M. Konda, Y. Yamashita. "Neuron-MOS Based Association Hardware for real-Time Event Recognition", IEEE 1996, pp. 94-101.
- [13] T. Shibata, H. Kosaka, H. Ishii, T. Ohmi "A Neuron-MOS Network Using Self-Learning Compatible Synapse Circuits", IEEE Journal of Solid-State Circuits, Vol. 30, No. 8, pp. 913-922, August 1995.
- [14] R. Nicholson, A. Richardson. "The application of neuMOS Transistors to Enhanced Built-in Self-Test (BIST) and Product Quality", European Test Workshop, Konstanz, pp. 1-5, Mayo 25, 1999.
- [15] Krissanapong Nandhasri, J. Ngarmnil. "Hysteresis Tunable Voltage Comparator Using Floating- Gate MOSFET", Mahanakon University of Technology, Bangkok, pp. 709-712.
- [16] T. Shibata, T. Ohmi. "Neuron MOS Binary-Logic Integrated Circuits. Part II: Simplifying Techniques of Circuit Configuration and their Practical Applications", IEEE Tran. Electronic Devices, Vol. 40, No. 3, pp. 974-979, May 1993.

- [17] García Ramírez Erendira. “Realización de Lógica Binaria Empleando Dispositivos de Compuerta flotante”, Tesis M.C. Depto. Ingeniería Eléctrica, CINVESTAV IPN, México, D. F. 2002.
- [18] Rincón Lozano Víctor Manuel. “Implementación de circuitos analógicos empleando transistores MOS con compuerta flotante y una o múltiples compuertas de control”, Tesis M.C. Depto. Ingeniería Eléctrica, CINVESTAV IPN, México, D. F. 2005.

Capítulo II. METODOLOGIA DE DISEÑO

2.1 Introducción.

Este capítulo describe la metodología de diseño del Circuito Lógico de Configuración Externa de 4 bits con Convertidor D/A que es fundamental para su desempeño, como es el caso del cálculo de las capacitancias de acoplamiento en cada una de las etapas del diseño con compuerta flotante, además del cálculo de los voltajes de los inversores programables para su cambio de umbral. Esto último es para determinar la respuesta Booleana deseada a la salida del circuito, además de ser quienes establecen las condiciones de funcionamiento del circuito al excitar adecuadamente la etapa final del circuito llamado *circuito neuronal*. Por lo tanto, el circuito se excita de manera externa, es decir, sin modificar la configuración circuital para cada comportamiento Booleano deseado. Además de explicar la utilización del *Diagrama de Potencial de Compuerta Flotante (FPD)*, por medio del cual analíticamente se obtiene la función binaria deseada.

El Diagrama de Potencial de Compuerta Flotante (FPD), es una metodología de diseño empleada como parte fundamental en el diseño del circuito SHL de 4 bits; siendo una de las primeras cosas que deben de trazarse para emplear la metodología FPD para el cálculo de capacitancias de manera analítica y representar la gráfica de comportamiento para la función Booleana deseada.

2.2 Metodología para el Diseño del Circuito Lógico de Configuración de 2 bits con Convertidor D/A.

Con la finalidad de explicar varios de los conceptos que se utilizan en el desarrollo de este trabajo, se comenzará explicando el diseño y funcionamiento de un circuito básico con el que se pueden obtener las funciones X-OR y X-NOR, variando señales externas de voltaje y para dos entradas. Este circuito se muestra en la Fig. 2.1 y consta de una etapa de entrada formada por un seguidor fuente vMOS complementario, que funciona como un convertidor D/A.

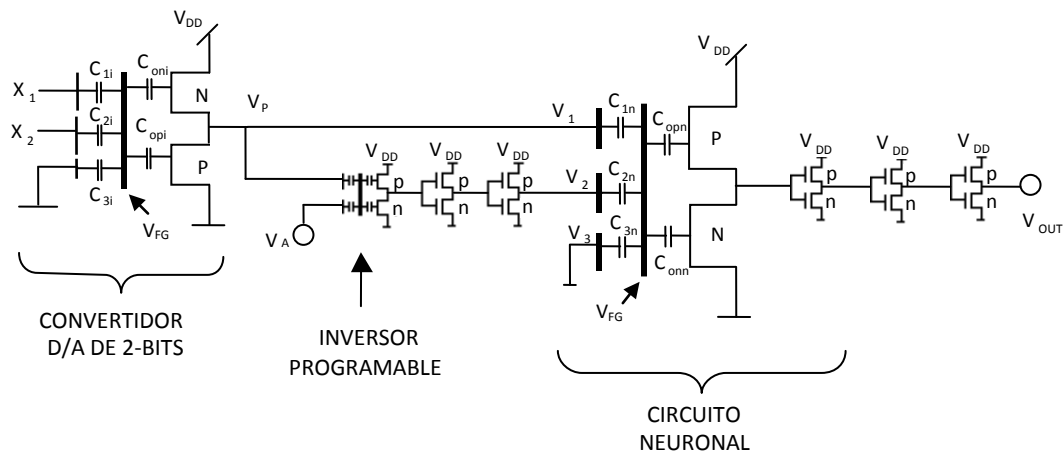


Fig. 2.1 Circuito Básico para obtener compuertas lógicas X-OR y X-NOR.

De esta manera, una señal binaria de 2 bits será convertida a una señal multivaluada, específicamente, cuatro valores diferentes, que dependerán de la geometría de los transistores, de la tecnología y de la polarización. Esto quiere decir, que debe existir una relación entre las señales de entrada (X_1 y X_2) y la salida del convertidor (V_p), que será llamada *variable principal*.

En la etapa intermedia del circuito de la Fig. 2.1, se tiene un inversor programable cuya función es ayudar en la asignación de la función lógica del circuito. Con este inversor, se puede programar el umbral de inversión al cual se desea que tenga la transición entre un valor bajo y un valor alto. Desde el punto de vista de tecnología, esto se puede lograr mediante la alteración del voltaje de umbral de los dispositivos MOS a través de la implantación iónica en la región de canal [1, 2]. Sin embargo, esto puede llegar a complicar el proceso de fabricación cuando se requieren diferentes voltajes de umbral. Para una tecnología de doble polisilicio, esto se simplifica y da versatilidad al circuito ya que el umbral de conmutación del inversor se puede controlar mediante señales externas de voltaje, como se verá más adelante.

Finalmente la etapa de salida del circuito lógico de configuración externa, consta de un circuito neuronal formado por un inversor vMOS con tres compuertas de control, junto con tres inversores CMOS convencionales. El inversor vMOS recibe las señales de salida del convertidor D/A y del inversor programable, a partir de las cuales se genera el Diagrama de Potencial de Compuerta Flotante (FPD), que corresponde al voltaje presente en la compuerta flotante de la neurona (V_{FG}).

2.2.1 Diagrama de Potencial de Compuerta Flotante (FPD) del Circuito Lógico de Configuración Externa de 2 Bits con Convertidor D/A.

Como se mencionó anteriormente, el potencial V_{FG} estará en función de la variable principal V_P , que será la salida del convertidor D/A.

Al tomar un criterio de diseño para las capacitancias de acoplamiento, se considera que la variable multivaluada (V_P) está conectada a la compuerta principal del inversor vMOS (observar Fig. 2.1). Esta tiene la capacitancia de acoplamiento más grande (C_1), por lo que el diseño estándar para la compuerta principal es:

$C_1 = \frac{\gamma C_{TOT}}{2}$	(2.1)
----------------------------------	-------

Donde γ se define como la GANANCIA DE COMPUERTA FLOTANTE; dicho factor está definido por:

$\gamma = \frac{C_1 + C_2 + \dots + C_n}{C_{TOT}}$	(2.2)
--	-------

Esta ganancia es la relación entre la suma de las capacitancias de acoplamiento, respecto a la capacitancia total del el arreglo circuital.

En la Fig. 2.2 se muestran dos FPD, para la función XOR y XNOR respectivamente. De aquí, se considerará que todo voltaje en la compuerta flotante de la neurona por arriba de $\frac{\gamma V_{DD}}{2}$ será un 1 lógico, de lo contrario se tendrá un 0 lógico (γ se define como la ganancia de compuerta flotante). Este límite será precisamente el umbral de inversión del inversor vMOS.

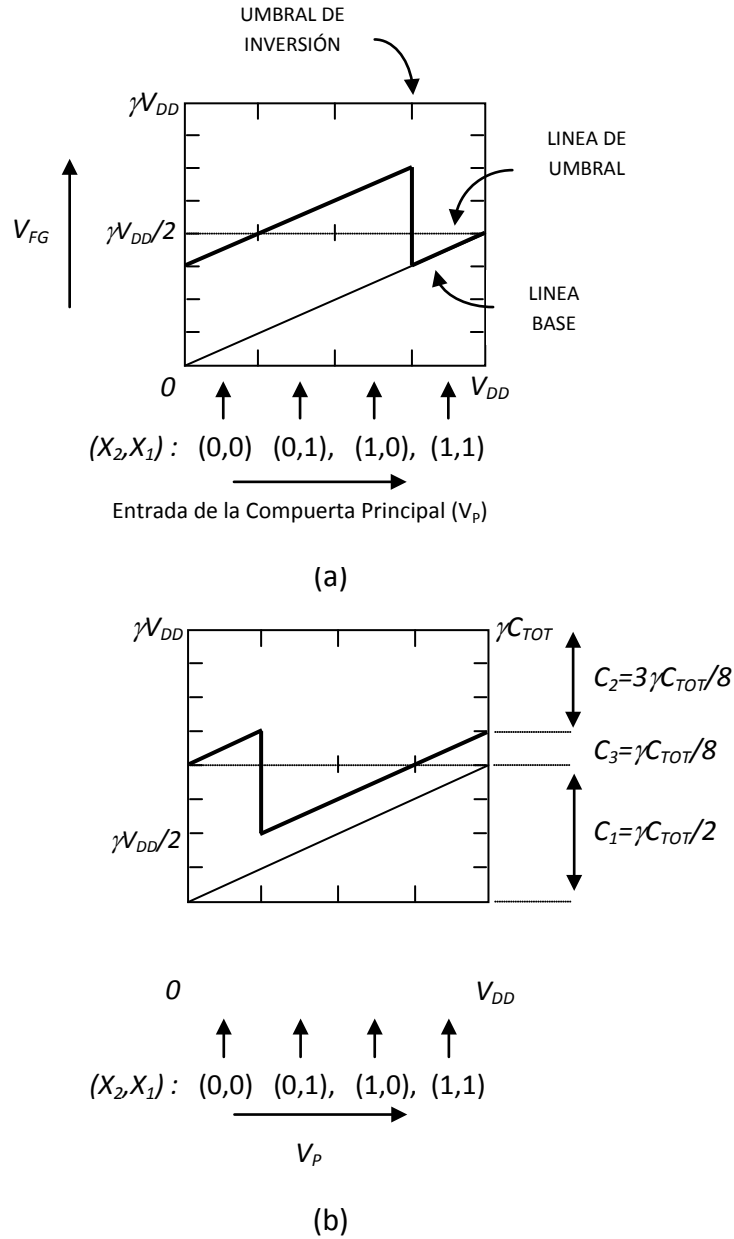


Fig. 2.2 (a) Diagrama FPD representando la función X-OR para variables binarias X_1 y X_2 , (b) patrón FPD representando la función X-NOR de X_1 y X_2 .

En el eje “x” de las Figuras 2.2(a) y 2.2(b) se tiene la variable V_p en un rango desde 0 volts hasta V_{DD} . Este eje se divide en cuatro para considerar los cuatro valores analógicos de V_p , equivalentes a las cuatro combinaciones posibles de X_1 con X_2 , sin embargo, para fines de análisis se considera que V_p varía de forma continua. Respecto al eje “y”, el máximo valor que éste puede tomar corresponde a γV_{DD} , equivalente al voltaje que tendría la compuerta flotante de la neurona, cuando $V_1 = V_2 = V_3 = V_{DD}$, según lo siguiente:

Si se tiene la Ec. 2.2 y la Ec. 1.4, para el caso de tres capacitancias, C_1, C_2 y C_3 si $V_1 = V_2 = V_3 = V_{DD}$, se tiene que:

$V_{FG} = \frac{V_{DD}(C_1 + C_2 + C_3)}{C_{TOT}}$	(2.3)
--	-------

Por lo tanto:

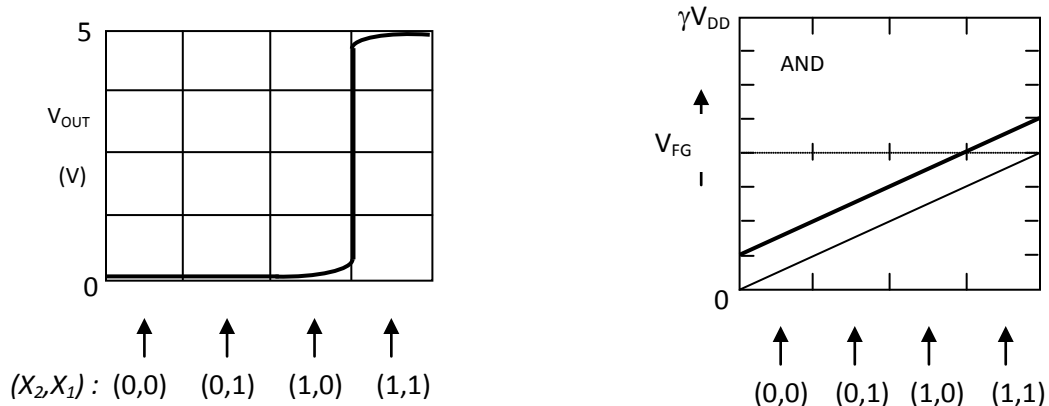
$V_{FG} = \gamma V_{DD}$	(2.4)
--------------------------	-------

Por otro lado, respecto al comportamiento de V_{FG} , se tienen dos condiciones. La primera, será la línea base indicada en la Fig. 2.2 (en ambas gráficas) y que servirá como referencia para el análisis de la compuerta; esta línea se obtiene cuando $V_1 = V_P$ y varía desde cero Volts hasta V_{DD} y $V_2 = V_3 = 0$ Volts. La segunda, corresponderá a la señal deseada para la función lógica obtenida ya en condiciones de funcionamiento, es decir, $V_1 = V_P$, $V_2 = V_P$ y $V_3 = 0$. De esta respuesta (línea gruesa), se puede ver de la Fig. 2.2(a) que el FPD cumple con la función XOR ya que $V_{FG} < \frac{\gamma V_{DD}}{2}$ para $(X_1, X_2) = (0,0)$ y $(1,1)$ y para $V_{FG} > \frac{\gamma V_{DD}}{2}$ para $(X_1, X_2) = (0,1)$ y $(1,0)$. Para la Fig. 2.2(b) tenemos por tanto, que el FPD cumple con la función XNOR.

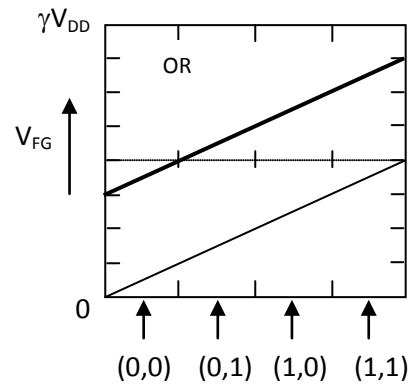
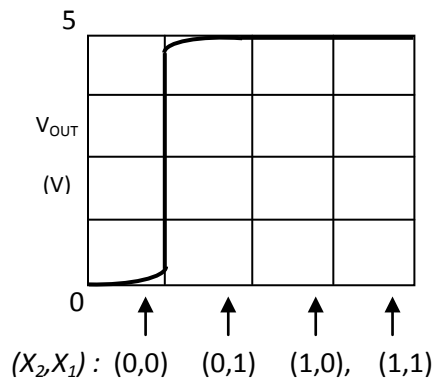
La función del inversor programable se puede apreciar en la gráfica FPD (Fig. 2.2a), por el cambio de nivel que tiene V_{FG} en $V_P = \frac{3V_{DD}}{4}$, que fue el umbral necesario en el inversor programable, para cumplir con la función XOR. Para el caso de la función XNOR y empleando el mismo circuito, únicamente se tiene que cambiar el umbral del inversor programable a $\frac{V_{DD}}{4}$ y aplicar V_{DD} en V_3 . Más explícitamente, cuando la señal V_P es baja, la salida del inversor programable es V_{DD} mientras V_P sea menor a $\frac{3V_{DD}}{4}$ para la compuerta XOR ($\frac{V_{DD}}{4}$ para XNOR). Con esto, V_1 y V_2 estarán contribuyendo para tener un valor linealmente variable en V_{FG} . Una vez que V_P alcanza el valor de $\frac{3V_{DD}}{4}$ (o $\frac{V_{DD}}{4}$), la salida del inversor programable es baja y deja de contribuir como entrada a la neurona, por lo que V_{FG} disminuye dado que solo se tiene señal en V_1 y a partir de entonces $V_2 = V_3 = 0$ para la XOR y $V_2 = 0$ y $V_3 = V_{DD}$ para la X-NOR [3].

Otra ventaja que se aprovecha del diagrama FPD, es que también se puede leer en el eje de la derecha la magnitud de las capacitancias C_1 , C_2 y C_3 ya que según la compuerta de control que tenga aplicado un voltaje, la respuesta de V_{FG} se desplazará hacia arriba en referencia a la línea base. Como puede verse, la máxima magnitud de este eje es de γC_{TOT} y está dividido, para este caso, en 8 subdivisiones. Cuando se aplica voltaje exclusivamente en C_1 (línea base), se obtiene la magnitud de $C_1 = \frac{\gamma C_{TOT}}{2}$ que es el valor estándar de diseño; cuando se aplica voltaje en C_1 y C_2 , se obtiene que $C_2 = \frac{3\gamma C_{TOT}}{8}$ (Fig. 2.2(b)); y para la magnitud de $C_3 = \frac{\gamma C_{TOT}}{8}$.

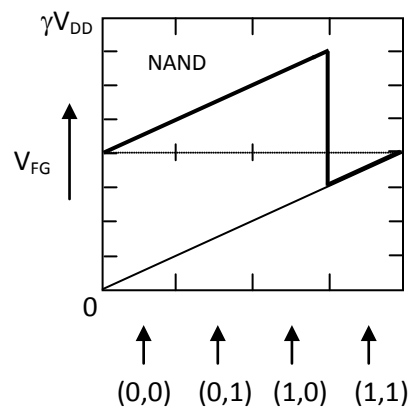
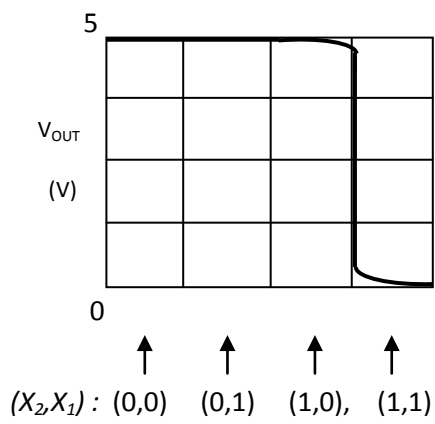
Por lo tanto, desde el punto de vista gráfico, el diseño de una compuerta comienza con el dibujo del diagrama FPD de la función lógica deseada; de éste se determina entonces el umbral del inversor programable en el eje de las abscisas y el valor de las capacitancias de acoplamiento, se obtienen del eje de las ordenadas. Debe quedar claro, por lo tanto, que tanto el umbral de transición del inversor programable como la magnitud de las capacitancias ayudarán a determinar en qué lugar deberá aparecer un 1 lógico. A continuación se muestran en la Fig. 2.3, cuatro diagramas FPD para las funciones NAND, NOR, AND Y OR, que corresponderán a una variante del circuito básico de la Fig. 2.1.



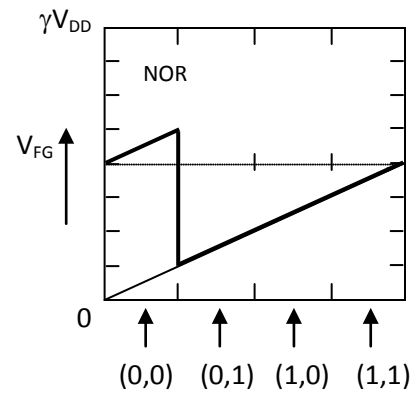
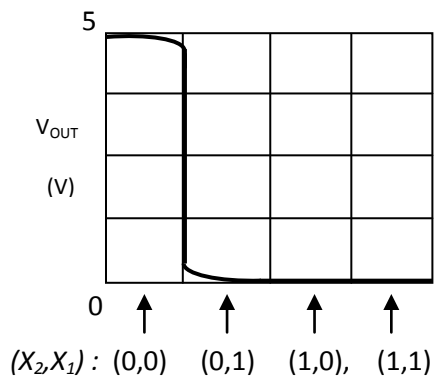
(a)



(b)



(c)



(d)

Fig. 2.3 Diagramas FPD para: (a) compuerta AND, (b) compuerta OR, (c) compuerta NAND, (d) compuerta NOR.

2.2.2 Procedimiento de Diseño para el Convertidor D/A de 2 bits.

La implementación más común de convertidores D/A en tecnología MOS utiliza arreglos de capacitancias, aunque el convertidor que se emplea en este circuito incluye en su estructura una compuerta flotante [4, 5]. En la Fig. 2.1, observamos que a las entradas de esta primera etapa del circuito se aplican señales binarias de 2 bits para X_1 y X_2 ; dicha etapa de entrada, es un vMOS complementario en configuración SEGUIDOR-FUENTE [1]. El circuito convierte las señales de entrada binarias en un valor multivaluado V_p .

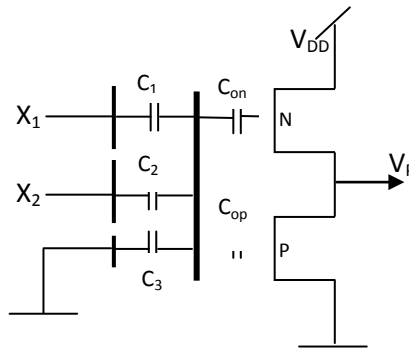


Fig. 2.4 Convertidor Digital-Analógico.

Tomando en cuenta el principio de operación de un seguidor-fuente, aunque su ganancia de voltaje sea menor que 1, tiene una resistencia de salida baja y es capaz de manejar cargas de baja impedancia con pequeñas pérdidas de ganancia [6]. En la configuración de seguidor fuente, la fuente de voltaje del transistor FGMOS es aproximadamente una función lineal del voltaje de compuerta flotante [7]. La configuración circuital complementaria de n y p-vMOSFET, utiliza el canal p vMOS como una carga activa. La posición de los transistores está intercambiada respecto a una posición clásica CMOS, tal posición, exhibe características muy interesantes, por tal motivo, esta configuración es llamada "seguidor fuente". En el ciclo de carga del nodo de salida, el p-vMOS se apaga y sirve como un resistor de carga infinitamente grande, por lo que se obtiene una ganancia de voltaje unitaria, mientras que en el ciclo de descarga, el p-vMOS enciende y acelera la descarga. Ambos transistores, pueden operar cercanamente bajo la condición de corte cuando el circuito se mantiene con un nivel de voltaje constante, de modo que la disipación de potencia puede ser minimizada; por lo tanto, se puede esperar que se presente una alta velocidad, mínima degradación de la ganancia de voltaje y una relativamente baja disipación de potencia [8].

La etapa de entrada (convertidor D/A), puede ser eliminada sin mayor desventaja porque la operación de conversión D/A es fácilmente desempeñada por el acoplamiento directo de las compuertas de entrada con la compuerta flotante del inversor vMOS. Otra técnica de simplificación es aquella desarrollada para funciones simétricas. Si el resultado de cálculo es invariable contra el intercambio de cualquier variable de entrada, la función es llamada "simétrica". En tales funciones únicamente el número "1" entre las otras variables de entrada tiene significado. El diseño de funciones simétricas es mucho más fácil de llevarse a cabo que para asimétricas, porque los factores de peso que multiplican a las variables de entrada para la conversión digital-analógica, son idénticos [3].

A continuación se obtiene el valor de voltaje V_P , que corresponde a la salida de la etapa del convertidor D/A. El potencial de la compuerta flotante de esta etapa está dado con base en la Ec. 1.4, como:

$V_{FG} = \frac{C_1 X_1 + C_2 X_2}{C_{TOT}}$	(2.5)
--	-------

Donde C_1 y C_2 son las capacitancias de acoplamiento de las compuertas cuyos voltajes son X_1 y X_2 respectivamente y se toma un criterio de diseño de: $\frac{C_1}{C_2} = \frac{1}{2}$. De esta consideración se puede demostrar que V_{FG} es igual a:

$V_{FG} = \frac{C_1}{C_{TOT}} (X_1 + 2X_2)$	(2.6)
---	-------

Así se comprueba el valor del potencial de la compuerta flotante para el convertidor D/A, ya que ambos transistores vMOS de canal n y canal p en esta parte del circuito, están hechos para trabajar en un modo de deserción, y el circuito mantiene un voltaje de salida V_P a través de un flujo de corriente, de modo que balancea la función en ambos transistores. La salida del inversor es baja cuando la suma lineal de los voltajes de entrada es menor que el umbral de compuerta flotante, y la salida llega a ser alta cuando la suma es mayor que el umbral. Cuando se llega al voltaje de umbral del inversor visto desde la compuerta flotante, V_{INV^*} se define como un voltaje en el cual la salida del inversor llega a ser $\frac{V_{DD}}{2}$ [8]. Si queremos que los transistores trabajen en un modo de saturación podemos aplicar la relación:

$V_P = V_{FG} - \frac{\sqrt{\beta_R} V_{Tn^*} + V_{Tp^*}}{\sqrt{\beta_R} + 1}$	(2.7)
--	-------

Donde tenemos que: $V_{Tp^*} > 0$, es el voltaje de umbral que se usa para el transistor p del convertidor D/A y $V_{Tn^*} < 0$, es el voltaje de umbral para el transistor n del convertidor D/A. Cabe mencionar que ambos voltajes de umbral empleados tienen un valor contrario

a como regularmente se presentan, y β_R es un valor constante obtenido a partir de la longitud, ancho y movilidades de superficie de huecos y electrones de ambos transistores, y se designa con un valor β_R [8]:

$\beta_R = \frac{\beta_n}{\beta_p} = \frac{\left(\frac{W}{L}\right)_n \mu_n}{\left(\frac{W}{L}\right)_p \mu_p}$	(2.8)
---	-------

Para el funcionamiento del circuito se establecen los siguientes criterios de diseño:

<p>a) $V_{Tn^*} - V_{Tp^*} = \frac{V_{DD}}{4}$ b) $\frac{(C_1 + C_2)}{C_{TOT}} = \frac{3}{4}$ c) $C_2 = 2C_1$ d) $C_1 = 0$ e) $C_{TOT} = C_0 + C_1 + C_2$ f) $C_{TOT} = 4C_0$ g) $V_{FG} = \frac{1}{4}(X_1 + X_2)$</p>	(2.9)
---	-------

Por lo que la Ec. 2.7 se reduce a:

$V_P = \left(\frac{1}{4}X_1 + \frac{1}{2}X_2\right)V_{DD} + \frac{1}{8}V_{DD}$	(2.10)
--	--------

Para obtener la Ec. 2.10 utilizamos las condiciones (g) y (a), del grupo de ecuaciones 2.9. Por lo tanto sustituyendo los valores binarios (0,0), (0,1), (1,0), (1,1) para X_1 y X_2 respectivamente, se obtiene un voltaje de salida V_P , el cual ya no será binario sino analógico:

Tabla 2.1. Voltajes representados por el Convertidor D/A de 2 bits.

Entrada		Salida
X_2	X_1	$V_P = \left(\frac{1}{4}X_1 + \frac{1}{2}X_2\right)V_{DD} + \frac{1}{8}V_{DD}$
0	0	$\frac{1}{8}V_{DD}$
0	1	$\frac{3}{8}V_{DD}$
1	0	$\frac{5}{8}V_{DD}$
1	1	$\frac{7}{8}V_{DD}$

La Fig. 2.5, muestra la aplicación de dichas señales binarias en la entrada del convertidor D/A además de la respuesta multivaluada a la salida de esta primera etapa, es decir, se muestra la salida evaluada en cuatro lapsos de tiempo que corresponden a las cuatro entradas binarias respectivamente.

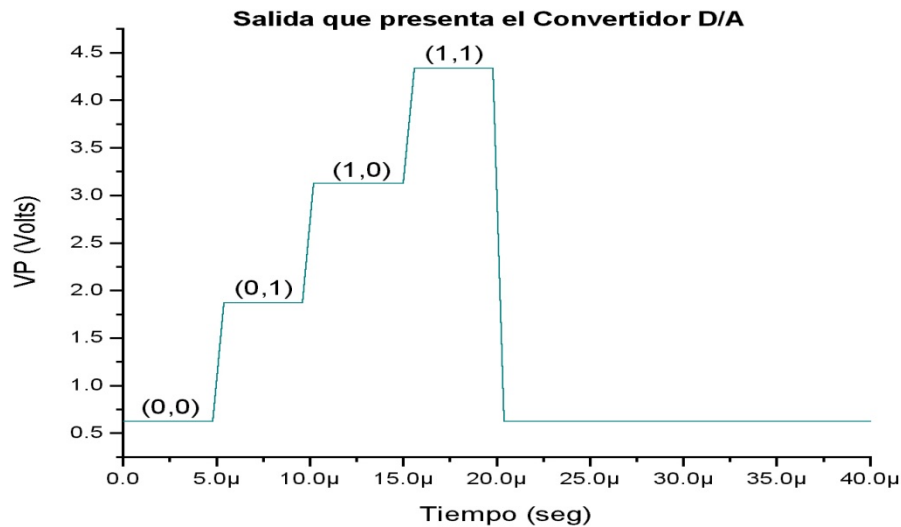


Fig. 2.5 Gráfica de salida en la etapa del Convertidor D/A.

2.2.3 Procedimiento de Diseño para el Inversor Programable de 2 bits.

Esta es la etapa intermedia del circuito, el cual se compone también de dos transistores complementarios vMOS con dos compuertas de entrada pero de capacitancias de acoplamiento idénticas, como se muestra en la Fig.2.6(a) [1]. Se presenta también el esquema de su FPD, en la Fig. 2.6(b), donde la abscisa V_{IN} corresponde a la variable principal V_p , por lo tanto, $V_{IN} = V_p$. Este voltaje entonces representa la entrada principal del inversor programable [3].

La misma Fig. 2.6 (b), muestra que la línea base representa la variación de V_{FG} y tiene un valor máximo igual a $\frac{\gamma V_{DD}}{2}$ (cuando $V_A = 0$), y V_A es el voltaje de control de umbral programable, es decir, es el voltaje necesario para que el inversor programable haga su inversión donde se requiera, según la compuerta que se analice. Como también puede verse en dicha figura, únicamente el voltaje principal V_p , es variado desde 0 a V_{DD} y el voltaje de umbral del inversor programable V_{IA} está en función del voltaje aplicado en V_A , siendo igual a $\frac{V_{DD}}{2k_{cg}} - V_A$, a su vez, V_A se escogerá dependiendo de la función lógica que se

quiera implementar. Por ejemplo, para la función XOR del circuito básico, V_A es de 4.05V ($V_{IN} = \frac{3}{4}V_{DD}$) y para la función XNOR, $V_A = 6.55V$ ($V_{IN} = \frac{V_{DD}}{4}$).

Esta etapa es muy importante para el funcionamiento de la neurona, ya que da la pauta para que la neurona proporcione el cambio de umbral. La particularidad de esta etapa es tener las capacitancias idénticas por lo que se tiene la relación $C_1 = C_2 = \frac{\gamma C_{TOT}}{2}$ (esta igualdad es para los tres inversores programables, que forman la segunda etapa del circuito universal). El inversor es también llamado Inversor de Compuerta de Pre-entrada, y su señal de salida conduce al circuito neuronal [3]. Cuando se quiere comprobar el funcionamiento de los diferentes tipos de compuerta, el inversor tiene la tarea de realizar la inversión donde se cumpla la condición que caracterice a dicha compuerta, aunque también habrá algunas compuertas que no tienen la condición de inversión (AND, OR). Cualquier circuito lógico vMOS tiene la misma configuración básica como ésta, con variaciones en la magnitud de capacitancias de acoplamiento, el número de inversores de compuerta de pre-entrada y sus voltajes de umbral [9, 10, 11]. γV_{DD} , representa el máximo voltaje de compuerta flotante obtenido, cuando ambas compuertas de entrada están a V_{DD} , Ya que el valor es la ganancia de voltaje de la compuerta flotante como un resultado de su acoplamiento capacitivo de dichas compuertas de entrada. El factor de ganancia de compuerta flotante (γ), es uno de los parámetros de diseño del dispositivo. Es indispensable considerar este factor para el buen funcionamiento tanto para el circuito de la Fig. 2.1, como para el circuito universal detallado más adelante. En párrafos posteriores se explica en qué consiste este factor de ganancia.

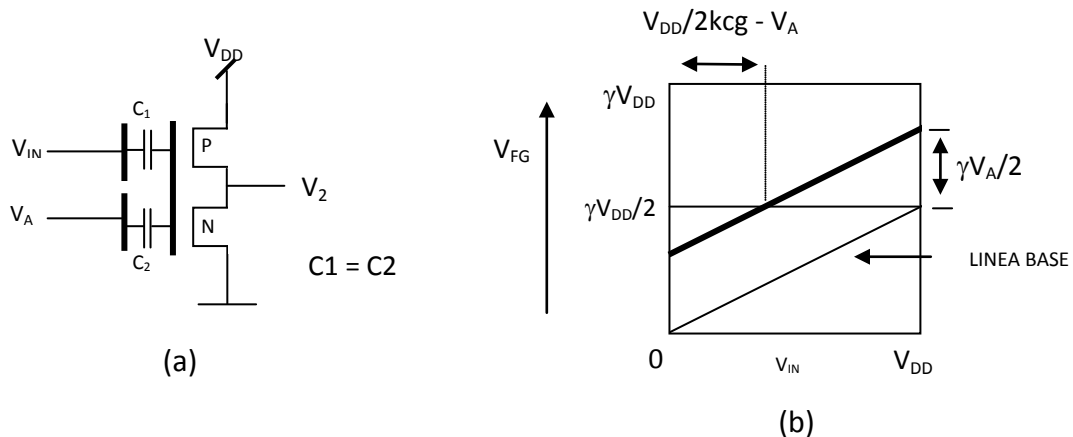


Fig. 2.6 (a) Inversor programable, (b) representación del FPD del inversor programable.

La respuesta que se obtiene en la salida del inversor programable, debe ser el cambio de umbral según la compuerta que se esté evaluando, esto es, para las compuertas NAND, NOR, XOR Y XNOR (ya que para AND y OR, no hay condición de inversión). Como ejemplo, se muestra a continuación la Fig. 2.7, en la cual se obtiene el cambio de umbral para una compuerta XOR y también para una XNOR que realiza el inversor de compuerta de preentrada de la Fig. 2.1. Las condiciones de simulación corresponden a un voltaje $V_A = 4.05V$ para la Fig. 2.7(a) y de $V_A = 6.55V$ para la Fig. 2.7(b), con una variación de voltaje en V_p de cero a V_{DD} ($V_{DD} = 5V$).

Sea V_{TH^*} el voltaje de umbral del transistor visto desde la compuerta flotante, se tiene entonces que el transistor con n compuertas de control enciende con la condición de $V_{FG} > V_{TH^*}$, es decir, se tendrá un 1 lógico cuando se cumpla la siguiente condición:

$\frac{C_1V_1 + C_2V_2 + \dots + C_nV_n}{C_{TOT}} > V_{TH^*}$	(2.11)
---	----------

Esta relación presenta la otra característica importante del dispositivo, la operación de umbral. El comportamiento del transistor se asemeja muy bien a la neurona biológica si el encendido del transistor se correlaciona con el encendido de la neurona [8].

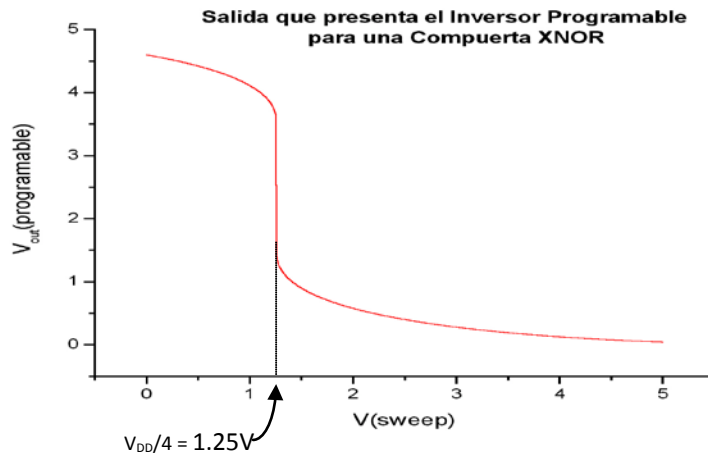
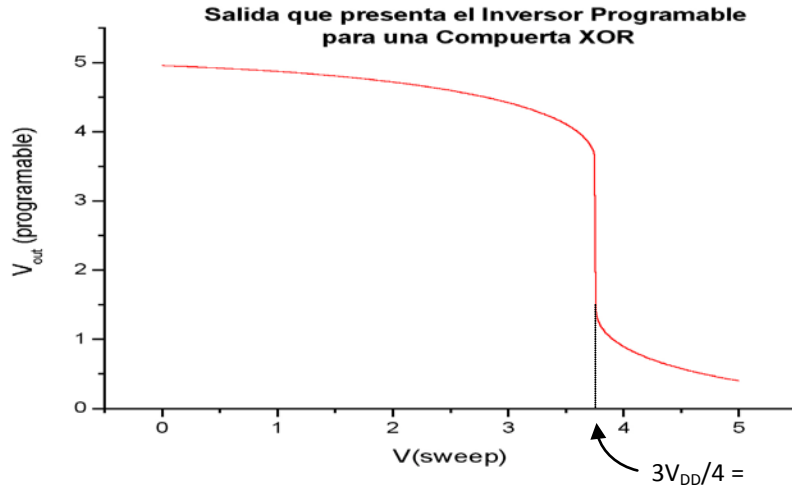


Fig.2.7 Respuesta del inversor programable donde se tiene: (a) cambio de umbral para una compuerta XOR, (b) cambio de umbral para una compuerta X-NOR.

La señal multivaluada (V_1) está directamente conectada a la entrada principal de la neurona, teniendo la capacitancia de acoplamiento más grande y que determina el encendido y apagado del inversor de la neurona. El umbral de la neurona es controlado por el voltaje de salida del inversor programable. La salida de la neurona es V_2 , $V_3 = 0$ Volts, toman los valores de 0 o V_{DD} dependiendo de las señales de cuatro niveles (V_1) entregadas por el convertidor D/A y las señal de control, siendo esta última la que se varía de acuerdo a la compuerta que se quiera obtener, es decir, se hace la variación de configuración de manera externa. La salida del circuito completo, V_{OUT} , alterna entre 0 o 1 (V_{DD}). Cuando la variable de entrada binaria de dos bits está correlacionada con la señal

de cuatro niveles, cualquier función Booleana puede ser generada, por lo que se indica que el circuito que se analiza, realiza las funciones: OR- exclusiva, NOR- exclusiva, OR, AND, NAND Y NOR.

Así pues, a continuación se menciona el funcionamiento de la neurona después de ser explicada la función del inversor programable.

2.2.4 Procedimiento de Diseño para el Circuito Neuronal de 2 Bits.

El FPD, nos muestra que cualquier función booleana puede ser generada a partir de las señales que se introduzcan en la primera etapa del circuito. El diagrama se usa cuando se analiza la salida del convertidor D/A, es decir, la entrada principal V_p . Este valor de V_p es un valor analógico que afecta a la neurona MOS, en su primera entrada (principal) y también afecta a una de las entradas del inversor programable (el que se encuentra en la Fig. 2.1). Una vez que el voltaje V_p interviene en el inversor programable y en la neurona MOS, se obtiene de manera analítica, la gráfica resultante del Diagrama de Compuerta Flotante. Al analizarla, imaginariamente dividimos el eje X en cuatro partes iguales y a cada una de estas secciones se le asigna un valor binario, es entonces cuando finalmente podemos comprobar qué compuerta es la obtenida a la salida del circuito, como lo muestra la Fig. 2.2, para las compuertas X-OR y X-NOR. El funcionamiento básico, de un circuito lógico de compuerta flotante, es aquel en donde el circuito recibe señales binarias X_1 y X_2 como entrada y proporciona señales también binarias a la salida del mismo (V_{OUT}).

Con respecto a la neurona vMOS, cabe aclarar que es un inversor MOSFET, cuyo electrodo de compuerta está "flotando"; para obtener el potencial de la compuerta también se utiliza la Ec. 1.4 [1, 2]. Para obtener la compuerta binaria que se desee, hay que ser cuidadosos en cómo alimentar a la neurona. La compuerta tiene la capacitancia de acoplamiento C_1 más grande, por lo que toma el valor de diseño estándar $C_1 = \frac{\gamma C_{TOT}}{2}$.

La Fig. 2.8, muestra el diagrama esquemático de la neurona. Se observa que V_p afecta tanto a la entrada principal del circuito neuronal como una de las entradas de los inversores programables:

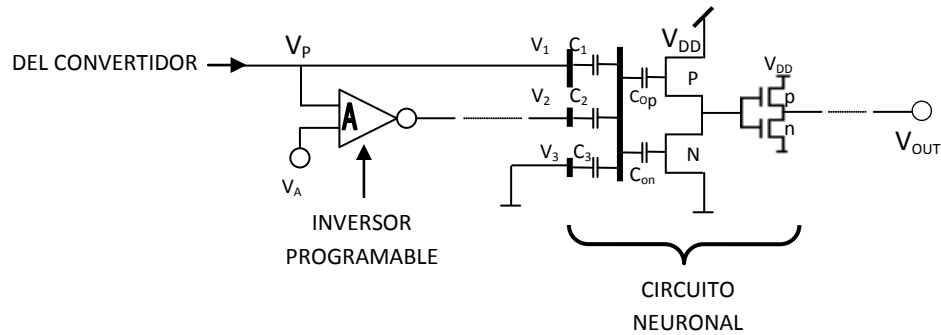
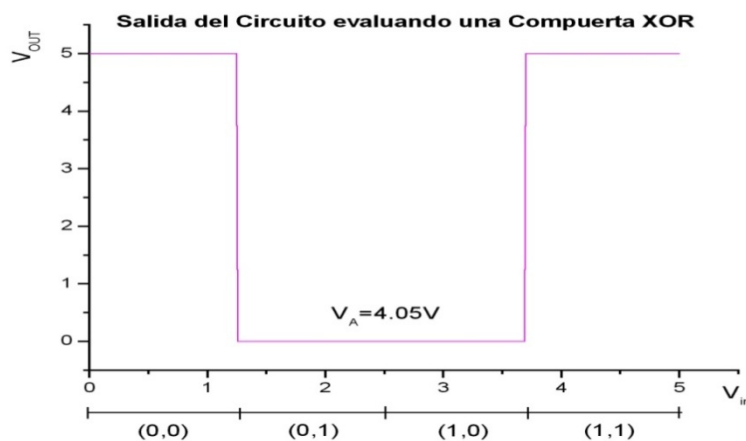


Fig. 2.8 Inversor programable añadido al circuito neuronal.

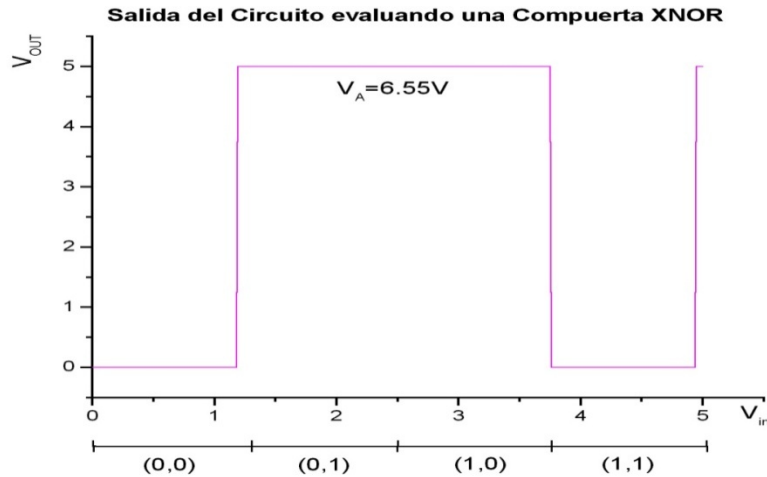
La Fig. 2.3, muestra el potencial de compuerta flotante V_{FG} del inversor vMOS principal como una función de la variable principal V_P , es decir, la entrada a la compuerta principal ($V_1 = V_P$). Como se dijo anteriormente, dicha representación es llamada Diagrama de Potencial de Compuerta Flotante (FPD), la cual ahora se enfoca a la neurona, la línea base representa la variación de V_{FG} cuando $V_2 = V_3 = 0$ y únicamente el voltaje principal V_1 , es variado desde 0 a V_{DD} . Ya que la capacitancia de acoplamiento de la compuerta principal (C_1) está diseñada como $C_1 = \frac{\gamma C_{TOT}}{2}$, la línea base no cruza la línea de umbral, es decir, V_1 por si solo, no puede provocar un salida alta del inversor [8].

Aquí también se indica γV_{DD} que representa el máximo voltaje de compuerta flotante obtenido, cuando todas las compuertas de entrada están a V_{DD} pues dicho valor obtenido, es la ganancia de voltaje de la compuerta flotante como un resultado de su acoplamiento capacitivo de todas las compuertas de entrada.

La respuesta que se obtiene de la neurona de acuerdo a la Fig. 2.1 (y Fig. 2.3), es por consiguiente, la salida total del circuito básico y se presenta a continuación:



(a)



(b)

Fig. 2.9. Salida del circuito neuronal para: (a) compuerta XOR, (b) compuerta XNOR.

La respuesta que proporciona el circuito, corresponde a la tabla de verdad para compuertas de dos entradas y una salida. Como se mencionó anteriormente, esto es tanto para el circuito de la Fig. 2.1, como para el circuito universal que se mostrará en la siguiente sección.

2.2.5 Circuito Lógico de Configuración Externa Universal de 2 bits con Convertidor D/A.

El circuito universal (ver Fig. 2.10), desarrolla seis funciones lógicas; el encendido y apagado de un inversor vMOS de acuerdo a la salida en alto o bajo del circuito neuronal, respectivamente, está solamente determinado por el potencial de compuerta flotante [1, 2]. De modo que la operación del circuito se entiende fácilmente analizando la variación de V_{FG} como una función de un parámetro importante como el voltaje de entrada aplicado a cada una de las múltiples compuertas de entrada y los coeficientes de acoplamiento capacitivo. Cuando V_1, V_2, V_3, V_4 están todas hacia V_{DD} , V_{FG} toma el máximo valor de γV_{DD} , el cual especifica el límite superior de la ordenada en el diagrama de compuerta flotante (ver Fig. 2.2(a) y 2.2(b)). Cabe mencionar, que al igual que en el circuito básico para funciones lógicas visto en la sección 2.2, se tienen valores estándar de diseño: $C_{1n} = \frac{\gamma C_{TOT}}{2}$, $C_{2n} = \frac{\gamma C_{TOT}}{8}$, $C_{3n} = \frac{\gamma C_{TOT}}{8}$, $C_{4n} = \frac{\gamma C_{TOT}}{8}$, para la etapa de la neurona.

De tal manera que, el proceso general de diseño es como sigue: Primero, dibujar un patrón de FPD para representar la función lógica deseada, entonces, el umbral del inversor de compuerta de pre-entrada (inversor programable) y los valores de las capacitancias de acoplamiento se determinan por la abscisa y ordenada del FPD, respectivamente (ver Fig. 2.2(b)). Cualquier circuito lógico vMOS tiene la misma configuración básica con variaciones en la magnitud de capacitancias de acoplamiento, número de inversores de compuertas de pre-entrada y el voltaje de umbral de los inversores [1].

El circuito mostrado en la Fig. 2.10, es el analizado para comprobar cualquier función booleana, específicamente las seis funciones lógico-binarias que se emplean cotidianamente. Hay una particularidad en el circuito que ayuda a su funcionamiento mediante un ajuste de señal y es la adición de dos inversores convencionales después de cada inversor programable, es decir, que al agregar estos inversores se logra una respuesta más abrupta a partir de la salida de cada inversor y, al mejorar el nivel lógico de cada respuesta, se aplica a su vez una señal más precisa a cada entrada de la neurona. El mismo principio de mejorar el nivel lógico, se emplea al agregar dos inversores convencionales más después del inversor que normalmente sigue después de la neurona.

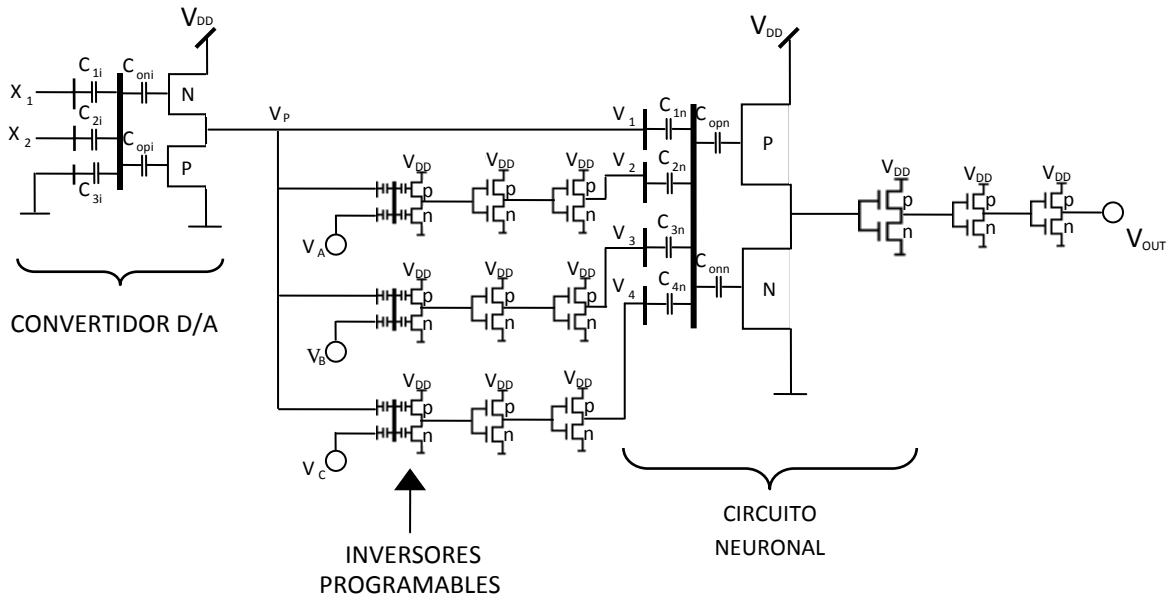


Fig.2.10 Diagrama Completo del Circuito Universal.

2.3 Metodología para el Diseño del Circuito Lógico de Configuración Externa de 4 bits con Convertidor D/A.

Un primer diseño para el Circuito Lógico de Configuración Externa de 4 bits, es el que se muestra en la Fig. 2.11, que consta de tres etapas: una primera etapa que es el convertidor D/A de 4 bits, el cual convierte las señales binarias en una señal multivaluada denominada V_p , una segunda etapa de inversores programables y una etapa final de circuito neuronal; esta señal multivaluada de dieciséis niveles generada por el convertidor D/A alimenta a los inversores programables, así como al circuito neuronal para obtener la función Booleana deseada, a través de sus capacitancias de acoplamiento en las etapa de inversores programables y el circuito neuronal, considerando sus factores de acoplamiento adecuados. Todo ello para lograr un funcionamiento óptimo del Circuito Lógico de Configuración Externa de 4 bits con Convertidor D/A [9].

Los criterios de diseño desarrollados para este primer Circuito Lógico de Configuración Externa de 4 bits con convertidor D/A se describen a continuación, a través del fundamento matemático:

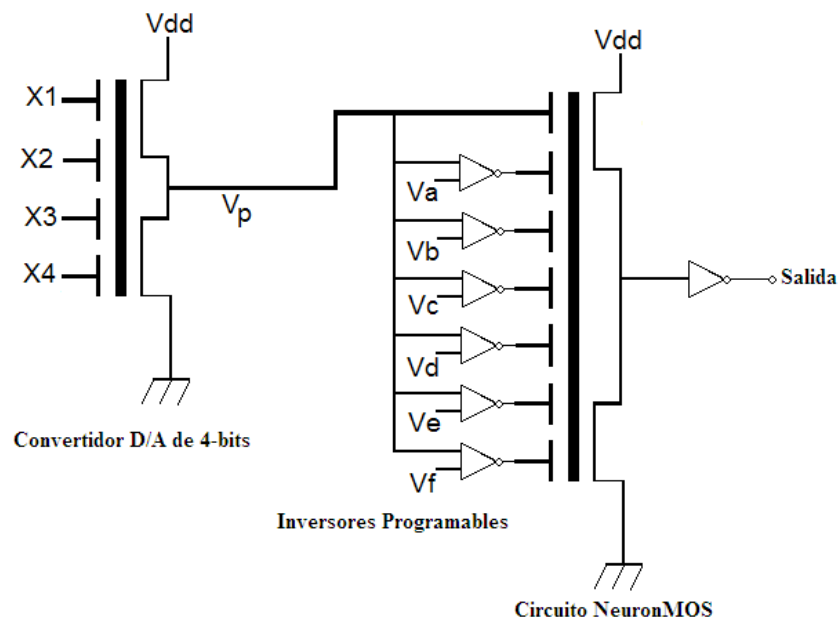


Fig. 2.11 Circuito SHL de 4 bits con convertidor D/A.

2.3.1 Procedimiento de Diseño para el convertidor D/ A de 4 bits.

El convertidor D/A de 4 bits es la primera etapa de nuestro primer diseño, cuya función es convertir las señales binarias en una señal multivaluada, como se expresó en la sección 2.4, y se ilustra en la Fig. 2.12, el cual tiene cuatro compuertas de control. Con ello se tendrá que calcular cuatro capacitancias de acoplamiento con sus propios factores de acoplamiento. Como se observa, el circuito está en configuración de seguidor fuente.

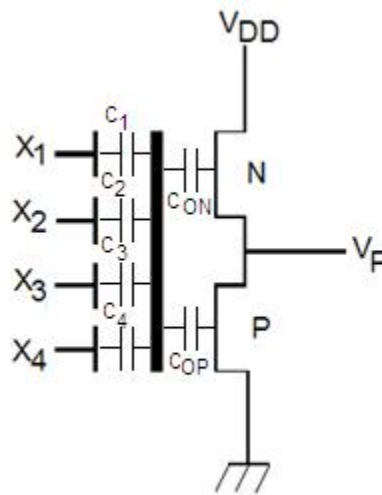


Fig. 2.12 Circuito Convertidor D/A de 4 bits.

El voltaje de la compuerta flotante para el convertidor D/A se expresa por:

$\phi_F = V_{FG} = \frac{C_1 X_1 + C_2 X_2 + C_3 X_3 + C_4 X_4}{C_{TOT}}$	(2.12)
---	--------

Donde:

$$C_{TOT} = \sum_{i=0}^n C_i$$

$$C_0 = C_{ON} + C_{OP} = C_1$$

La relación de las capacitancias según el criterio de diseño empleado para el Convertidor D/A es la siguiente:

$\frac{C_1}{C_2} = \frac{1}{2} \rightarrow C_2 = 2C_1$	(2.13)
$\frac{C_1}{C_3} = \frac{1}{4} \rightarrow C_3 = 4C_1$	(2.14)
$\frac{C_1}{C_4} = \frac{1}{8} \rightarrow C_4 = 8C_1$	(2.15)

Por lo tanto, de la Ec. 2.12 el voltaje en la compuerta flotante es:

$\phi_F = \frac{C_1X_1 + 2C_1X_2 + 4C_1X_3 + 8C_1X_4}{C_{TOT}} = \frac{C_1(X_1 + 2X_2 + 4X_3 + 8X_4)}{C_{TOT}}$	(2.16)
$V_p = \phi_F V_{DD} - \frac{\sqrt{\beta_R} V_{TN}^* + V_{TP}^*}{\sqrt{\beta_R} + 1}$ <p style="text-align: center;">Donde:</p> $V_{TN}^* < 0 \text{ y } V_{TP}^* > 0$ $\beta_R = 1$ $\beta_R = \frac{\beta_n}{\beta_p} = \frac{\left(\frac{W}{L}\right)_n \mu_n}{\left(\frac{W}{L}\right)_p \mu_p}$ $ V_{TN}^* - V_{TP}^* = \frac{V_{DD}}{16}$	(2.17)

Las condiciones para el cálculo del voltaje de compuerta flotante son las siguientes:

$ V_{TN}^* - V_{TP}^* = \frac{V_{DD}}{16}$ $\frac{C_1 + C_2 + C_3 + C_4}{C_{TOT}} = \frac{C_1 + 2C_1 + 4C_1 + 8C_1}{16C_0} = \frac{15C_0}{16C_0} = \frac{15}{16}$ $C_2 = 2C_1; C_3 = 4C_1; C_4 = 8C_1$ $C_1 = C_0 = C_{on} + C_{op}$ $C_{TOT} = C_0 + C_1 + C_2 + C_3 + C_4 = C_0 + C_0 + 2C_0 + 4C_0 + 8C_0 = 16C_0$ $C_{TOT} = 16C_0$ $\phi_F = \frac{C_1}{C_{TOT}} (X_1 + 2X_2 + 4X_3 + 8X_4)$	(2.18)
--	--------

Nótese en el conjunto de Ecuaciones (2.17) que los voltajes de umbral de los transistores N y P son negativos y positivo, respectivamente. Esta es una limitante tecnológica si se recurre a la tecnología estándar, ya que no es posible solicitar de manera particular la alteración de estos voltajes.

Para obtener el voltaje en la compuerta flotante se tiene la siguiente expresión matemática:

$\phi_F = \frac{1}{16} (X_1 + 2X_2 + 4X_3 + 8X_4)$	(2.19)
--	--------

De la Ec. 2.17 el voltaje multivaluado a la salida del Convertidor D/A de 4 bits, se expresa por:

$$V_p = \phi_F V_{DD} - \frac{V_{TN}^* - V_{TP}^*}{2} = \frac{1}{16} (X_1 + 2X_2 + 4X_3 + 8X_4) V_{DD} + \frac{\left(\frac{V_{DD}}{16}\right)}{2}$$

Reescribiendo tenemos:

$V_p = \left(\frac{1}{16}X_1 + \frac{2}{16}X_2 + \frac{4}{16}X_3 + \frac{8}{16}X_4\right)V_{DD} + \frac{V_{DD}}{2}$	(2.20)
---	--------

La Ec. 2.20 es la que expresa la salida del Convertidor D/A de 4 bits ubicado en la primera etapa del diseño, como se muestra en la Fig. 2.12. Los valores de voltaje esperados a la salida del convertidor D/A de 4 bits, se muestran en la Tabla 2.2 de forma algebraica.

2.3.2 Cálculo de las Capacitancias de Acoplamiento y los Factores de Acoplamiento del Convertidor D/A de 4 Bits.

Para el cálculo de las capacitancias de acoplamiento deben tomarse en consideración las capacitancias de óxido de los transistores N y P, expresadas de la siguiente manera:

$$C_{op} = \left(\frac{\varepsilon_0 K_0}{X_0}\right) W_p L_p$$

$$C_{on} = \left(\frac{\varepsilon_0 K_0}{X_0}\right) W_n L_n$$

A partir de las constantes físicas del óxido de silicio y el espesor del mismo, proporcionado por la tecnología, se tiene que:

$$W_p = 1.2 \times 10^{-3} \text{ cm}$$

$$L_p = 0.16 \times 10^{-3} \text{ cm}$$

$$C_{op} = \left[\frac{(8.86 \times 10^{-14} \text{ F/cm})(3.9)}{3 \times 10^{-6} \text{ cm}} \right] (1.2 \times 10^{-3} \text{ cm})(0.16 \times 10^{-3} \text{ cm}) = 2.211 \times 10^{-14} \text{ F}$$

$$W_n = 0.4 \times 10^{-3} \text{ cm}$$

$$L_n = 0.16 \times 10^{-3} \text{ cm}$$

$$C_{on} = \left[\frac{(8.86 \times 10^{-14} \text{ F/cm})(3.9)}{3 \times 10^{-6} \text{ cm}} \right] (0.4 \times 10^{-3} \text{ cm})(0.16 \times 10^{-3} \text{ cm}) = 7.371 \times 10^{-15} \text{ F}$$

Tabla 2.2 Voltajes representados por el Convertidor D/A de 4 bits.

Entradas				Salida
X_1	X_2	X_3	X_4	V_p
0	0	0	0	$\frac{1}{32}V_{DD}$
0	0	0	1	$\frac{3}{32}V_{DD}$
0	0	1	0	$\frac{5}{32}V_{DD}$
0	0	1	1	$\frac{7}{32}V_{DD}$
0	1	0	0	$\frac{9}{32}V_{DD}$
0	1	0	1	$\frac{11}{32}V_{DD}$
0	1	1	0	$\frac{13}{32}V_{DD}$
0	1	1	1	$\frac{15}{32}V_{DD}$
1	0	0	0	$\frac{17}{32}V_{DD}$
1	0	0	1	$\frac{19}{32}V_{DD}$
1	0	1	0	$\frac{21}{32}V_{DD}$
1	0	1	1	$\frac{23}{32}V_{DD}$
1	1	0	0	$\frac{25}{32}V_{DD}$
1	1	0	1	$\frac{27}{32}V_{DD}$
1	1	1	0	$\frac{29}{32}V_{DD}$
1	1	1	1	$\frac{31}{32}V_{DD}$

De donde, la capacitancia C_0 se expresa por:

$$C_0 = C_{on} + C_{op} = 2.948x10^{-14}F$$

Del valor anterior y empleando 2.13, 2.14 y 2.15, las capacitancias de las compuertas de control quedan como sigue:

$$C_1 = 2.432x10^{-13}F$$

$$C_2 = 2C_1 = 4.865x10^{-13}F$$

$$C_3 = 4C_1 = 9.728x10^{-13}F$$

$$C_4 = 8C_1 = 1.946x10^{-12}F$$

$$C_{TOT} = C_1 + C_2 + C_3 + C_4 + C_{on} + C_{op} = 3.677x10^{-12}F$$

La ganancia de la compuerta flotante y los factores de acoplamiento del circuito convertidor D/A de 4 bits, se calculan de la siguiente manera:

$$\gamma = \frac{C_1 + C_2 + C_3 + C_4}{C_{TOT}} = 0.992$$

Para la primera capacitancia de acoplamiento su factor de acoplamiento es:

$$K_1 = \frac{C_1}{C_{TOT}} = 0.066$$

Para la segunda capacitancia de acoplamiento su factor de acoplamiento es:

$$K_2 = \frac{C_2}{C_{TOT}} = 0.132$$

Para la tercera capacitancia de acoplamiento su factor de acoplamiento es:

$$K_3 = \frac{C_3}{C_{TOT}} = 0.264$$

Para la cuarta capacitancia de acoplamiento su factor de acoplamiento es:

$$K_4 = \frac{C_4}{C_{TOT}} = 0.529$$

Una vez calculado cada factor de acoplamiento, estos son utilizados para la simulación del convertidor D/A de 4 bits en PSpice utilizando el modelo para el transistor MOS de nivel 7, con parámetros tecnológicos de $1.2\mu\text{m}$ para obtener su respuesta de salida, comprobando los valores expresados en la Tabla 2.2 de la sección 2.9.

La Tabla 2.3 muestra algunos de los valores matemáticos de salida del Convertidor D/A de 4 bits y los valores obtenidos de la simulación en PSpice utilizando el modelo para el transistor MOS de nivel 7, con parámetros tecnológicos de $1.2\mu\text{m}$. Se escogió un valor de $V_{DD} = 5V$ para tener valores lógicos de salida compatibles con los niveles TTL.

Aunque se presenta una diferencia entre los valores del cálculo matemático y los valores obtenidos de la simulación estos son aceptables por ser muy pequeños en diferencia. Esto comprueba el comportamiento óptimo del convertidor D/A que más adelante será eliminado de nuestro diseño por razones tecnológicas de fabricación, como se explicó en párrafos anteriores.

Tabla 2.3 Voltaje representados en V_p y ϕ_F .

Cálculo matemático						Valores de la simulación con PSpice					
Entradas				Salida		Entradas				Salida	
X_4	X_3	X_2	X_1	V_p (Ec. 2.20)	ϕ_F (Ec. 2.19)	X_4	X_3	X_2	X_1	V_p	ϕ_F
0	0	0	1	$\frac{3}{32} V_{DD}$	0.312V	0	0	0	1	793mV	310mv
0	0	1	0	$\frac{5}{32} V_{DD}$	0.625V	0	0	1	0	1.04V	625mV
0	1	0	0	$\frac{9}{32} V_{DD}$	1.25V	0	1	0	1	1.55V	1.25V
1	0	0	0	$\frac{17}{32} V_{DD}$	2.5	1	0	0	0	2.59V	2.49V

2.3.3 Desarrollo Algebraico para los Inversores Programables de 4 Bits.

Para el desarrollo algebraico de los Inversores Programables, consideramos las siguientes expresiones, en las cuales es importante considerar las dimensiones de los transistores. Además, los criterios de diseño propuestos para estos inversores son: $C_1 = C_{ON} + C_{OP}$, $C_1 = C_2$.

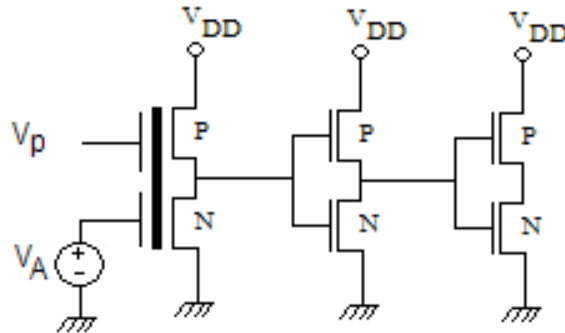


Fig. 2.13 Inversor Programable.

$$W_p = 1.2 \times 10^{-3} \text{ cm}$$

$$L_p = 0.16 \times 10^{-3} \text{ cm}$$

$$C_{op} = \left(\frac{\epsilon_0 k_0}{x_0} \right) W_p L_p = \left[\frac{(8.86 \times 10^{-14} \text{ F/cm})(3.9)}{3 \times 10^{-6} \text{ cm}} \right] (1.2 \times 10^{-3} \text{ cm})(0.16 \times 10^{-3} \text{ cm})$$

$$= 2.211 \times 10^{-14} \text{ F}$$

$$W_n = 0.4 \times 10^{-3} \text{ cm}$$

$$L_n = 0.16 \times 10^{-3} \text{ cm}$$

$$C_{on} = \left(\frac{\epsilon_0 k_0}{x_0} \right) W_n L_n = \left[\frac{(8.86 \times 10^{-14} \text{ F/cm})(3.9)}{3 \times 10^{-6} \text{ cm}} \right] (0.4 \times 10^{-3} \text{ cm})(0.16 \times 10^{-3} \text{ cm})$$

$$= 7.371 \times 10^{-15} \text{ F}$$

$$C_0 = C_{on} + C_{op} = 2.948x10^{-14}F$$

$$C_1 = C_0 = 2.948x10^{-14}F$$

$$C_2 = C_1 = 2.948x10^{-14}F$$

$$C_{TOT} = C_1 + C_2 + C_{on} + C_{op} = 8.844x10^{-14}F$$

La ganancia de los Inversores Programables y los factores de acoplamiento del inversor programable, se calculan de la siguiente manera:

$$\gamma = \frac{C_1 + C_2}{C_{TOT}} = 0.666$$

Para la primera capacitancia de acoplamiento su factor de acoplamiento es:

$$K_1 = \frac{C_1}{C_{TOT}} = 0.333$$

Para la segunda capacitancia de acoplamiento su factor de acoplamiento es:

$$K_2 = \frac{C_2}{C_{TOT}} = 0.333$$

Como se observa en la Fig. 2.13, el inversor programable cuenta con dos compuertas de control, una para la señal proveniente del convertidor D/A de 4 bits y una más por donde se suministra el voltaje externo para provocar el corte en la línea de umbral en el FPD, como se muestra en la Fig. 2.15.

2.3.4 Procedimiento de Diseño para el Circuito Neuronal de 4 Bits.

Para el desarrollo algebraico del circuito neuronal consideramos las siguientes expresiones, tomando en cuenta las dimensiones de los transistores como en las demás etapas de nuestro diseño, para calcular las capacitancias de acoplamiento de las compuertas de control presentes, como se muestra en la Fig. 2.14. El FPD del que se está partiendo y que se ilustra en la Fig. 2.15, corresponde al comportamiento de la compuerta XOR. La razón de tomar esta compuerta, es debido a que ésta es la que presenta mayor número de transiciones con la línea $\gamma V_{DD}/2$, comparada con las demás compuertas. Estas

transiciones serán un indicativo del número de capacitancias de entrada de la neurona, y a su vez del número de inversores programables necesarios para configurar un Circuito Universal de cuatro bits.

Los criterios de diseño para el circuito Neuronal, del Diagrama FPD de la compuerta XOR (Fig. 2.15), prolongando las pendientes generadas por los cruces necesarios para el funcionamiento correcto de la compuerta hacia el eje y (ϕ_F equivalente a las capacitancias) y tomando en cuenta que el máximo valor del eje y es también γC_{TOT} (de la Ec. 2.2), se puede deducir el valor de todas las capacitancias de la Neurona, partiendo del criterio de diseño dado por $C_1 = \frac{\gamma C_{TOT}}{2}$. Por lo tanto del diagrama se ve que:

$$C_{X_1} = \frac{1}{32} \gamma C_{TOT}$$

$$C_{X_2} = \frac{2}{32} \gamma C_{TOT}$$

$$C_{X_3} = \frac{4}{32} \gamma C_{TOT}$$

$$C_{X_4} = \frac{8}{32} \gamma C_{TOT}$$

$$C_A = \frac{3}{32} \gamma C_{TOT}$$

$$C_B = \frac{2}{32} \gamma C_{TOT}$$

$$C_C = \frac{4}{32} \gamma C_{TOT}$$

$$C_D = \frac{3}{32} \gamma C_{TOT}$$

$$C_E = \frac{3}{32} \gamma C_{TOT}$$

$$C_F = \frac{1}{32} \gamma C_{TOT}$$

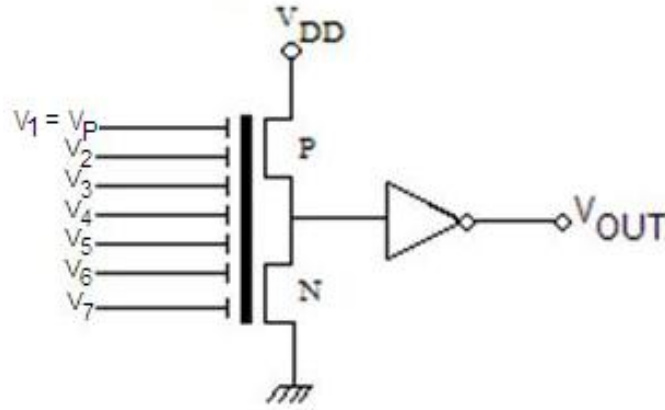


Fig. 2.14 Circuito Neuronal.

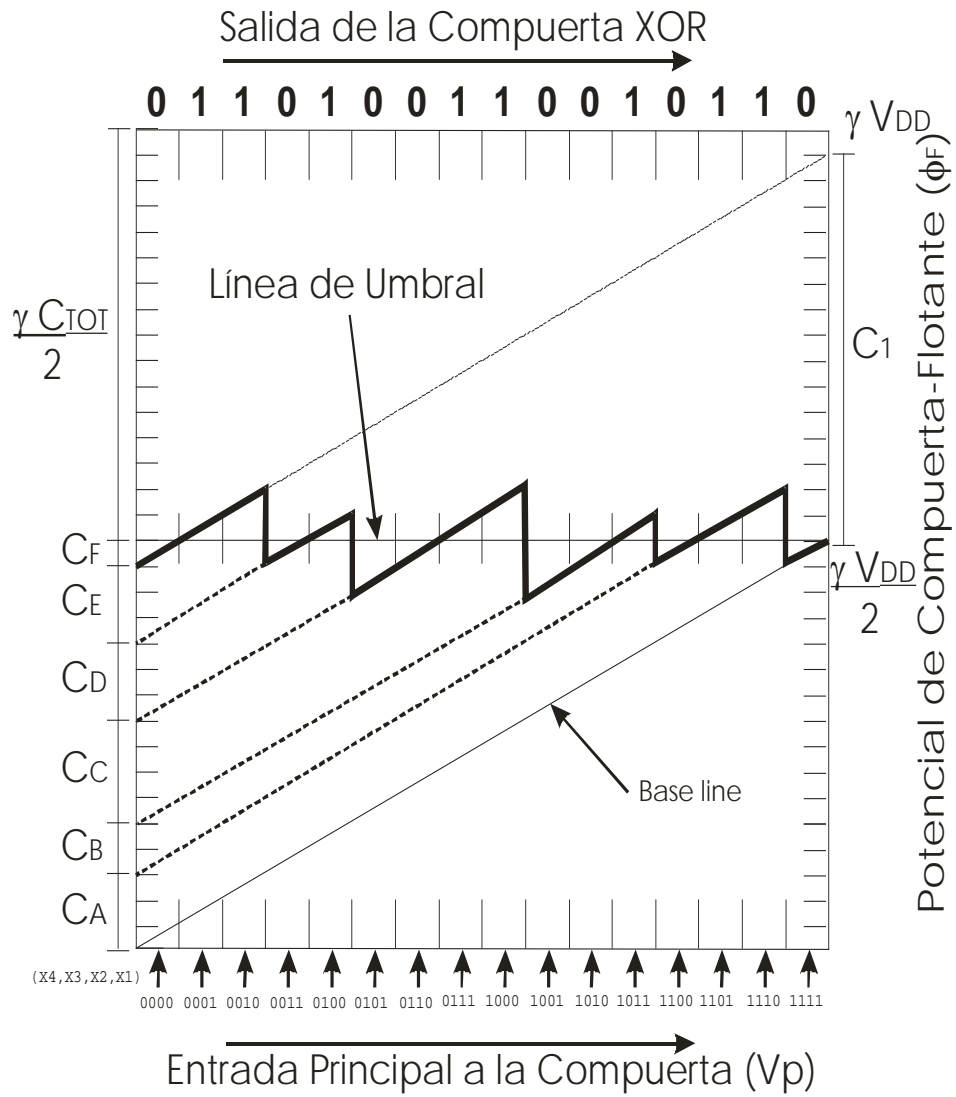


Fig. 2.15 Diagrama de Potencial de Compuerta Flotante Teórico (FPD) para la Compuerta XOR.

Como se muestra en la Fig. 2.15, tenemos en el eje de la “x” 16 divisiones para este caso de 4 entradas digitales, en otro caso serian 4 divisiones si el número de entradas fuese 2 y así sucesivamente. Es importante determinar el número de divisiones para trazar el FPD de la función Booleana deseada y con ello determinar el voltaje de umbral o de corte de loa inversores programables con respecto a la línea de referencia, así, el numero de divisiones depende directamente del número de entradas o de bits, de la siguiente manera:

$$\#subdiv.(eje - x) = 2^N$$

Donde N es el número de bits considerados. También, el numero de divisiones en el eje-“y” es considerado como

$$\#subdiv.(eje - y) = 2 * 2^N$$

De donde la magnitudes de la capacitancias de acoplamiento puede ser determinadas de términos de la ganancia de la compuerta flotante γ , el cual corresponde a la relación se la suma de las capacitancias de acoplamiento con respecto a la capacitancia total, sección 2.x. para este caso en particular, la ordenada, \emptyset_F , está subdividida en 32 divisiones con un máximo de γV_{DD} . El eje-“y” puede ser usado para lectura de voltajes (potencial de compuerta flotante) o capacitancias, teniendo en este caso, un máximo de γC_{TOT} .

La ganancia del circuito neuronal y sus factores de acoplamiento, se calculan de la siguiente manera:

$$\gamma = \frac{C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4} + C_A + C_B + C_C + C_D + C_D + C_E + C_F}{C_{TOT}}$$

$$C_{TOT} = C_0 + C_1 + \dots + C_n$$

$$C_0 = C_{ON} + C_{OP}$$

$$C_1 = C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4}$$

$$\emptyset_F = \frac{V_P C_1 + V_A C_A + V_B C_B + V_C C_C + V_D C_D + V_E C_E + V_F C_F}{C_{TOT}}$$

Los factores de acoplamiento de calculan utilizando la expresión $K_{cgn} = \frac{C_n}{C_{TOT}}$.

2.4 Metodología de Diseño del Circuito Lógico de Configuración externa de 4 bits sin Convertidor D/A.

Un segundo diseño que se presenta para el Circuito Lógico de Configuración Externa de 4 bits [10, 11], es el que se muestra en la Fig. 2.16, que consta de tres etapas: una primera etapa de pre-carga, la cual convierte las señales binarias en una señal multivaluada, una segunda etapa de inversores programables y una etapa final de circuito neuronal; la señal multivaluada generada por el circuito de pre-carga alimenta a los inversores programables, así como al circuito neuronal para obtener una función Booleana deseada. En este segundo diseño fue eliminado el Convertidor D/A de 4 bits, por limitaciones tecnológicas de fabricación, considerando que los voltajes de umbral para los transistores P y N son intercambiados, es decir, $V_{TN} < 0$ y $V_{TP} > 0$.

En este caso, la etapa de precarga se configura ahora con un inversor CMOS, cuyas compuertas de control corresponden a la señal digital de 4 bits y dos señales de configuración para la implementación de diferentes tipos de compuertas lógicas (V_{c2} y V_F).

A continuación se detallan los procedimientos a seguir, para el diseño de cada una de las tres etapas mencionadas anteriormente.

2.4.1 Procedimiento de Diseño para el circuito de Pre-Carga, de 4 Bits.

La Fig. 2.17 muestra el circuito de pre-carga, el cual tiene seis compuertas de control. Con ello se tendrá que calcular las seis capacitancias de acoplamiento así como sus factores de acoplamiento respectivos.

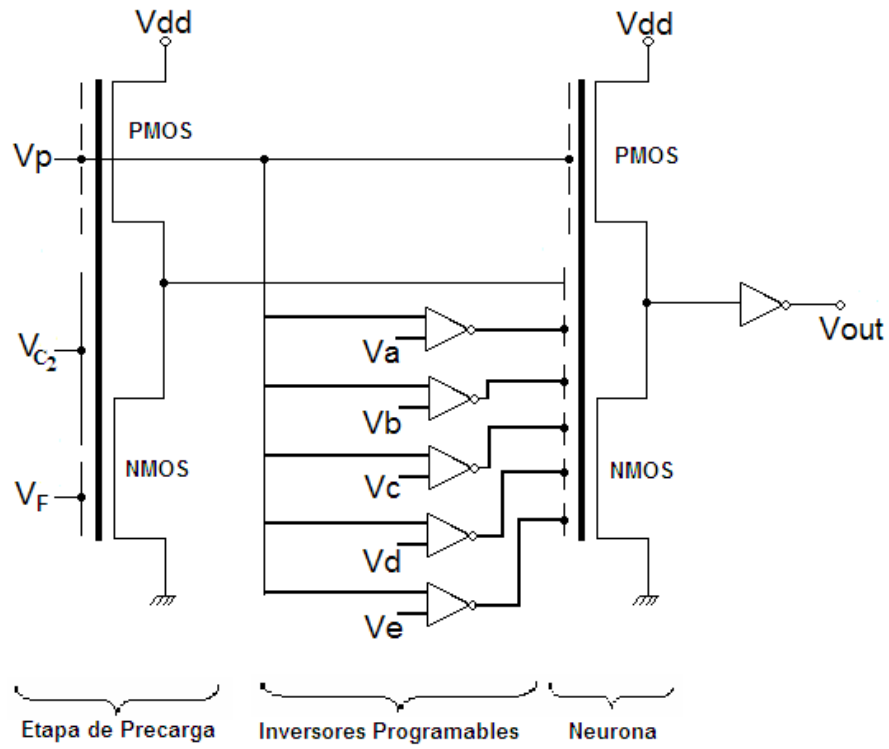


Fig. 2.16 Circuito SHL de 4 bits sin convertidor D/A.

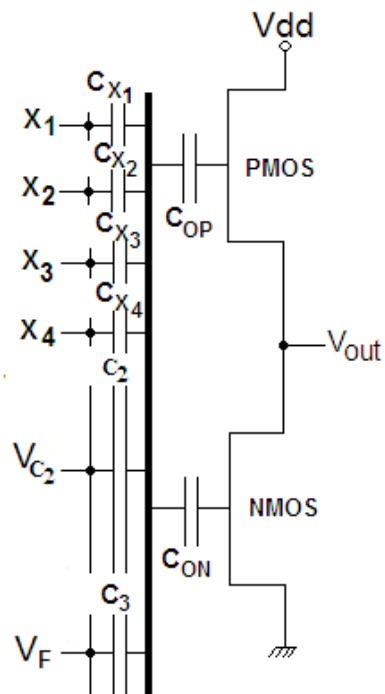


Fig. 2.17 Circuito de pre-carga para el SHL de 4 bits sin convertidor D/A

Para la etapa de precarga, se propone un inversor CMOS en donde se tengan tanto los cuatro bits de entrada, como el inversor con más alto voltaje de conmutación, que corresponde a una compuerta lógica XOR, como se verá más adelante, al explicar el procedimiento de análisis y diseño con base al FPD. Los criterios de diseño para esta etapa son los siguientes:

$$C_0 = C_{ON} + C_{OP} = C_{X_1}$$

$$C_3 = C_{X_1}$$

$$C_{X_2} = 2C_{X_1}$$

$$C_{X_3} = 4C_{X_1}$$

$$C_{X_4} = 8C_{X_1}$$

$$C_2 = C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4}$$

$$C_{TOT} = C_0 + C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4} + C_2 + C_3 = 32C_{X_1}$$

Para obtener el voltaje en ϕ_F , se parte de la siguiente ecuación:

$$\phi_F = \frac{C_{X_1}V_1 + C_{X_2}V_2 + C_{X_3}V_3 + C_{X_4}V_4 + C_2V_{c2} + C_3V_F}{C_{TOT}} = \frac{C_{X_1}}{C_{TOT}}(15V_{IN} + V_F)$$

Se tiene que para:

$$V_0 = 0$$

$$V_1 + V_2 + V_3 + V_4 = V_{DD} = V_{IN} \text{ (voltaje de conmutación)}$$

Por lo tanto se despeja para V_F :

$$V_F = \frac{C_{TOT}}{C_{X_1}} \phi_F - 15V_{IN}$$

Se tiene entonces que para $\phi_F = \frac{V_{DD}}{2}$ y $V_{IN} = V_{DD} = 5V$, resulta:

$$V_F = \frac{C_{TOT}}{C_{X_1}} \phi_F - 15V_{IN} = 32 * \frac{5}{2} - 15 * 5 = 80 - 75 = 5V$$

Entonces, los coeficientes de acoplamiento quedan como sigue:

$$\frac{C_{X_1}}{C_{TOT}} = \frac{1}{32}$$

$$\frac{C_{X_2}}{C_{TOT}} = \frac{2}{32}$$

$$\frac{C_{X_3}}{C_{TOT}} = \frac{4}{32}$$

$$\frac{C_{X_4}}{C_{TOT}} = \frac{8}{32}$$

$$\frac{C_2}{C_{TOT}} = \frac{15}{32}$$

$$\frac{C_3}{C_{TOT}} = \frac{1}{32}$$

2.4.2 Procedimiento de Diseño para el Inversor Programable de 4 Bits sin Convertidor D/A.

Para el diseño de los Inversores Programables consideramos las siguientes expresiones, en las cuales es importante considerar las dimensiones de los transistores, como se muestra en la Fig. 2.18.

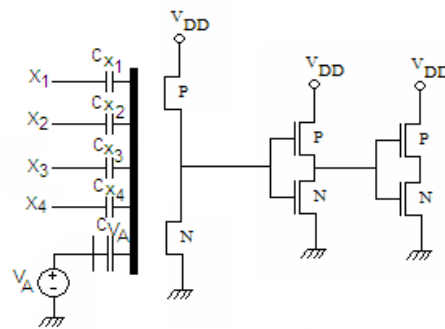


Fig. 2.18 Inversor programable para el SHL de 4 bits sin convertidor D/A.

Para el diseño de los inversores programables, se deberá tomar en cuenta la menor dimensión tecnológica de capacitancia para evitar tener una compuerta que no se pueda fabricar. Por lo tanto. Para el inversor programable, es conveniente hacer que $C_0 = C_{X_1}$, que es la capacitancia más pequeña según el criterio de diseño siguiente:

$$C_{X_2} = 2C_{X_1}$$

$$C_{X_3} = 4C_{X_1}$$

$$C_{X_4} = 8C_{X_1}$$

$$C_{V_A} = C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4}$$

$$C_X = C_{V_A}$$

$$C_{TOT} = C_0 + C_X + C_{V_A}$$

$$\frac{C_0}{C_{TOT}} = \frac{C_{X_1}}{C_{TOT}} = \frac{C_{V_A}}{C_{TOT}} = \frac{1}{3}$$

De las ecuaciones anteriores, se tiene que:

$$\frac{C_X}{C_{TOT}} = \frac{1}{3} = \frac{C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4}}{C_{TOT}} = \frac{C_{X_1} + 2C_{X_1} + 4C_{X_1} + 8C_{X_1}}{C_{TOT}} = 15 \frac{C_{X_1}}{C_{TOT}}$$

De donde:

$$\frac{C_{X_1}}{C_{TOT}} = \frac{1}{45}$$

Por lo tanto tenemos que los coeficientes de acoplamiento son:

$$\frac{C_{X_1}}{C_{TOT}} = \frac{1}{45}$$

$$\frac{C_{X_2}}{C_{TOT}} = \frac{2}{45}$$

$$\frac{C_{X_3}}{C_{TOT}} = \frac{4}{45}$$

$$\frac{C_{X_4}}{C_{TOT}} = \frac{8}{45}$$

$$\frac{C_A}{C_{TOT}} = \frac{15}{45}; \frac{C_0}{C_{TOT}} = \frac{15}{45}$$

Lo anterior es válido para un inversor programable de 5 compuertas, como se muestra en la Fig. 2.18.

Para el cálculo de los voltajes requeridos por los inversores programables se tiene:

$$\phi_F = \frac{V_{DD}}{2} = \frac{C_1 V_{IN} + C_2 V_A}{C_{TOT}}$$

Donde V_A corresponde al valor de voltaje, entre $0V$ y V_{DD} , que se desea que conmute el inversor. Este valor se obtiene del FPD propuesto para una compuerta lógica en particular.

Despejando V_A , de la expresión anterior, tenemos:

$$V_A = \frac{C_{TOT}}{C_1} \left(\frac{V_{DD}}{2} \right) - V_{IN}$$

2.4.3 Procedimiento de Diseño para el Circuito Neuronal de 4 Bits con Convertidor D/A.

Para el diseño del circuito neuronal como el mostrado en la figura 2.19, se aplican los siguientes criterios:

Con respecto a la neurona diseñada, las capacitancias de entrada serán de la siguiente manera:

$$C_{X_1} = \frac{1}{32} \gamma C_{TOT}$$

$$C_{X_2} = \frac{2}{32} \gamma C_{TOT}$$

$$C_{X_3} = \frac{4}{32} \gamma C_{TOT}$$

$$C_{X_4} = \frac{8}{32} \gamma C_{TOT}$$

$$C_A = \frac{3}{32} \gamma C_{TOT}$$

$$C_B = \frac{3}{32} \gamma C_{TOT}$$

$$C_C = \frac{4}{32} \gamma C_{TOT}$$

$$C_D = \frac{3}{32} \gamma C_{TOT}$$

$$C_E = \frac{3}{32} \gamma C_{TOT}$$

$$C_F = \frac{1}{32} \gamma C_{TOT}$$

$$\gamma = \frac{C_{X_1} + C_{X_2} + C_{X_3} + C_{X_4} + C_A + C_B + C_C + C_D + C_D + C_E + C_F}{C_{TOT}} = \frac{31}{32}$$

Obtenidas a partir del FPD de la compuerta XOR para cuatro bits de entrada, como se muestra en la Fig. 2.15.

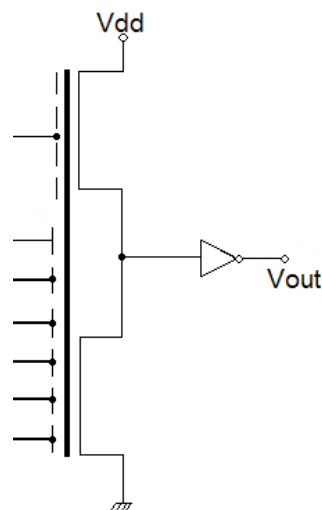


Fig. 2.19 Circuito Neuronal empleado en la Fig. 2.16.

El Diagrama de Potencial de Compuerta Flotante es de vital importancia en nuestro diseño SHL, ya que a través de éste se obtienen las capacitancias de acoplamiento a la neurona, así como la función Booleana deseada. Además de ponderar los cortes de umbral para los inversores programables quienes son parte fundamental en este diseño.

2.5 Conclusiones.

Se ha demostrado la metodología de diseño desarrollado para el estudio, análisis, implementación y fabricación de los circuitos integrados empleando esta metodología, así como se observan las ecuaciones características en cada etapa diseñada y una diferencia sustancial entre nuestro primer diseño y el segundo, como es el caso de la eliminación de convertidor D/A.

Cabe mencionar que aparte de los buenos resultados obtenidos a través de PSpice en cuanto al desempeño de las distintas celdas diseñadas, con esta metodología implementada y el uso de la técnica de Diagrama de Potencial de Compuerta Flotante (FPD), se tiene la aportación principal del circuito SHL que es el procesamiento de 4 bits, con respecto a lo reportado en fuentes de información.

Referencias

- [1] Shibata T. and T. Ohmi, "Neuron MOS Binary-Logic Integrated Circuits- Part I: Design fundamentals and Soft-Hardware-Logic circuit implementation", IEEE Trans. On Electron Devices, 40, pp.570-576, March 1993.
- [2] Shibata T. and T. Ohmi, "Neuron MOS binary-logic integrated circuits- Part II: simplifying techniques of circuit configuration and their practical applications", IEEE Trans. on Electron Devices, 40, pp.974-979, May 1993.
- [3] K. Kotani, T. Shibata, T. Ohmi. "Neuron MOS Binary-Logic Circuits Featuring Dramatic Reduction in Transistor Count and Interconnections", IEEE IEDM, pp.16.3.1-16.3.4, 1992.
- [4] Medina-Santiago A. and M. A. Reyes-Barranca, "Convertidor D/A con dispositivos de compuerta flotante", 9a. Conferencia de Ingeniería Eléctrica, México D.F., 2003, pp. 127-130.
- [5] Medina-Santiago A. and M. A. Reyes-Barranca, "Circuit for logical-binary functions using MOS floating-gate devices," 2nd International Conference on Electrical and Electronics Engineering and XI Conference on Electrical Engineering, Mexico City, 2005, pp. 211-214.
- [6] Y. Tividis P. Antognetti. "Design of MOS VLSI Circuits of Telecommunications", Prentice Hall, 1985, pp. 90, 215-219.

- [7] S. Sedra, K. Smith. "Microelectronic Circuits", University of Toronto, 1998, pp. 416-419.
- [8] T. Shibata, T. Ohmi. "A functional MOS Transistor featuring Gate-Level Weighted Sum and Threshold Operations", IEEE Transactions on Electron Devices. Vol. 39 No. 6, pp. 1444-1455, June 1992.
- [9] Medina-Santiago A. and M. A. Reyes-Barranca, "Programmable Inverter Base on Neuron MOS Transistor", 4th International Conference on Electrical and Electronics Engineering (ICEEE 2007), México City, 2007. pp. 389-392.
- [10] A. Medina-Santiago and M. A. Reyes-Barranca, "Soft-Hardware Logic Circuit Design for a Four Bits Input Using MOs Floating-Gate Devices", IWS'2007 XIII Workshop Iberchip, Lima Peru, 2007. pp. 213-216.

Capítulo III. SIMULACION Y RESULTADOS

3.1 Introducción.

En el presente capítulo se presentan los resultados de las simulaciones de las 6 funciones Booleanas consideradas en esta tesis, así como la interpretación de su diagrama FPD de manera analítica. También se presentan las caracterizaciones de las celdas correspondientes al Inversor Programable y al Circuito Neuronal del Chip fabricado. Además se muestran las simulaciones de una celda aritmética de 4 bits, diseñada con el objetivo de obtener a futuro las primeras celdas básicas para el diseño de la ALU de 8 bits utilizando dispositivos de compuerta flotante multientrada.

3.2 Circuito Lógico de Configuración Externa de 2 Bits con Convertidor D/A.

3.2.1 Inversor Programable.

Inicialmente, se requiere conocer los voltajes que se habrán de aplicar externamente a los inversores programables, para configurar las funciones lógicas bajo estudio y siguiendo lo establecido en la sección 2.5 del Capítulo II. De la figura 3.1 se puede ver que el voltaje en la compuerta flotante del inversor está dado por:

$V_{FG} = k_{cg}V_A + k_{cg}V_{IA}$	(3.1)
-------------------------------------	-------

Por conveniencia, se diseña un inversor simétrico, es decir, que la conmutación del voltaje de salida esté centrada tanto en el rango de voltajes de salida como en el de entrada. Para el caso del diseño realizado en este trabajo, este valor de voltaje corresponde a 2.5 V, que deberá ser el voltaje presente en la compuerta flotante del inversor programable.

En la figura 3.1 también se muestran las ecuaciones a partir de las cuales se puede calcular el valor del voltaje externo necesario para cada compuerta. Habrá que recordar que V_A es el voltaje externo que se quiere conocer y V_{IA} es el umbral de conmutación típico de cada compuerta.

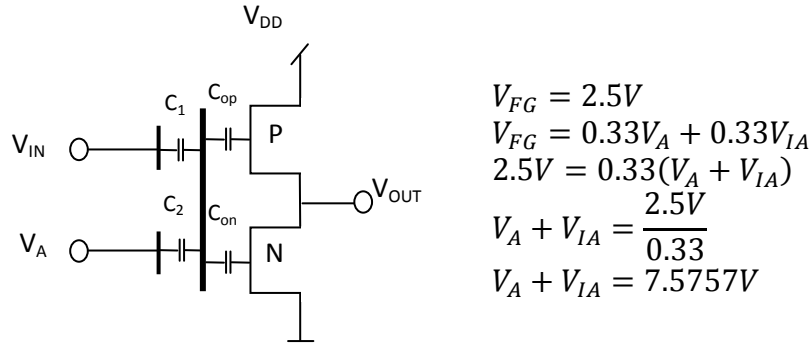


Fig. 3.1 Análisis de conmutación para un Inversor Programable.

Considerando como base el análisis de la Fig. 3.1, para:

- A) En las compuerta NAND y XOR, se tiene que el voltaje de inversión aparente V_{IA} es de 3.75V, es decir, $\frac{3V_{DD}}{4}$, y $V_A + V_{IA} = 7.5757V$; utilizando la Ec. 3.1 y resolviendo para V_A , se obtiene:

$$V_A = 7.5757V - 3.75V$$

$$V_A = 3.82V$$

$$\text{Comprobación: } V_{FG} = 0.33(3.82V) + 0.33(3.75V) = 2.5V$$

- B) En las compuertas NOR y XNOR, ahora se tiene que el Voltaje de Inversión Aparente V_{IA} es de 1.25V, es decir, $\frac{V_{DD}}{4}$, y $V_A + V_{IA} = 7.5757V$, utilizando la Ec. 3.1, se obtiene:

$$V_A = 7.5757V - 1.25V$$

$$V_A = 6.32V$$

$$\text{Comprobación: } V_{FG} = 0.33(6.32V) + 0.33(1.25V) = 2.5V$$

- C) Para la compuerta AND, no hay V_{IA} , es decir, $V_{IA} = 0V$, pero también existe la relación de $V_A + V_{IA} = 7.5757V$, por tanto, utilizando la Ec. 3.1, se obtiene:

$$V_A = 7.5757V - 0V$$

$$V_A = 7.5757V$$

$$\text{Comprobación: } V_{FG} = 0.33(7.5757V) + 0.33(0V) = 2.5V$$

D) Para la compuerta OR, el $V_{IA} = 5V$. Al igual que en el punto C, también existe la relación de $V_A + V_{IA} = 7.5757V$, por tanto, utilizando la Ec. 3.1, se obtiene:

$$V_A = 7.5757V - 5V$$

$$V_A = 2.5757V$$

Comprobación: $V_{FG} = 0.33(2.5757V) + 0.33(5V) = 2.5V$

Se realizó una simulación de la configuración mostrada en la figura 2.10, empleando el modelo BSIM3 (nivel 4 de SPICE), para determinar los valores prácticos de voltaje externo que permitieran las conmutaciones de los inversores programables requeridos por cada compuerta. Esta configuración utiliza tres inversores programables cuyos voltajes externos correspondientes son V_A , V_B y V_C . En la tabla 3.1 se muestran los valores obtenidos por la ecuación 3.1 (C) y por simulación con SPICE (S). La diferencia que se aprecia entre uno y otros valores, se pueden deber a la influencia de los parámetros del modelo de simulación empleado, tanto para el transistor MOS convencional como del de compuerta flotante.

Tabla 3.1 Voltajes de los Inversores Programables del Circuito Lógico de Configuración Externa de 2 Bits con Etapa de Convertidor D/A.

COMPUERTA	V_A (Volts)		V_B (Volts)		V_C (Volts)	
	S	C	S	C	S	C
AND	8.04	7.57	8.04	7.57	2.96	2.57
OR	2.96	2.57	2.96	2.57	8.04	7.57
NAND	4.24	3.82	4.24	3.82	4.24	3.82
NOR	6.74	6.32	6.74	6.32	6.74	6.32
XOR	4.24	3.82	4.24	3.82	8.04	7.57
XNOR	6.74	6.32	6.74	6.32	2.96	2.57

Nota:

C: valor calculado.

S: valor obtenido en la simulación.

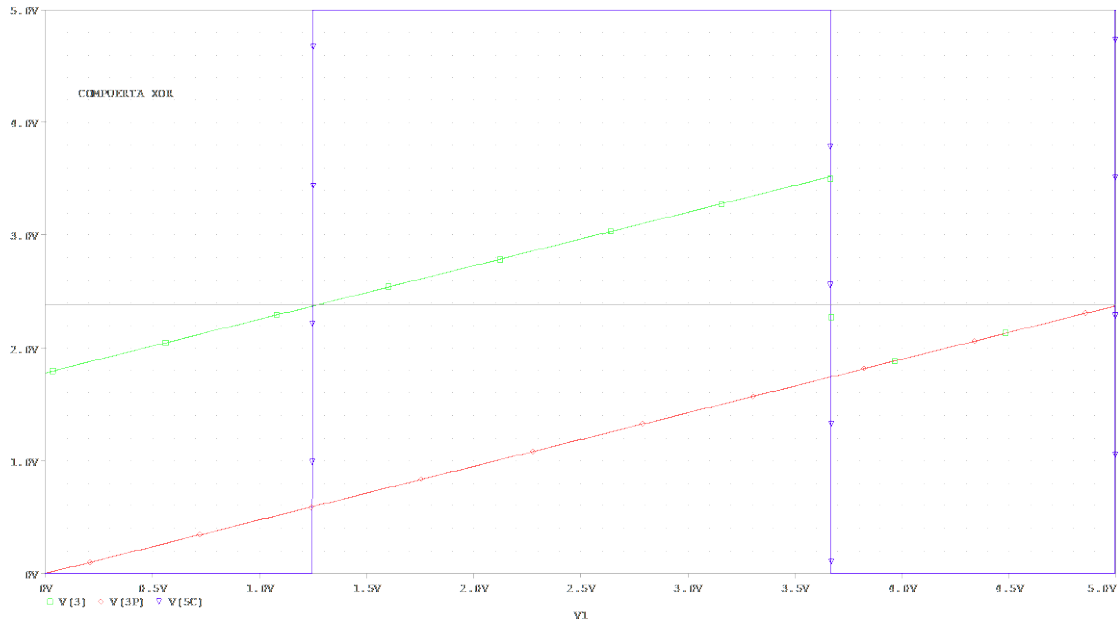
La Fig. 3.2 muestra los resultados de la simulación de las compuerta lógicas representadas por el Circuito Lógico de Configuración Externa de 2 bits con Etapa de Convertidor D/A; las compuertas que se representan son: XOR y XNOR, respectivamente.

En la Tabla 3.2 se muestra la tabla funcional para 2 bits de entrada de las compuertas lógicas: AND, NAND, OR, NOR, XOR y XNOR respectivamente, como referencia para comprobar el correcto funcionamiento de las compuertas simuladas.

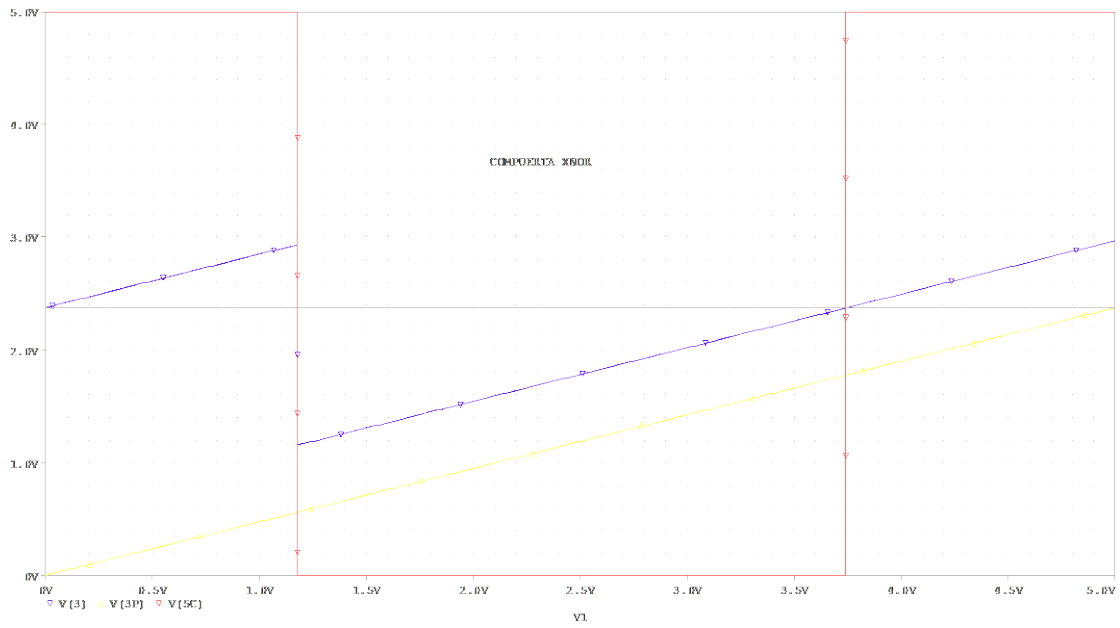
Tabla 3.2 Tabla de Verdad para 2 Bits de las Compuertas Lógicas.

X_1	X_2	AND	NAND	OR	NOR	XOR	XNOR
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1

Para cada respuesta mostrada en la Fig. 3.2 se podrán identificar los diferentes conceptos mencionados con anterioridad, referentes al diagrama FPD, como lo es el parámetro de $V_{DD} = 5V$, el cual corresponde al voltaje de alimentación y al voltaje máximo de salida del circuito, con el objetivo de que sea compatible con la tecnología TTL; otro parámetro importante es la línea base la cual define dos cosas: a) la línea de referencia del circuito lógico de configuración externa de 2 bits, la cual se obtiene cuando no se aplica alimentación en sus entradas digitales a través del convertidor D/A y b) la definición de la línea de umbral acotada por el nivel máximo alcanzado por la línea de referencia, con valor de $(\frac{\gamma V_{DD}}{2})$, siendo considerado cualquier valor de voltaje en la compuerta flotante por debajo de ésta, como el nivel lógico "0" y por encima, al nivel lógico "1". Además de la línea referencia y de umbral, se tiene la línea que representa el voltaje de la compuerta flotante de la neurona (FDP), la cual describe la función Booleana deseada. Y como último dato, se muestra la salida digital del circuito. Esta última se obtiene al efectuar un barrido en DC desde 0V hasta 5V a través de la variable multivaluada V_p .



(a)



(b)

Fig. 3.2 Respuestas de cada compuerta obtenida a partir del Circuito Universal. (a) XOR, (b) XNOR.

NOTA: AGREGAR ETIQUETAS A LAS FIGURAS: NOMBRES Y UNIDADES DE LOS EJES, CUÁL ES LA LÍNEA BASE, CUÁL ES EL FPD, CUÁL ES LA LÍNEA UMBRAL.

3.3 Circuito Lógico de Configuración Externa de 4 Bits con Convertidor D/A.

En la sección anterior, se demostró la funcionalidad del diseño para una configuración de dos bits de entrada. A continuación, se muestran los resultados obtenidos al extender el diseño para un circuito universal de cuatro entradas binarias, siguiendo la metodología expuesta y considerando aún al convertidor D/A como etapa de entrada. En la Tabla 3.3 se muestran las salidas correspondientes para 4 bits de entrada, de las compuertas lógicas: AND, NAND, OR, NOR, XOR y XNOR, respectivamente.

Para esta configuración (ver figura 2.11), se sigue el mismo procedimiento mencionado en las secciones 2.5 y 3.2.1, para el cálculo de los voltajes externos necesarios para lograr la conmutación al voltaje requerido, de los inversores programables, para cada compuerta lógica. En este caso, se emplean seis inversores programables con voltajes externos V_A , V_B , V_C , V_D , V_E y V_F . Se deberá recordar que esto fue posible determinarlo a partir de la figura 2.15 del Capítulo II, de donde resultó que a partir del FPD teórico para la compuerta XOR, resultaron seis capacitancias de entrada a la neurona, cuyas señales de provienen del mismo número de inversores programables.

Tabla 3.3 Tabla de Verdad para 4 Bits de las Compuertas Lógicas.

X_1	X_2	X_3	X_4	AND	NAND	OR	NOR	XOR	XNOR
0	0	0	0	0	1	0	1	1	0
0	0	0	1	0	1	1	0	0	1
0	0	1	0	0	1	1	0	0	1
0	0	1	1	0	1	1	0	1	0
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	0
0	1	1	0	0	1	1	0	1	0
0	1	1	1	0	1	1	0	0	1
1	0	0	0	0	1	1	0	0	1
1	0	0	1	0	1	1	0	1	0
1	0	1	0	0	1	1	0	1	0
1	0	1	1	0	1	1	0	0	1
1	1	0	0	0	1	1	0	1	0
1	1	0	1	0	1	1	0	0	1
1	1	1	0	0	1	1	0	0	1
1	1	1	1	1	0	1	0	1	0

La Tabla 3.4 define los valores simulados de los inversores programables que permiten obtener la Función Booleana deseada, considerando los cortes en la línea de umbral a partir de los cuales se calcula el voltaje externo al inversor (ver sección 2.15 del capítulo II). Por otro lado, la tabla 3.5 indica el valor de V_p en el que cada compuerta tiene una conmutación. Nótese que los valores presentados están en términos de dieciseisavos de V_{DD} , ya que para cuatro bits de entrada, es conveniente dividir el eje X de la variable V_p en 2^N divisiones, donde N es el número de bits de entrada. En esta tabla, V_{in} representa cada una de las dieciséis combinaciones posibles con cuatro bits de entrada, V_A es el voltaje externo que se deberá aplicar al inversor programable, calculado con la ecuación 3.1, y las letras debajo de los letreros de las compuertas, indica la el inversor que produce el cruce respectivo en V_p en la posición correspondiente.

Tabla 3.4 Voltajes de Inversores Programables del Circuito Lógico de Configuración Externa de 4 Bits con Etapa de Convertidor D/A.

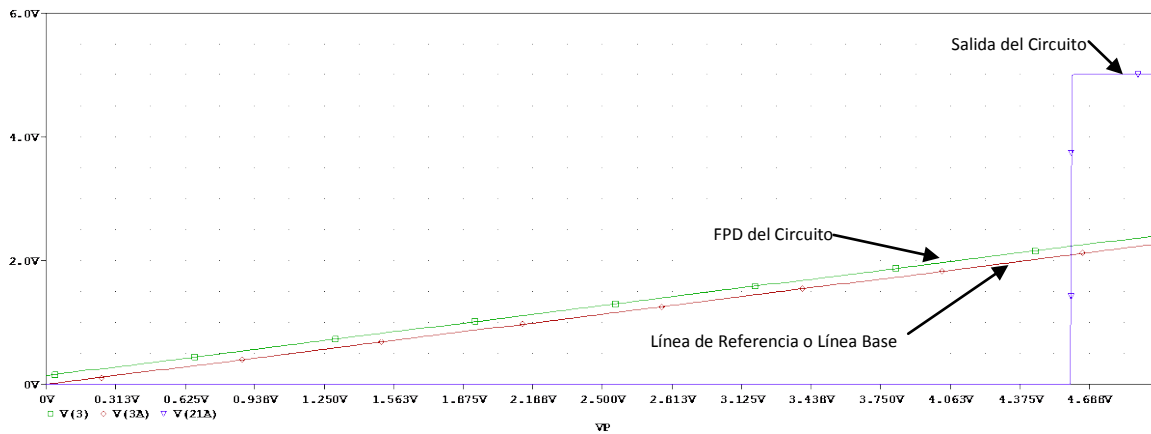
Compuerta Lógica	V_A	V_B	V_C	V_D	V_E	V_F
AND	7.9V	7.9V	7.9V	7.9V	7.9V	7.9V
OR	2.8V	0V	2.8V	2.8V	2.8V	7.9V
NAND	3.009V	3.009V	3.009V	3.009V	3.009V	3.009V
NOR	7.3V	7.3V	7.3V	7.3V	7.3V	7.3V
XOR	7.484V	6.450V	5.045V	4.100V	3.200V	7.860V
XNOR	7.3V	6.6V	5.7V	4.5V	3.9V	0V

Tabla 3.5 Umbral de conmutación de los inversores programables según la compuerta.

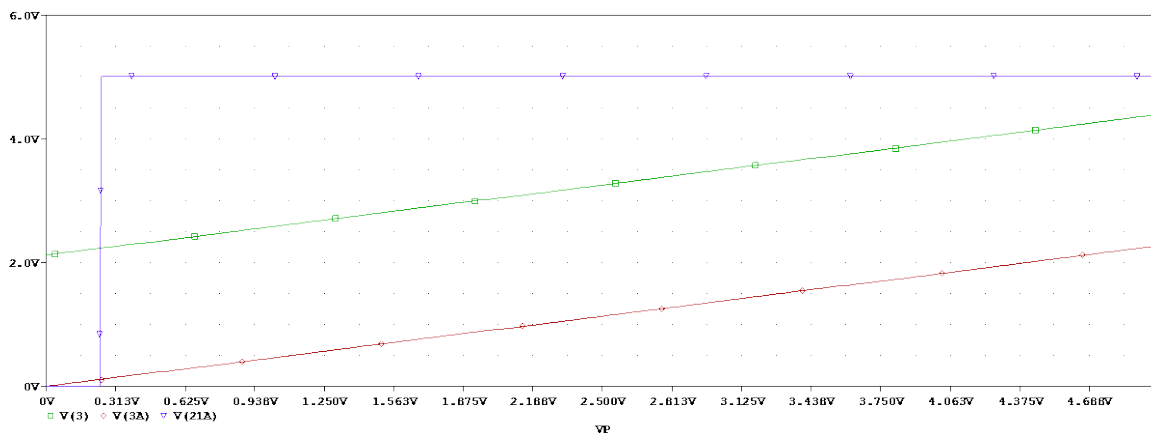
V_{in}	V_A (V)	XNOR	XOR	NOR	OR	NAND	AND
0	7.4687		F		F		A-E
1/16 VDD	7.1875	A		A-F			
2/16 VDD	6.875						
3/16 VDD	6.5625		E				
4/16 VDD	6.25	B					
5/16 VDD	5.9375		D				
6/16 VDD	5.625						
7/16 VDD	5.3125	C					
8/16 VDD	5						
9/16 VDD	4.6875		C				
10/16 VDD	4.375						
11/16 VDD	4.0625	D					
12/16 VDD	3.75		B				
13/16 VDD	3.4375	E					
14/16 VDD	3.125						
15/16 VDD	2.8125		A			A-F	

16/16 VDD	2.5	F			A-E	F
-----------	-----	---	--	--	-----	---

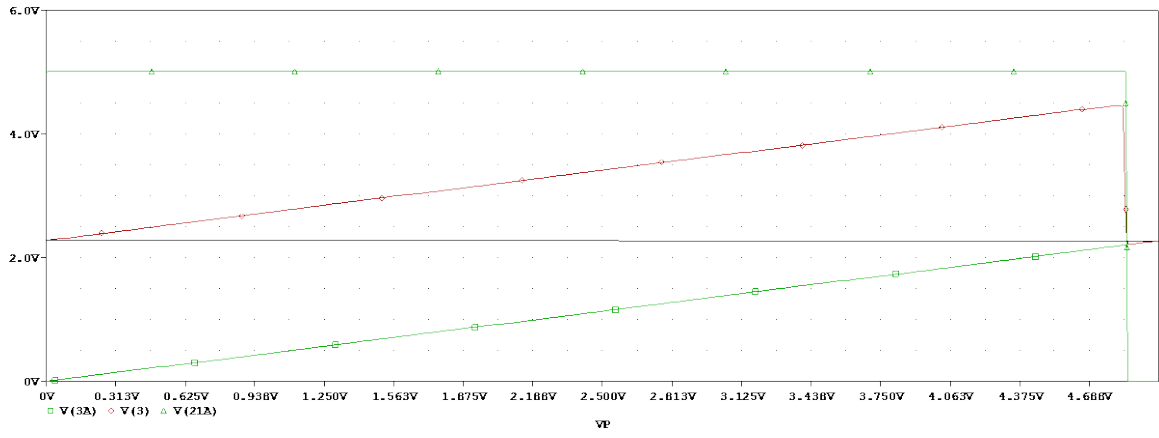
La Fig. 3.3 muestra los resultados de la simulación del Circuito Lógico de Configuración Externa de 4 Bits con Etapa de Convertidor D/A, donde se observa la representación de las funciones Booleanas deseadas; también se consideran los parámetros mencionados en la sección 3.2, como lo es el V_{DD} , la línea de referencia ($\frac{\gamma V_{DD}}{2}$) y la salida del circuito.



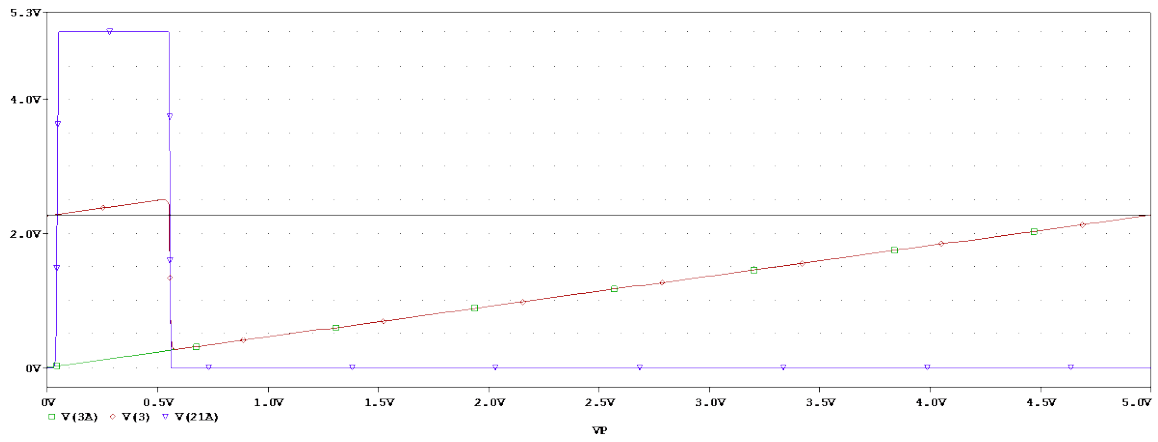
(a)



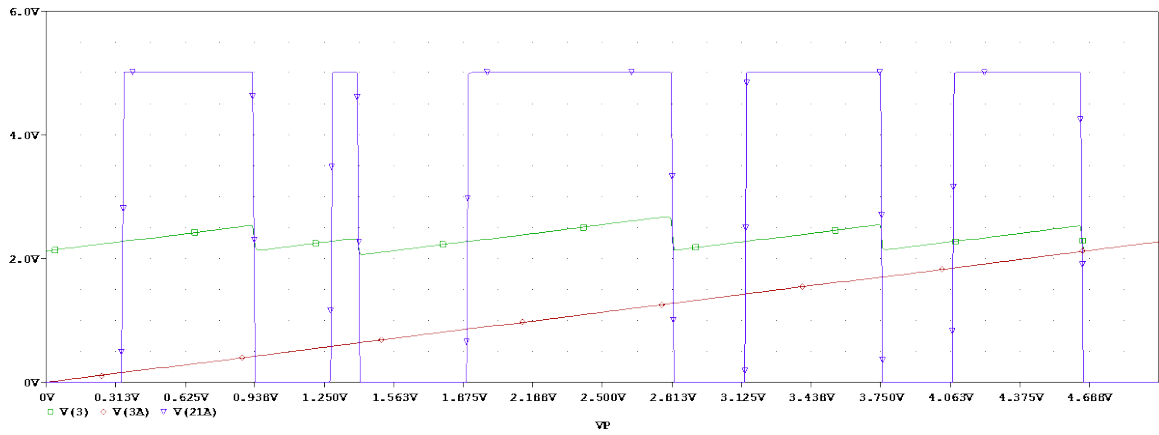
(b)



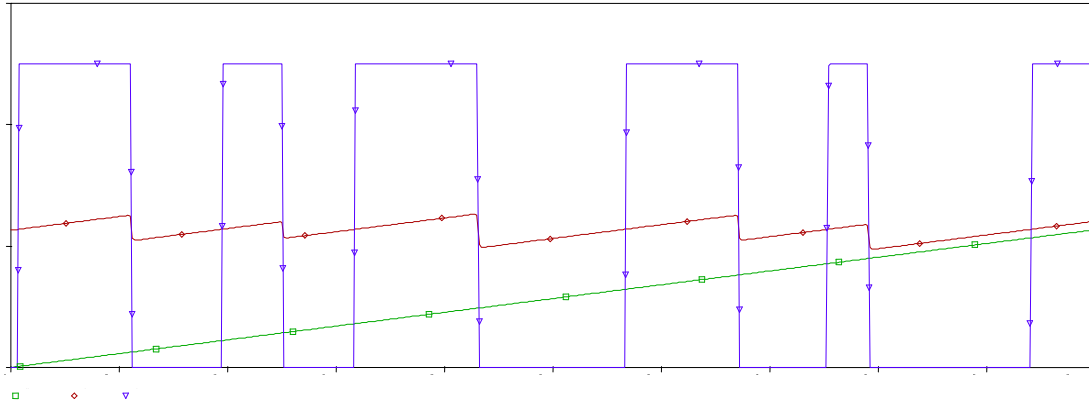
(c)



(d)



(e)



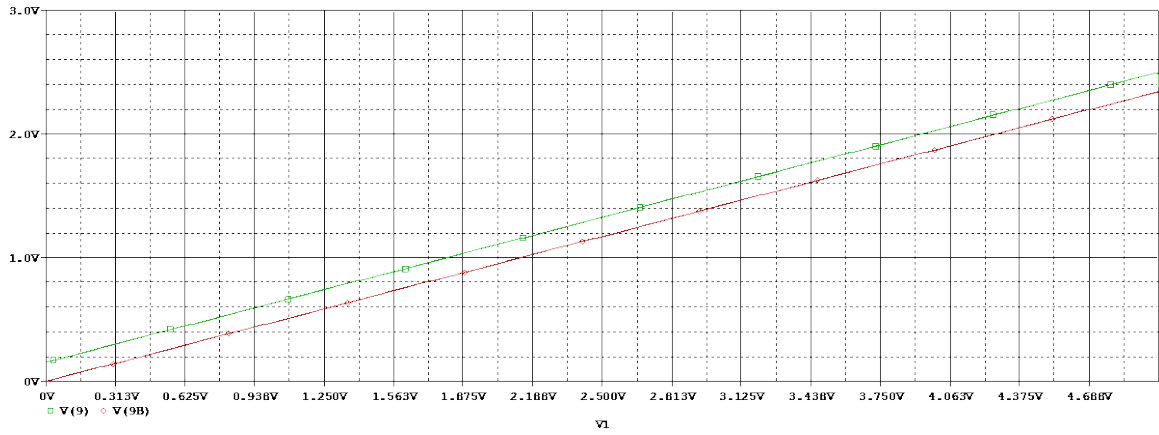
(f)

Fig. 3.3 Respuestas de cada compuerta obtenida a partir del Circuito Universal. (a)AND, (b) OR, (c) NAND, (d) NOR, (e) XOR, (f) XNOR.

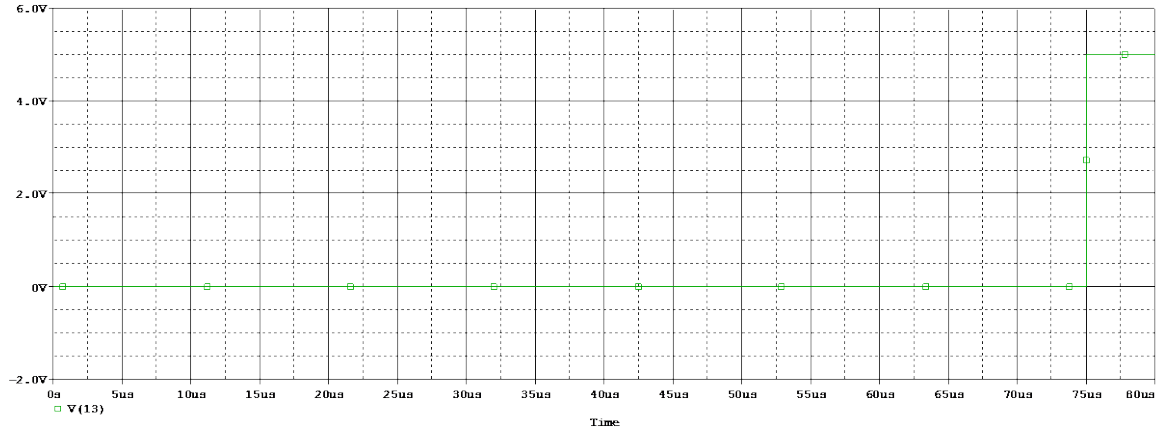
En las figuras 3.3 se puede observar que las simulaciones en el modo DC del circuito lógico de configuración externa de 4 bits con convertidor D/A representa cada función lógica deseada como se esperaba ante los fundamentos matemáticos mencionados en el capítulo II de esta tesis, donde se hace uso de la técnica de Diagrama de Potencial de Compuerta Flotante (FPD). Así, de esta manera podemos concluir brevemente que el circuito diseñado con la técnica de FPD cumple con las expectativas esperadas con las simulaciones.

3.4 Circuito Lógico de Configuración Externa de 4 Bits sin Convertidor D/A.

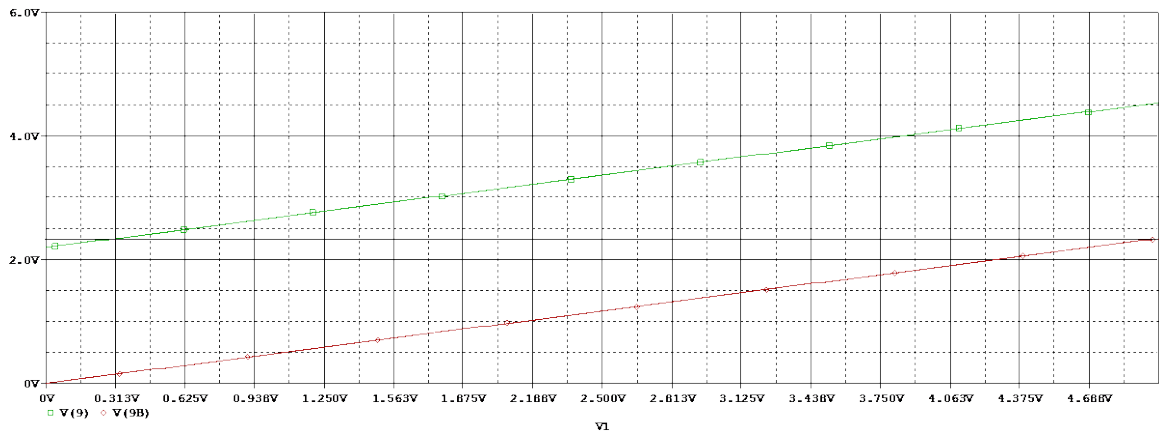
La Fig. 3.4 muestra los resultados de la simulación del Circuito Lógico de Configuración Externa de 4 Bits sin Etapa de Convertidor D/A, donde se observa la representación óptima de las funciones Booleanas deseadas; además de las lecturas de los parámetros en las graficas como fue mencionado en párrafos anteriores. Nótese que para esta caso en específico, se muestra también la simulación en el modo Transitorio del Circuito Lógico de Configuración Externa de 4 Bits sin Convertidor D/A. Las simulaciones en modo directo se obtienen efectuando un barrido de la fuente V_p de 0V a 5V y en su caso, la simulación en el modo transitorio se tienen las cuatro señales digitales a la entrada del circuito, es decir, su funcionamiento es digital.



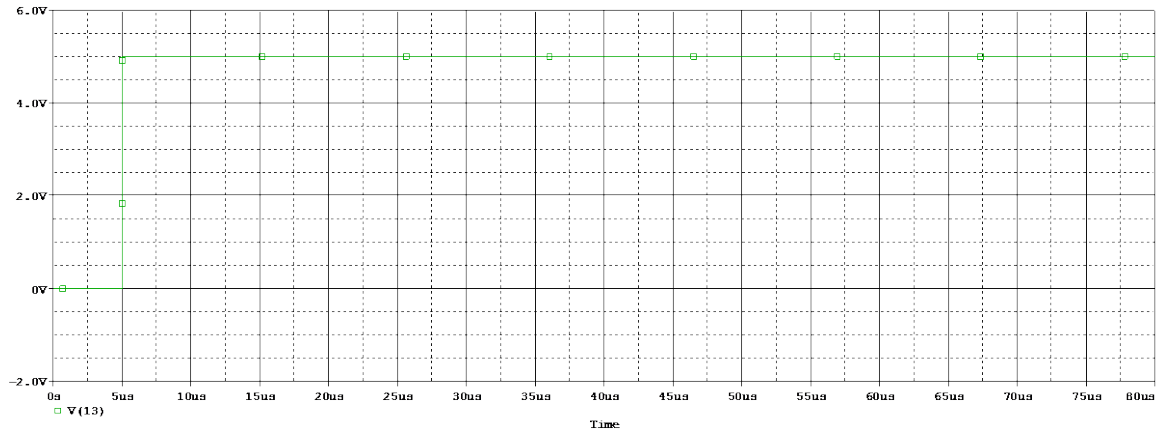
(a)



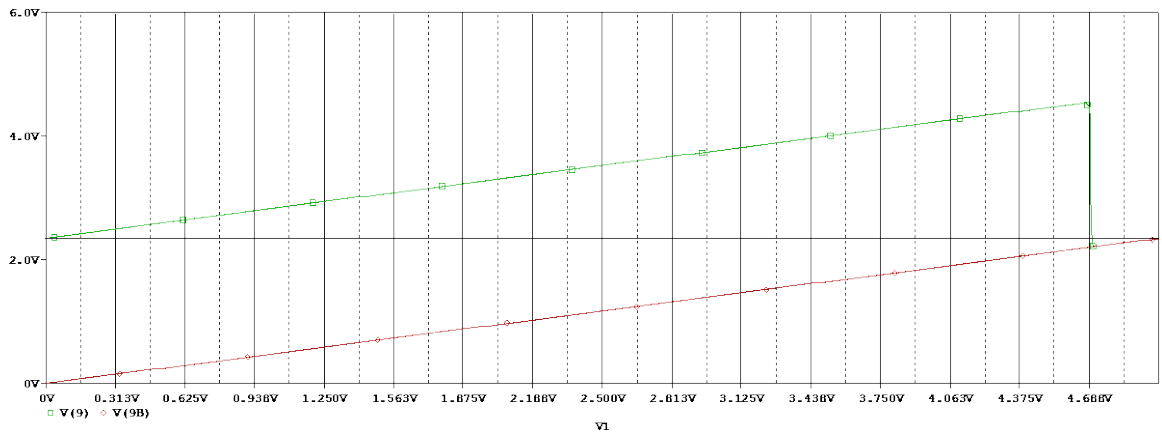
(b)



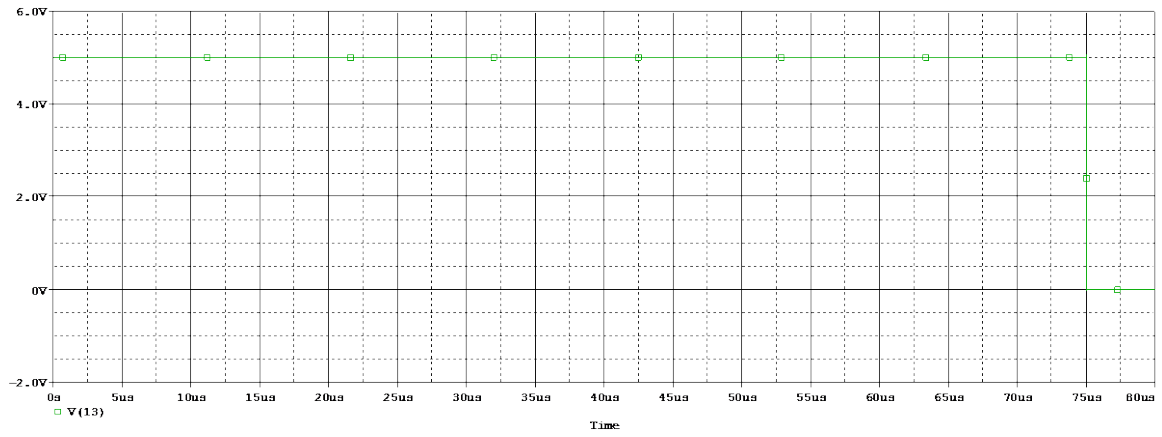
(c)



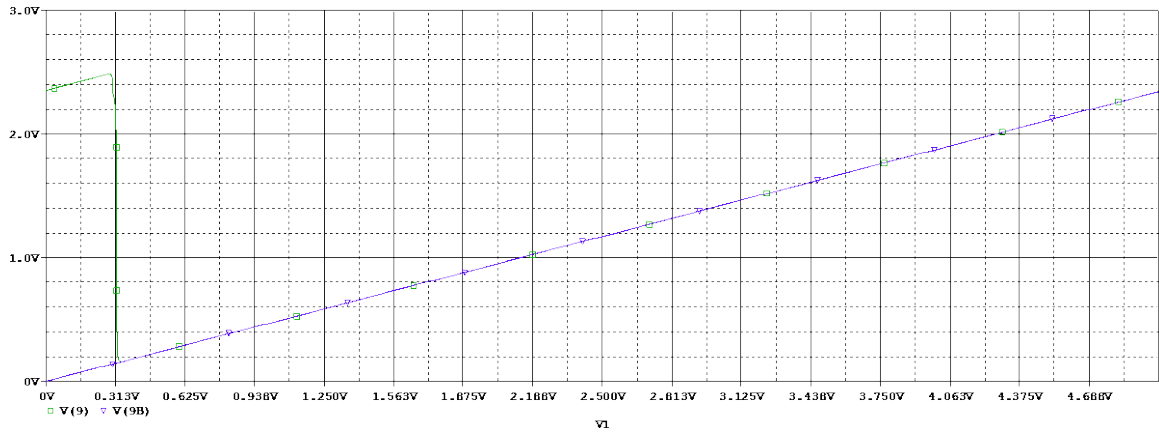
(d)



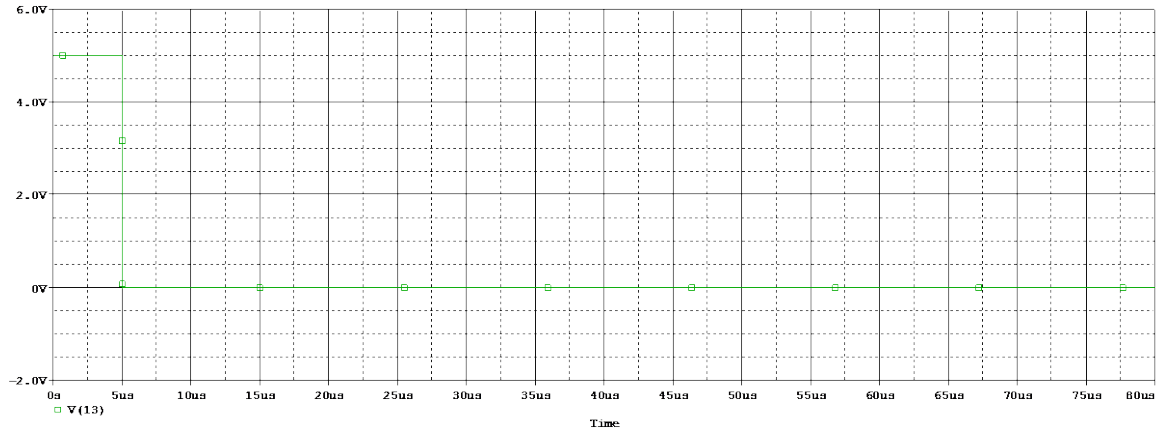
(e)



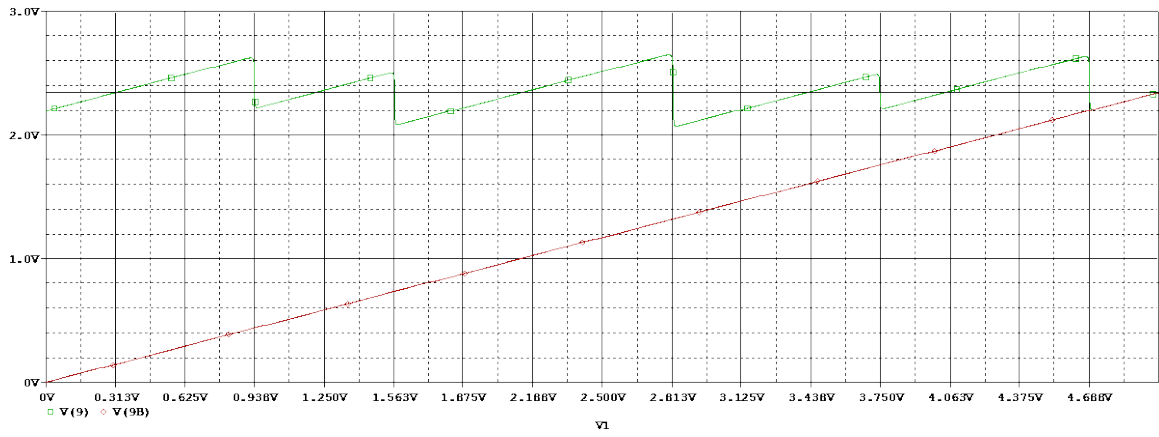
(f)



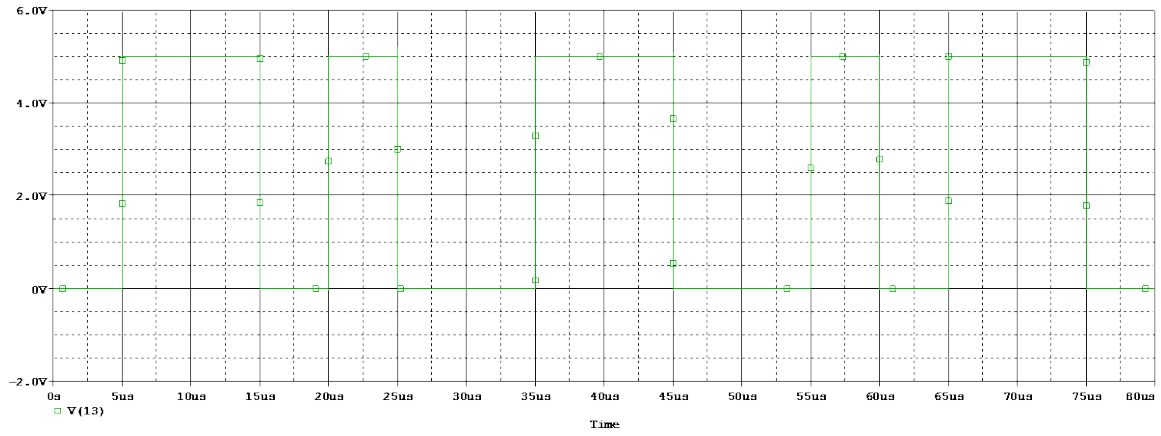
(g)



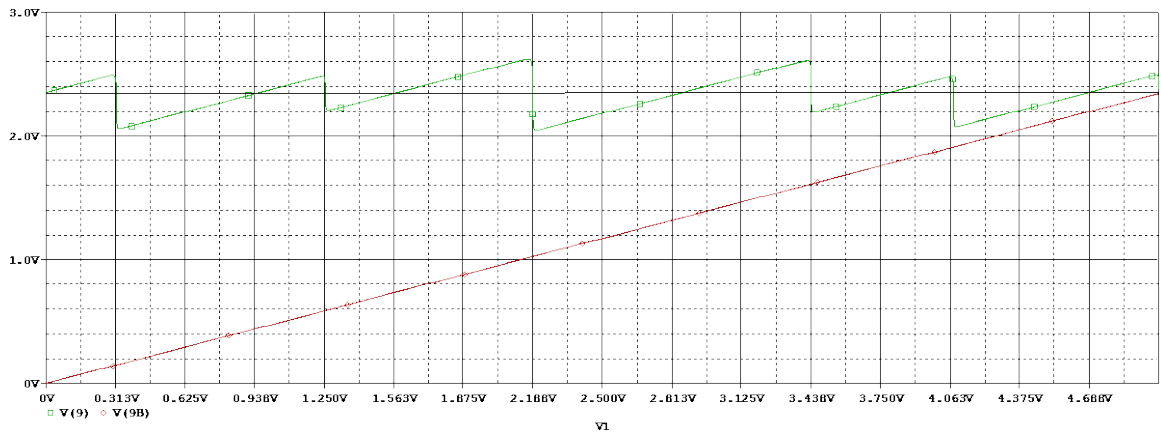
(h)



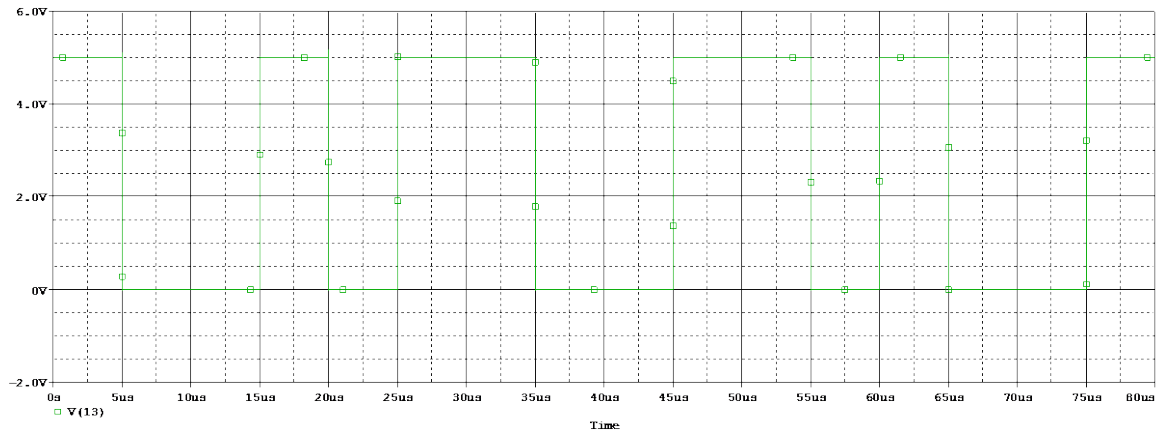
(i)



(j)



(k)



(l)

Fig. 3.3 Respuestas de cada compuerta obtenida a partir del Circuito Universal. (a) AND Modo Directo, (b) AND Modo Transitorio, (c) OR Modo Directo, (d) OR Modo Transitorio, (e) NAND Modo

Directo, (f) NAND Modo Transitorio, (g) NOR Modo Directo, (h) NOR Modo Transitorio, (i) XOR Modo Directo, (j) XOR Modo Transitorio, (k) XNOR Modo Directo, (l) XNOR Modo Transitorio.

3.5 Mediciones de Celdas Inversor Programable y Circuito Neural.

En este apartado, se presentan los resultados obtenidos de las pruebas realizadas al diseño del circuito integrado.

La estrategia de medición comprendió la realización de las pruebas en tres etapas: en primer lugar, mediciones del convertidor D/A de 4 Bits; en segundo lugar mediciones de las celdas individuales como: Inversores Programables y Circuito Neuronal y, finalmente, simulaciones del sistema SHL de 4 bits utilizándolo como Sumador Aritmético.

Para realizar cada una de estas mediciones, se utilizó un circuito auxiliar extra, el cual permite aplicar señales de estímulos y generar los diferentes niveles de voltaje que requieren los circuitos Inversores Programable contenidos en el circuito integrados fabricado, para excitar al circuito Neuronal.

Las pruebas de las celdas individuales se realizaron en una tarjeta con una base de mínimo esfuerzo para la sujeción del chip fabricado y un circuito auxiliar. Estas pruebas incluyeron las mediciones correspondientes a los circuitos Convertidor D/A de 4 Bits, Inversores Programables y al Circuito Neuronal de manera independiente. En el caso de los Inversores Programables, se inyecta una señal rampa como nivel de entrada binaria y de manera arbitraria alimentamos la entrada $V_{A...F}$ para provocar los diferentes niveles de cambio de umbral descritos en el FPD de la compuerta lógica deseada, para llegar a excitar al circuito Neuronal de manera correcta y obtener la función Booleana; en el caso del Circuito Neuronal, se inyectan las dieciséis combinaciones posibles derivadas de los 4 bits que procesamos de manera manual, al igual como se inyectan los voltajes altos o bajos de los inversores programables, según sea el caso.

Circuito Inversor Programable de 4 Bits.

En la Figs. 3.4a, 3.4b, 3.14, 3.4d, se muestra la respuesta del circuito Inversor Programable. En este caso las señales binarias se aplican con una rampa generada por un generador de funciones, realizando un barrido de 0V a 5V con una simetría de 90% de la señal, un frecuencia de 1KHz; así mismo, la señal de entrada correspondiente a $V_{A...F}$ se realiza con un voltaje constante, como se muestra en la Tabla I (Ver Capitulo 2, Sección 2.15).

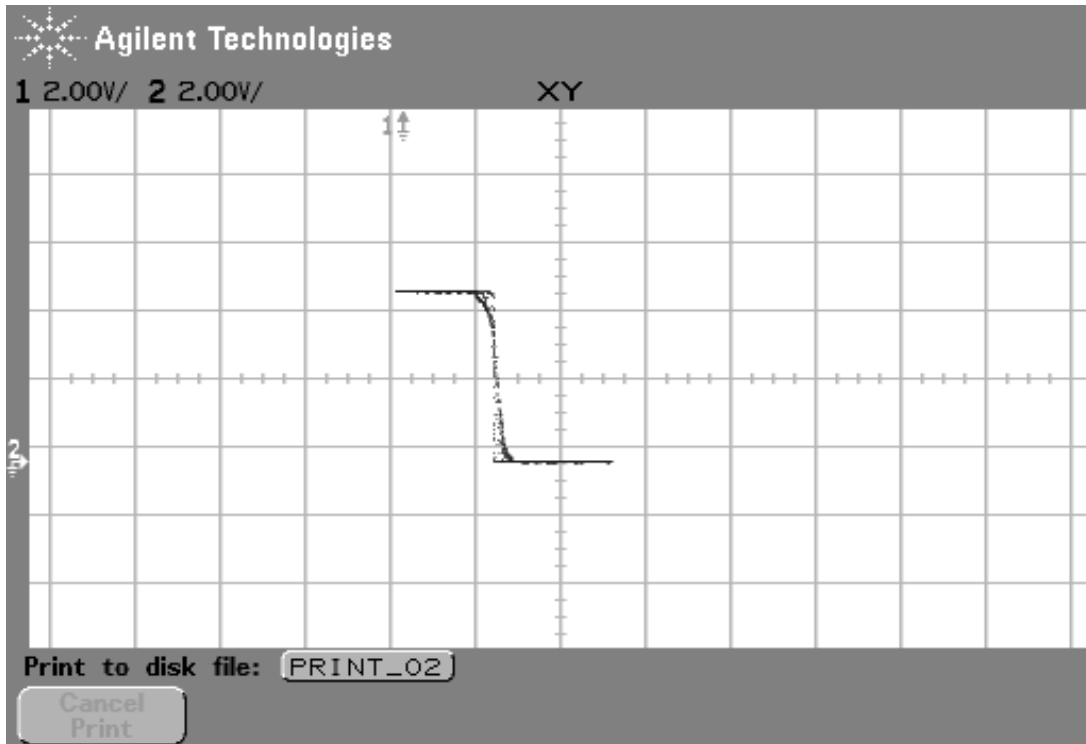


Fig. 3.4a. Salida del Inversor Programable con corte en 15/32VDD.

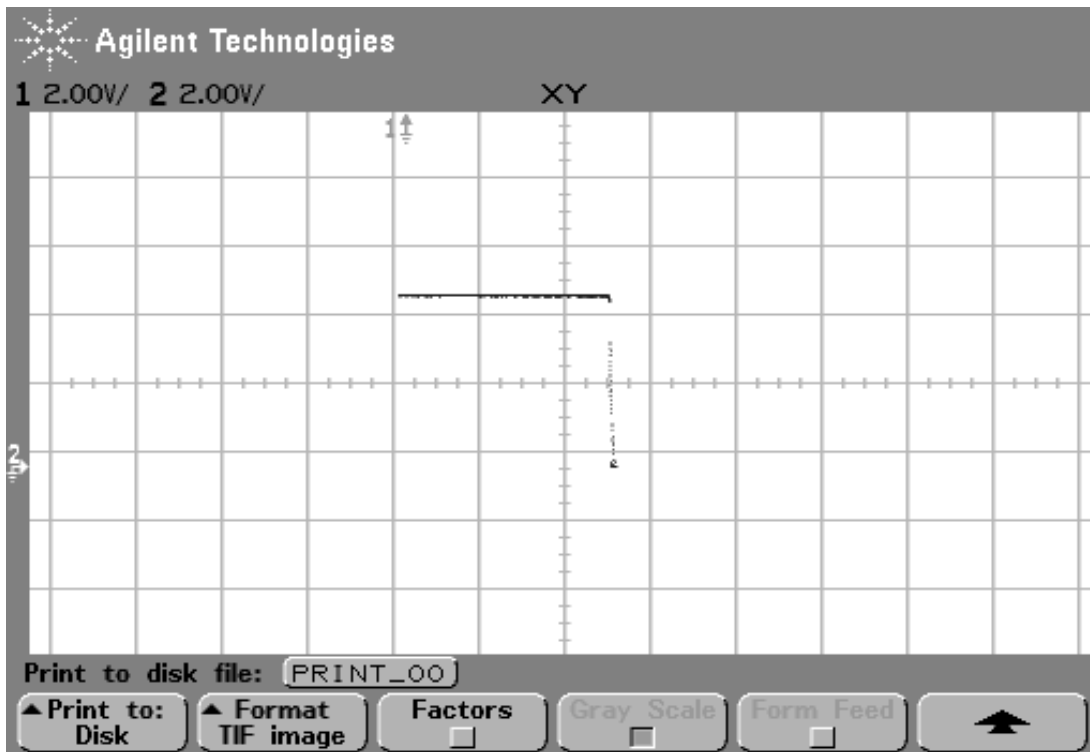


Fig. 3.4b. Salida del Inversor Programable con corte en 31/32VDD.

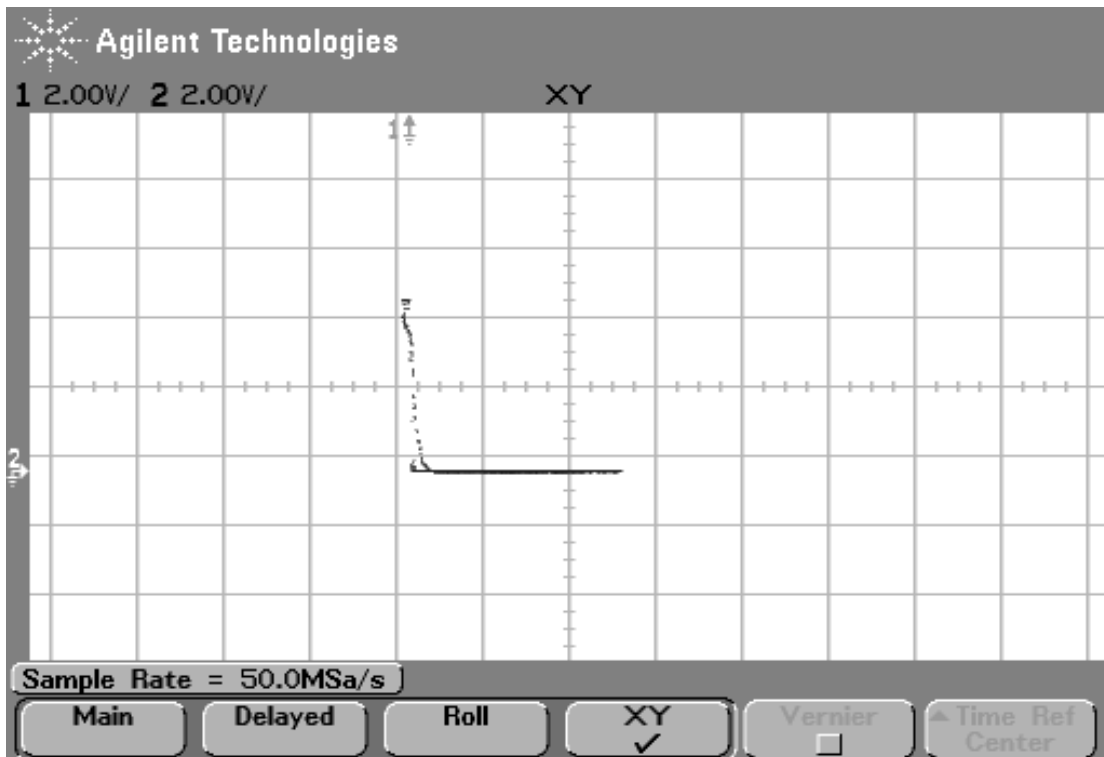


Fig. 3.4 c. Salida del Inversor Programable con corte en $1/32V_{DD}$.

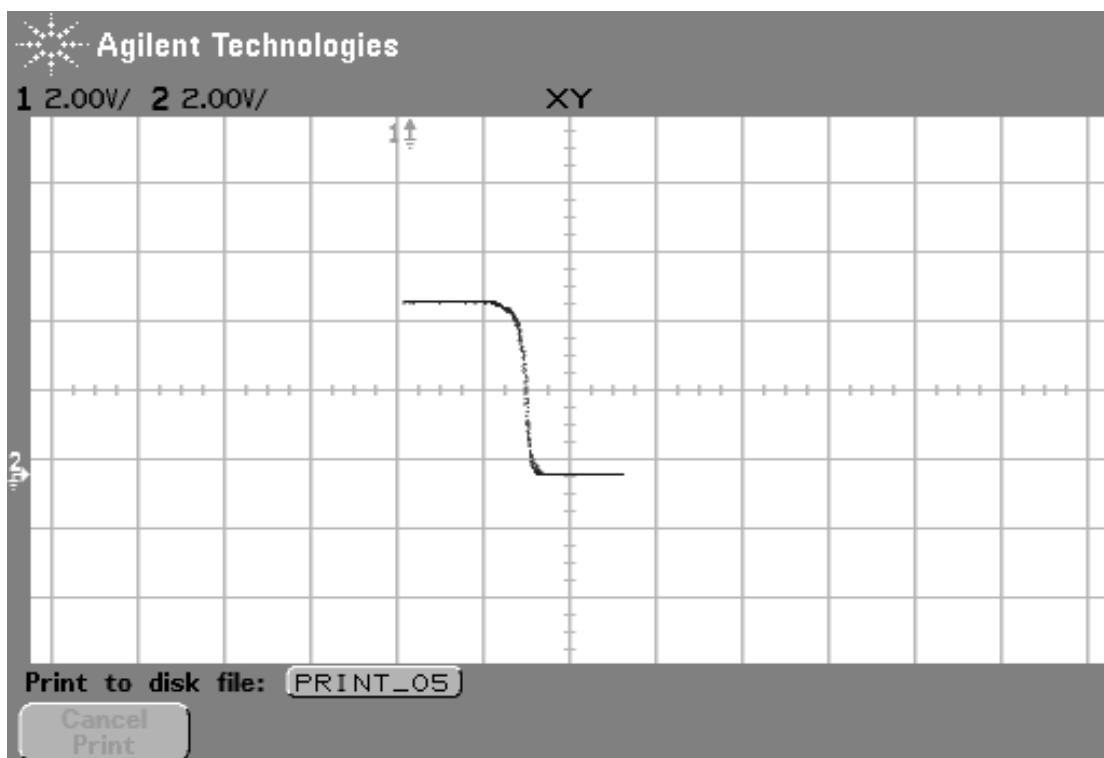


Fig. 3.4d. Salida del Inversor Programable con corte en $19/32V_{DD}$.

Las Tablas siguientes, demuestran las entradas binarias y la salida representada por el circuito Neuronal a una función Booleana determinada.

Mediciones de la compuerta XOR.

BITS DE ENTRADA A LA NEURONA				VOLTAJE DE LOS INVERSORES PROGRAMABLES						
MSB			LSB							
8/32	4/32	2/32	1/32							
X4	X3	X2	X1	A	B	C	D	E	F	VOLTAJE DE LA NEURONA
0	0	0	0	0	5	5	5	5	0	0
0	0	0	5	0	5	5	5	5	5	1
0	0	5	0	0	5	5	5	5	5	1
0	0	5	5	0	0	5	5	5	5	
0	5	0	0	0	0	5	5	5	5	1
0	5	0	5	0	0	0	5	5	5	
0	5	5	0	0	0	0	5	5	5	
0	5	5	5	0	0	0	5	5	5	1
5	0	0	0	0	0	0	5	5	5	1
5	0	0	5	0	0	0	0	5	5	
5	0	5	0	0	0	0	0	5	5	
5	0	5	5	0	0	0	0	5	5	1
5	5	0	0	0	0	0	0	0	5	
5	5	0	5	0	0	0	0	0	5	1
5	5	5	0	0	0	0	0	0	5	1
5	5	5	5	0	0	0	0	0	0	

Una de las consideraciones importante para las caracterizaciones de las celdas de Inversor Programable y Circuito Neural, es considerar si el chip cuenta con carga desde la fabricación del Chip de ser así es necesario compensar esta carga con voltaje específicos para que los circuitos compensan esta misma al momento de efectuar las caracterizaciones respectivas.

3.6 Circuito Sumador de 8 Bits con Dispositivos de Compuerta Flotante.

El circuito sumador completo de 8 bits implementado con las celdas básicas diseñadas con dispositivos de compuerta flotante multientrada se muestra en la Fig. 3.4 y su tabla de comportamiento de describe en la Tabla 3.6 donde se muestra la funcionalidad del sumador mismo; es necesario un análisis para obtener las salidas deseadas del sumador de 8 bits (S_0, S_1, S_2 y S_3); como primer punto es necesario considerar el acarreo inicial (*CarryInicial*), quien en primera instancia nos indicara la salida del sumador1 y sumador2, así como su acarreo respectivo (*Carry1* y *Carry2*), donde el *Carry2* es quien se propaga del sumador3 y el *Carry3* se propaga al sumador4, siendo este último quien nos presente el acarreo final de salida del circuito sumador de 8 bits.

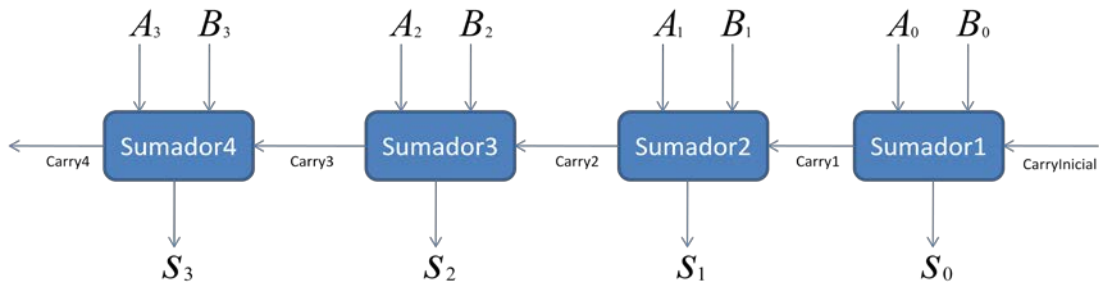


Fig. 3.4 Circuito sumador de 8 Bits.

Tabla 3.6 Tabla de Verdad y Diagrama de Conexión.

Entrada				Salida					
				Cuando $C_0 = \text{Bajo}(L)$			Cuando $C_0 = \text{Alto}(H)$		
		Cuando $C_2 = \text{Bajo}(L)$			Cuando $C_2 = \text{Alto}(H)$				
A_1 A_3	B_1 B_3	A_2 A_4	B_2 B_4	Σ_1 Σ_3	Σ_2 Σ_4	C_2 C_4	Σ_1 Σ_3	Σ_2 Σ_4	C_2 C_4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

La interpretación de la suma binaria de los operandos uno y dos se interpreta:

Ejemplo 1:

	A_4	A_3	A_2	A_1
Operando 1	1	0	0	1
	B_4	B_3	B_2	B_1
Operando 2	1	0	1	0
CarryInicial	1			
	$S_3 = 0$	$S_2 = 1$	$S_1 = 0$	$S_0 = 0$
	$C_4 = 1$		$C_2 = 1$	

Ejemplo 2:

	A_4	A_3	A_2	A_1
Operando 1	1	1	0	0
	B_4	B_3	B_2	B_1
Operando 2	1	1	0	0
CarryInicial	0			
	$S_3 = 1$	$S_2 = 0$	$S_1 = 0$	$S_0 = 0$
	$C_4 = 1$		$C_2 = 0$	

Ejemplo 3:

	A ₄	A ₃	A ₂	A ₁
Operando 1	0	0	1	0
	B ₄	B ₃	B ₂	B ₁
Operando 2	0	1	0	0
CarryInicial	0			
	$S_3 = 0$	$S_2 = 1$	$S_1 = 1$	$S_0 = 0$
	$C_4 = 0$		$C_2 = 0$	

La Fig. 3.5 muestra los resultados obtenidos del sumador de 8 bits con un acarreo inicial de cero, en esta grafica se tiene el valor de S_0, S_1, S_2 y S_3 respectivamente, así como el valor del $Carry4$. En base a la Tabla 3.5 tenemos:

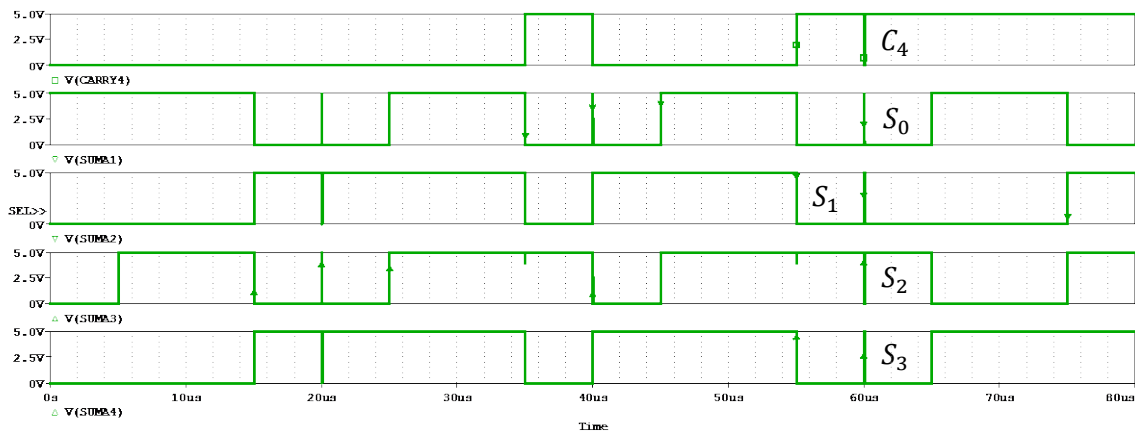


Fig. 3.5 Circuito sumador de 8 Bits con $CarryInicial = 1$, $operando1 = 1001$, $operando2 = 1010$.

3.7 Conclusiones

En este capítulo se presentaron las simulaciones del circuito lógico de configuración de 2 bits con Convertidor D/A, simulaciones del Circuito Lógico de Configuración Externa de 4 Bits con Convertidor D/A, simulaciones del Circuito Lógico de Configuración Externa de 4 Bits sin Convertidor D/A; cada una de las anteriores en modo directo y transitorio con el objetivo de demostrar su comportamiento característico en base a la metodología dictada en el capítulo II de esta tesis. Además de mostrar las mediciones de caracterización efectuadas a las celdas de Inversor Programable y Circuito Neural para poder observar su comportamiento y con ello comprobar su funcionamiento con el chip fabricado.

Así los resultados obtenidos en PSpice de las simulaciones de las celdas básicas con barridos en DC y respuestas transitorias, son satisfactorios para dar paso al diseño de la primera celda aritmética como demostró su simulación.

Referencias

- [1] James Bignell and Robert Donovan, Digital Electronics, Second Edition, Dalmar Publisher., 1989.

Capítulo 4. DISEÑO GEOMÉTRICO DE LOS CIRCUITOS

V MOS

4.1 Introducción.

En este capítulo se presenta el diseño geométrico de cada etapa de los circuitos analizados en el capítulo anterior. Este diseño se basó en las reglas especificadas por la organización académica MOSIS (MOS Implementación System), para una tecnología de 1.5 μm de tamaño mínimo de longitud de canal, doble polisilicio, dos niveles de metal y pozo N. El tamaño del circuito integrado es el conocido como Tiny-Chip con 40 terminales, con un área de silicio implementada en un cuadrado de 2181 μm por lado. El programa utilizado para el diseño geométrico de las celdas y todo el circuito fue en **L-Edit (de Tanner Research, Inc.)** que contiene las reglas de diseño de diferentes tecnologías ofrecidas por la fábrica de silicio; en particular, se cuenta con las de AMI_ABN [1].

Se llaman reglas de diseño, al conjunto de directrices necesarias para dibujar geométricamente a los dispositivos que forman un circuito integrado, y que aseguren el buen funcionamiento de éste. Las reglas toman en cuenta dos factores para las limitaciones de diseño topológico: la resolución fotolitográfica y los parámetros eléctricos de los modelos de los dispositivos. Conforme la tecnología avanza hacia dimensiones más pequeñas, se hace necesario el desarrollo de nuevos modelos que ayuden a la simulación de los circuitos y que tomen en cuenta las dimensiones topológicas.

El programa L-Edit con el que se cuenta tiene bibliotecas pre-diseñadas de circuitos comunes y que pueden ser utilizadas para configurar un circuito en particular. Se tiene libertad de hacer modificaciones pertinentes, como por ejemplo la longitud de canal (L) o el ancho de canal (W) de los MOSFET, para ajustarlos según el diseño realizado. En caso de que no existan las bibliotecas, es posible hacer el diseño siempre y cuando se sigan las reglas, como es el caso de los vMOS, los cuales no cuentan con bibliotecas.

Como referencia para la posible utilización del paquete empleado en este trabajo, se transcribe la ficha de los archivos utilizados, tal y como los presenta L-Edit:

Vendor: MOSIS: AMI_ABN.

Technology: 1.5U N-Well (Lambda=0.8 μm , Technology= SCNA).











Technology Setup File: mami150p.tdb

Estos datos son importante para el envi3 a fabricaci3n del circuito integrado a trav3s de MOSIS, medio que fue utilizado para tal fin. La cual es una instituci3n que proporciona el servicio de fabricaci3n del circuito integrado a sus abonados, mediante su envi3 a fabricas de silicio establecidas en los Estados Unidos. La informaci3n referente a este servicio puede ser consultada por Internet en la siguiente direcci3n:

<http://www.mosis.org>

Donde se proporcionan los pasos a seguir para todas aquellas personas interesadas en este servicio. Existen otras opciones europeas como Alcatel Mietec, AMS, ATMEL-ES2 y CNM- Espa1a que tambi3n cuentan con sus propias reglas de dise1o. Si se piensa en alguna de estas 3ltimas opciones, se debe contar con el programa correspondiente.

A continuaci3n se muestran los colores que representan las diferentes capas de materiales y contactos utilizados para el dise1o de los elementos del circuito.

 Diffusi3n (Activo)	 Contacto
 Poly 1	 Vía
 Metal 1	 Pozo N
 Metal 2	 N Select
 Poly 2	 P Select

La interpretaci3n de estos c3digos es:

1. Hay tres tipos de contactos (representados en color negro):
 - A. Contacto entre Metal 1 y Poly 1
 - B. Contacto entre Metal 1 y Poly 2
 - C. Contacto entre Metal 1 y Activo
2. El contacto llamado Vía (contacto entre Metal 1 y Metal 2) es blanco
3. El pozo N, N select y P select, se representan 3nicamente por el contorno del recuadro
4. La capa N Select indica que se trata de transistores de canal tipo N. La capa P Select indica transistores de canal P.

4.2 Diseño Geométrico.

En la Tabla 4.1 se muestra el número total de transistores por celda. Las celdas se dividen en cinco grupos: el grupo que corresponde al circuito general SHL de 4 bits desarrollado para esta tesis, el grupo de celdas de neuMOS de prueba, el grupo de Inversores Programables de prueba, el grupo de Convertidor D/A de 4 bits de prueba y el grupo SHL de 2 bits de prueba.

De las celdas *Pads* que se incluyen en la biblioteca del programa L-Edit, correspondientes a las terminales del circuito integrado, se emplearon 3 tipos: *PadNoESD*, *VDDPad* y *GNDPad* (no se incluyen en la Tabla 4.1). *PadNoESD* es una terminal que se utiliza para señales de entrada y salida digitales, y no cuenta con diodos para protección contra descargas electrostáticas, debido a los voltajes empleados para la excitación del circuito. *PadVDD* se emplea como terminal de alimentación positiva (+5 Volts en este caso), mientras que *PadGND* se utiliza como terminal de tierra.

Tabla 4.1 Transistores utilizados en el circuito completo SHL de 4 bits.

Tipo de Celda	No. De Transistores x Celda	No. De Celdas	Total de Transistores
Circuito de Pre-Carga	6	1	6
Circuito Inversor Programable	6	8	48
Circuito NeuMOS	8	3	24
Circuito Convertidor D/A de 4 bits	2	1	2
Circuito SHL de 2 bits	14	1	14
			94

4.3 Celdas Básicas.

A continuación se presentan las celdas básicas que conforman el circuito de Configuración Externa de 4 bits desarrollado en esta tesis.

4.3.1 Circuito de Pre-Carga.

La Fig. 4.1 muestra el circuito de pre-carga empleado para convertir las señales binarias de entrada en una señal multivaluada que alimentará a los Inversores Programables y al circuito Neuronal, respectivamente.

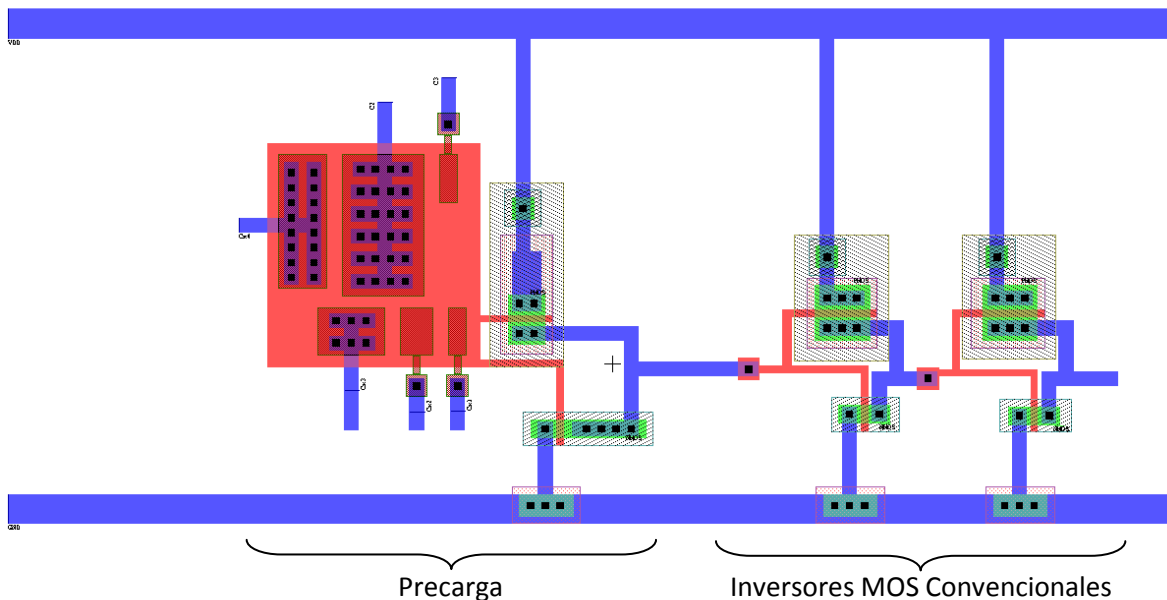


Fig. 4.1 Diseño topológico de Circuito Pre-Carga.

En la Fig. 4.1, los nodos etiquetados con C_{X_1} , C_{X_2} , C_{X_3} , C_{X_4} corresponde a la entradas binarias al circuito de pre-carga, el nodo etiquetado con C_2 corresponde a la entrada independiente para equilibrar el circuito en ciertas configuraciones y el nodo C_3 corresponde a la entrada de un Inversor Programable. Se puede observar que la salida de este circuito esta complementado con un par de Inversores CMOS convencionales para definir de manera más abrupta la salida de este mismo.

4.3.2 Circuito Inversor programable.

La celda de inversor programable se muestra en la Fig. 4.2, se interconecta al circuito de pre-carga y el circuito neuronal. El inversor programable es el circuito que alimenta al circuito neuronal para excitarlo de manera adecuada y esta última represente la función Booleana deseada.

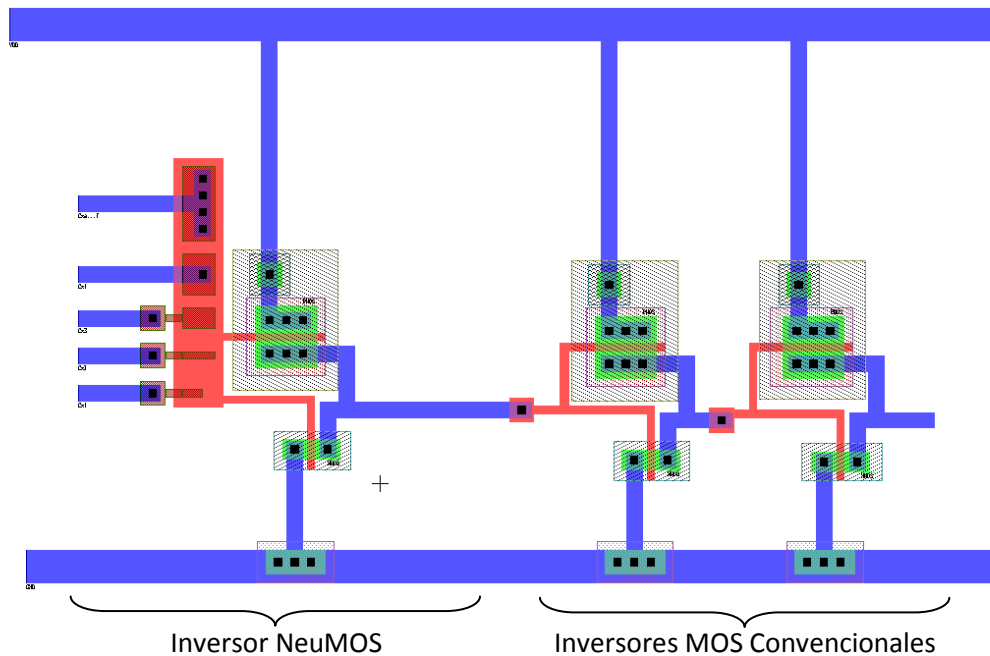


Fig. 4.2 Diseño topológico del Inversor Programable.

En la Fig. 4.2, los nodos etiquetados con C_{X_1} , C_{X_2} , C_{X_3} , C_{X_4} corresponde a las entradas binarias al Inversor Programable, el nodo etiquetado con $C_{A...F}$ corresponde a la entrada externa para lograr que el inversor programable conmute en los puntos de corte del voltaje de umbral representado en el FPD; se puede observar que la salida de este circuito está complementado con un par de Inversores CMOS convencionales para definir de manera más abrupta la salida de este mismo.

4.3.3 Circuito NeuMOS.

La celda básica para el circuito neuronal se ilustra en la Fig. 4.3, y es quien representa la salida Booleana deseada, dependiente la señal del circuito pre-carga y los voltajes de inversión de los inversores programables.

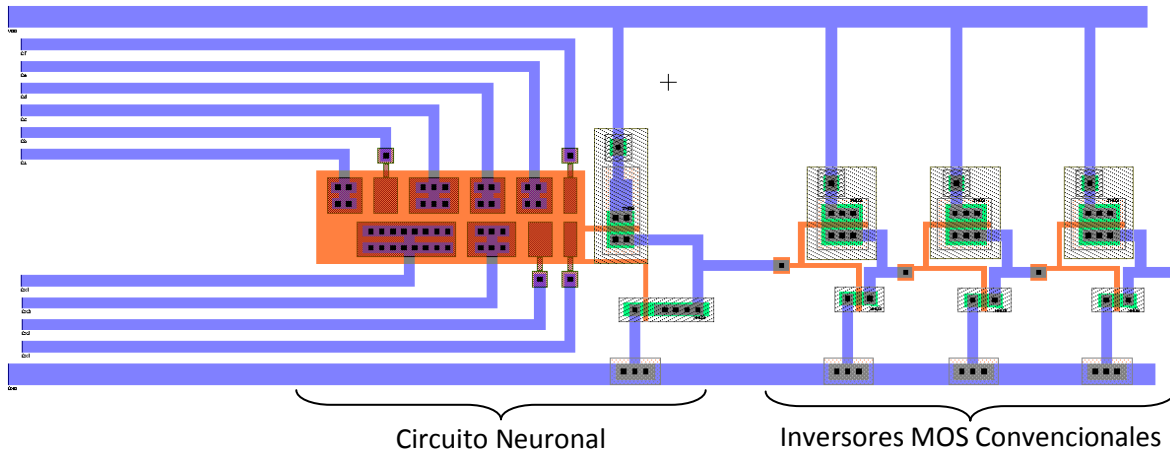


Fig. 4.3 Diseño topológico del Circuito Neuronal.

En la Fig. 4.3, los nodos etiquetados con C_{X1} , C_{X2} , C_{X3} , C_{X4} corresponde a la entradas binarias al Circuito Neuronal, los nodos etiquetados con C_A , C_B , C_C , C_D , C_E , C_F corresponden a la entradas provenientes de los Inversores Programable conmutados en los puntos de corte del voltaje de umbral representado en el FPD; al igual que en las demás celdas mencionadas, se puede observar que la salida de este circuito está complementado con un par de Inversores CMOS convencionales para definir de manera más abrupta la salida de este mismo.

4.3.4. Circuitos de Prueba.

Con el fin de tener la posibilidad de caracterizar los dispositivos de compuerta flotante, se incluyeron cuatro estructuras de prueba, como los mostrados en las Figs. 4.4, y 4.5. El primero de ellos es la estructura de prueba para el Convertidor D/A de 4 bits diseñado en la primera etapa del diseño; una segunda estructura, que es un Circuito Neuronal en dos versiones, una con las entradas de los inversores programables independiente, así como sus entradas binarias, y una mas con estas entradas compartidas con otras celdas del circuito completo, como se ilustró en la Fig. 4.3; una tercera estructura que nos es útil para caracterizar a los Inversores Programables, como se ilustró en la Fig. 4.2 y finalmente una estructura que caracteriza un SHL de 2 bits.

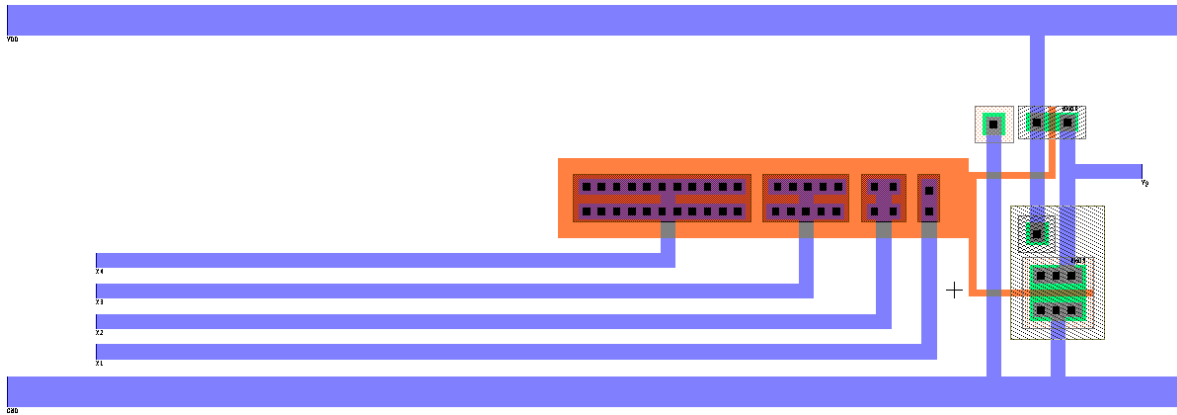


Fig. 4.4 Diseño topológico del Convertidor D/A de 4 bits.

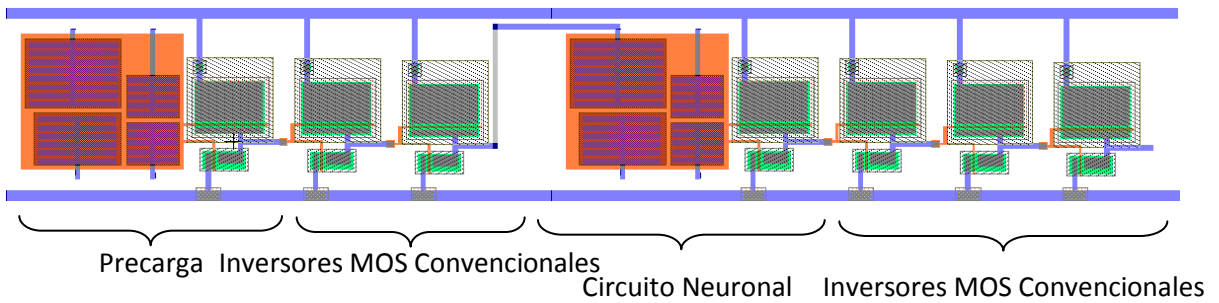


Fig. 4.5 Diseño topológico de un Circuito SHL de 2 bits.

4.4 Circuito Integrado Completo.

Todos los circuitos anteriores, se unen para formar el diseño geométrico completo del circuito integrado. El diseño creado en L-Edit se muestra en la Fig. 4.6; en las Figs. 4.7a a 4.7d, se muestra la microfotografía del circuito integrado fabricado.

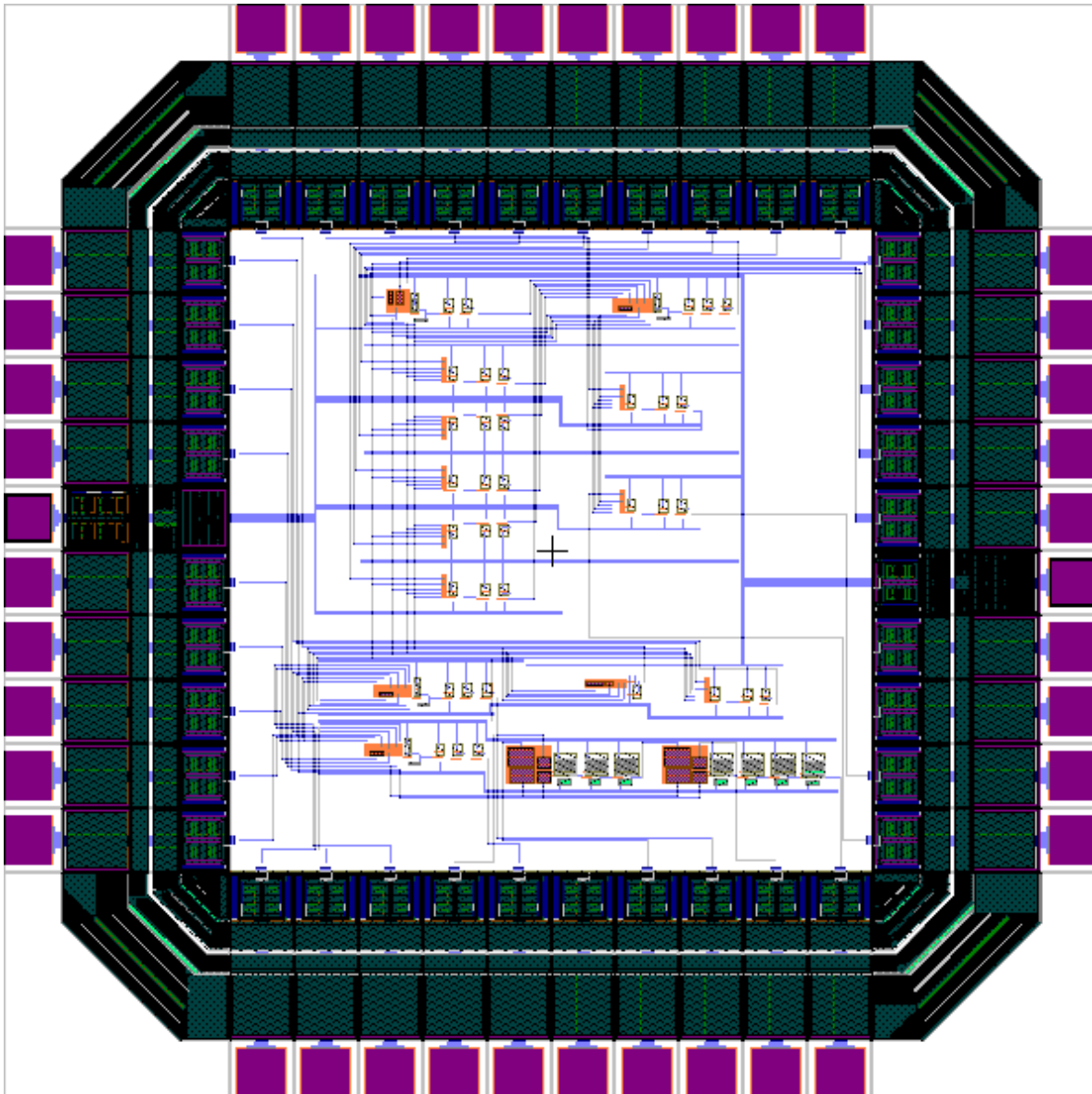
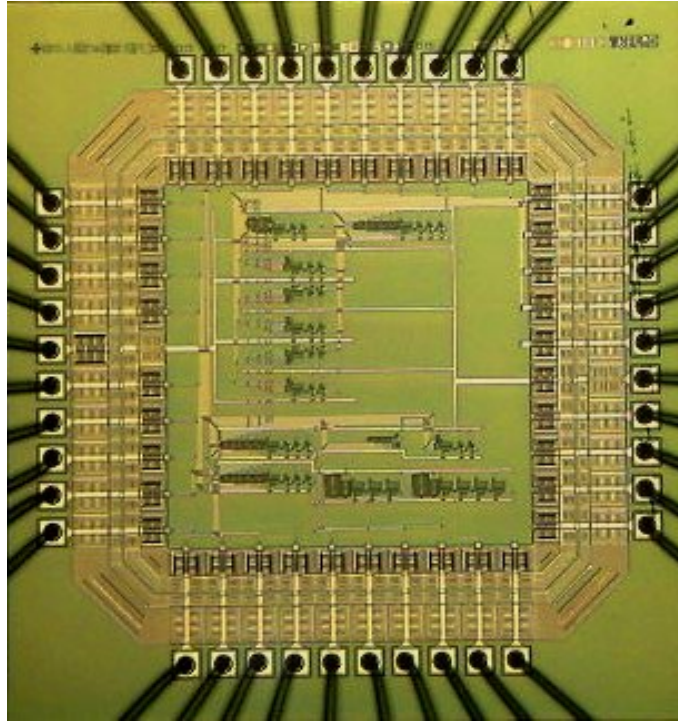
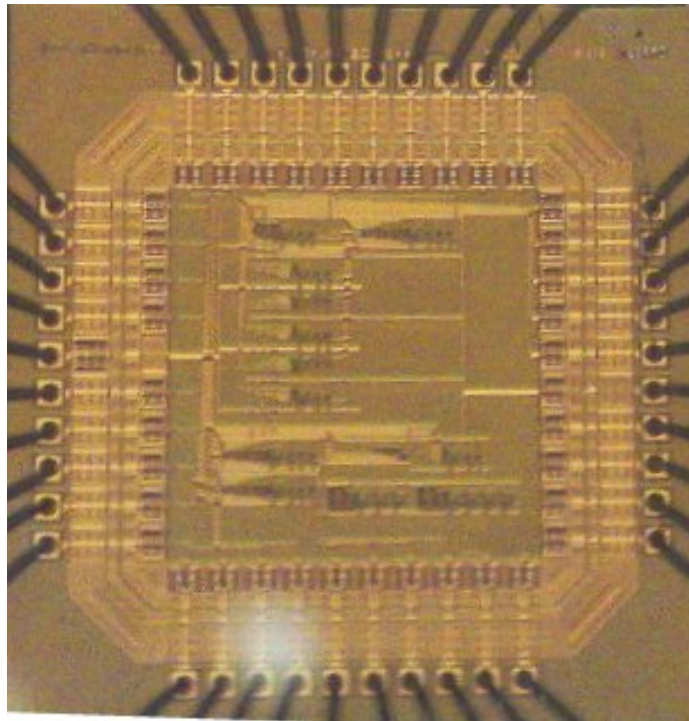


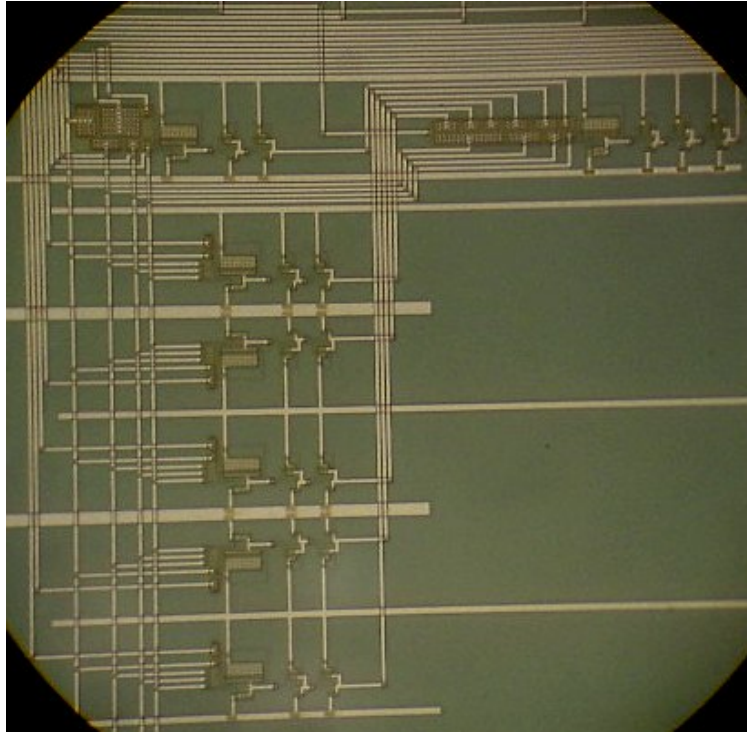
Fig. 4.6 Diseño topológico completo del circuito integrado.



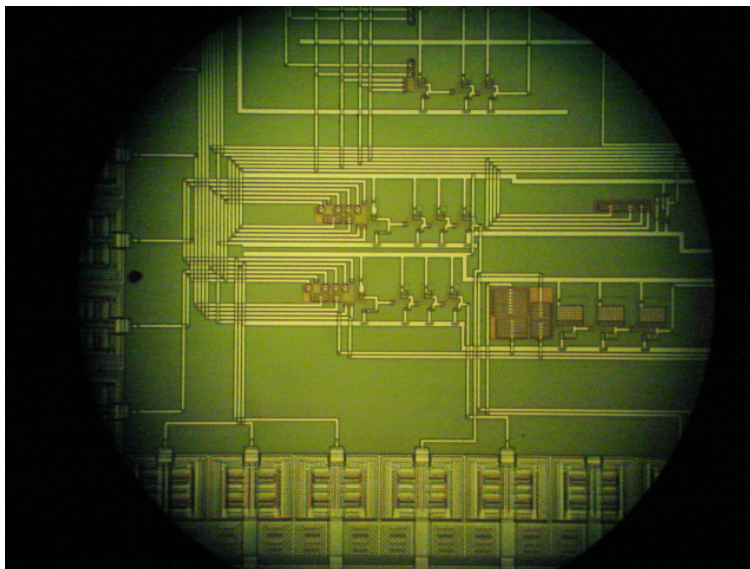
(a) Microfotografía del Circuito Integrado fabricado.



(b) Microfotografía del Circuito Integrado fabricado.



(c) Microfotografía de las Celdas del Circuito de Configuración Externa de 4 Bits fabricado.



(d) Microfotografía de la Celda de Caracterización del Circuito Neuronal de 4 Bits fabricado.

Fig. 4.7 Microfotografía del Circuito Integrado Fabricado.

En el apéndice se incluyen las hojas requeridas por MOSIS cuando se solicita la fabricación de un circuito integrado. Estas hojas, llamadas “Forma de envío de proyecto” deben incluir el número de cuenta otorgado por MOSIS al cliente, además de los datos referentes al tipo de tecnología con la que realizó el diseño, el tipo de encapsulado solicitado y datos referentes a la longitud del archivo (Byte Count Checksum). Existen dos alternativas para el envío de esta forma junto con el diseño:

1. Mediante correo electrónico
2. Correo normal

Existen varias fechas a lo largo del año para el inicio de la corrida y el tiempo de fabricación, que dura entre seis y catorce semanas, dependiendo de la época del año, de la tecnología solicitada y otros factores que no dependen del fabricante.

4.5 Conclusiones.

En este capítulo se presentó el diseño geométrico correspondiente a las celdas básicas diseñadas en el capítulo anterior. Los parámetros tecnológicos utilizados fueron los proporcionados por la organización académica MOSIS, básicamente, tecnología de $1.5\mu\text{m}$, pozo N, doble polisilicio y doble metal. El número total de transistores en el circuito fue de 94.

Referencias

- [1] "L-Edit, Layout Editor Manual". Tanner research, Inc., Pasadena, Ca., 1989.

Capítulo 5. CONCLUSIONES Y TRABAJOS FUTUROS

5.1 Conclusiones.

Dada la importancia que se está dando al desarrollo de la electrónica para la aplicación práctica del diseño de circuitos integrados a gran escala de integración con dispositivos de compuerta flotante multientrada, es básico el estudio de estructuras que permitan el desarrollo de diseños prototipo para su aplicación en esta rama y para contribuir a su vez en el desarrollo de sistemas lógicos de configuración externa. Esa así, que en este trabajo se estudiaron elementos de celdas básicas para el diseño de circuitos aritméticos, con los que se pueden tener, por ejemplo, sumadores, restadores, multiplicadores y divisores, con capacidad de variación de voltajes externos debido a su configuración para el procesamiento de la información y con la posibilidad de procesar fácilmente las señales de entrada.

Como conclusiones importantes, derivadas del desarrollo de esta tesis, se pueden enumerar las siguientes:

1. Se diseñó una estructura SHL-2 bits con convertidor D/A con problemas de respuesta en la parte de convertidor, no permitiendo un 100% de desempeño del mismo.
2. Se profundizó en el estudio del Diagrama de Compuerta Flotante (FPD) para diseñar las estructuras SHL-2 bits sin Convertidor D/A, SHI-2 bits con Convertidor D/A, SHL-2 sin Convertidor D/A, SHL-4 bits sin Convertidor D/A mejorando el desempeño del mismo, con el objetivo de obtener la función Booleana deseada.
3. Uno de los parámetros de más importancia que hay que considerar en el diseño de las estructuras propuestas SHI-2 bits con Convertidor D/A, SHL-2 sin Convertidor D/A, SHL-4 bits sin Convertidor D/A; es el Diagrama de Potencial de Compuerta Flotante y los coeficientes de acoplamiento. Considerando la importancia que tiene en el desempeño del circuito, ya que un trazado del FPD y un valor no óptimo de estos parámetros pueden provocar una respuesta no deseada para el SHL diseñado, por lo que se requiere su fundamento matemático adecuado para lograr una optimización tanto desde el punto de vista de área como de funcionamiento.
4. Desde el punto de vista físico, se utilizó el FPD que nos permite calcular las capacitancias de acoplamiento, así como obtener la función booleana deseada; que nos permite caracterizar el coeficiente de acoplamiento de las estructuras, apoyándonos en el trazado de Diagrama de Potencial de Compuerta Flotante. Con el uso del FPD no se requieren cálculos ni montajes de medición complicados. Esta

es una aportación importante de este trabajo, principalmente para el diseño de estructuras SHL-4 bits.

5. Haciendo uso del modelo de simulación de operación de la estructura de compuerta flotante, se propuso el diseño de un SHL universal, con lo que se demuestra que el estudio efectuado puede ser aplicado de manera práctica al diseño de circuitos lógicos de configuración externa de 4 bits. Esta es una aportación en el desarrollo de la electrónica dentro de este campo, ya que el desarrollo de dispositivos y circuitos ha sido más lento que el de programas de cómputo.
6. De manera práctica y a nivel simulación, se comprobó la validez del modelo propuesto al observar las salidas de los SHL, siendo estas como las previstas por la simulación.
7. Se diseñó y simuló un sumador de 8 bits con el uso de las estructuras básicas diseñadas, obteniendo resultados óptimos en el modo transitorio.

5.2 Trabajo futuro.

De la experiencia adquirida y los resultados obtenidos derivadas del desarrollo de esta tesis, se pueden enumerar las siguientes:

1. La experiencia adquirida en todas las fases del desarrollo de la tesis, abre nuevas perspectivas de investigación en las líneas correspondientes a: Diseño de SHL-n bits, diseño de DSP's, modelado de sistemas complejos, diseño de circuitos aritméticos.
2. Disminuir la alimentación del circuito integrado para lograr diseños de alto desempeño y de bajo consumo de energía.
3. Perfeccionar el estudio derivado del análisis del FPD para el cálculo de las capacitancias y funciones booleanas deseadas.
4. Finalmente, de los resultados obtenidos respecto a las celdas SHL-2 sin Convertidor D/A y SHL-4 sin Convertidor D/A, podemos diseñar celdas aritméticas para 8, 16, 32 bits respectivamente.

Anexo

Anexo A.

Listado general empleado para las simulaciones de las seis funciones lógicas obtenidas a partir del circuito lógico de configuración externa de 4 bits.

*COMPUERTA	R4 XVP4 0 1T
*INVERSOR DE PRECARGA	
*	*V1 XVP 0 0V
M1 3 2 1 1 MP1 W=8U L=1.6U	*R1 XVP 0 1T
M2 3 2 0 0 MN1 W=4U L=1.6U	
VDD 1 0 5V	VC2 VC2 0 5.26V
	R8 VC2 0 1T
V1 XVP 0 PWL(0US 0V 5US 0V 5.02US 5V 10US 5V 10.02US 0V 15US 0V 15.02US 5V 20US 5V 20.02US 0V 25US 0V	
+25.02US 5V 30US 5V 30.02US 0V 35US 0V 35.02US 5V 40US 5V 40.02US 0V 45US 0V 45.02US 5V 50US 5V	VF VC3 0 0V
+50.02US 0V 55US 0V 55.02US 5V 60US 5V 60.02US 0V 65US 0V 65.02US 5V 70US 5V 70.02US 0V 75US 0V	RVF VC3 0 1T
+75.02US 5V 80US 5V)	*
	M1A 3B 3 1 1 MP1 W=12U L=1.6U
	M2A 3B 3 0 0 MN1 W=4U L=1.6U
	*
V2 XVP2 0 PWL(0US 0V 5US 0V 10US 0V 10.02US 5V 15US 5V 20US 5V 20.02US 0V 25US 0V 30US 0V 30.02US 5V	M1B 3F 3B 1 1 MP1 W=12U L=1.6U
+35US 5V 40US 5V 40.02US 0V 50US 0V 50.02US 5V 60US 5V 60.02US 0V 70US 0V 70.02US 5V 80US 5V)	M2B 3F 3B 0 0 MN1 W=4U L=1.6U
	*
	*
V3 XVP3 0 PWL(0US 0V 20US 0V 20.02US 5V 40US 5V 40.02US 0V 60US 0V 60.02US 5V 80US 5V)	* C0=CX1
	* CTOT=C0+CX1+CX2+CX3+CX4+C2+C3=32*CX1
V4 XVP4 0 PWL(0US 0V 40US 0V 40.02US 5V 80US 5V)	* CX2=2CX1; CX3=4CX1; CX4=8CX1; C2=CX1+CX2+CX3+CX4; C3=CX1
R1 XVP 0 1T	* COEF. DE ACOPLAMIENTO PARA EL INVERSOR DE PRECARGA:
R2 XVP2 0 1T	* (CX1/CTOT)= 0.003125 (X6=0.1875, POR TENER 6 COMPUERTAS DE CONTROL)
R3 XVP3 0 1T	

* (CX2/CTOT)= 0.0625 (X6=0.375)

* (CX3/CTOT)= 0.125 (X6=0.75)

* (CX4/CTOT)= 0.25 (X6=1.5)

* (C2/CTOT)= 0.46875 (X6=2.8125)

* (C3/CTOT)= 0.03125 (X6=0.1875)

*

EGX1 2 GX1 XVP 0 0.1875

RGX1 GX1 0 0.1

*

EGX2 2 GX2 XVP2 0 0.375

RGX2 GX2 0 0.1

*

EGX3 2 GX3 XVP3 0 0.75

RGX3 GX3 0 0.1

*

EGX4 2 GX4 XVP4 0 1.5

RGX4 GX4 0 0.1

*

EGC2 2 GC2 VC2 0 2.8125

RGC2 GC2 0 0.1

*

EGC3 2 GC3 VC3 0 0.1875

RGC3 GC3 0 0.1

*-----

*NEURON CIRCUIT

M3 8 9 1 1 MP1 W=8U L=1.6U

M4 8 9 0 0 MN1 W=4U L=1.6U

*

*LAS ENTRADAS A CX1, CX2, CX3 Y CX4 DE LA NEURONA

*SON LAS MISMAS ENTRADAS X1, X2, X3 Y X4 DEL

*INVERSOR DE PRECARGA.

*C5, C6, C7, C8 Y C9 TOMAN LAS SALIDAS DE LOS INVERSORES

*PROGRAMABLES DE VA, VB, VC, VD Y VE Y C10 DEL INVERSOR

*DE PRECARGA.

EX1 9 GX11 XVP 0 0.31 ; AJUSTADO DE 0.3125

RX1 GX11 0 0.1

*

EX2 9 GX22 XVP2 0 0.625

RX2 GX22 0 0.1

*

EX3 9 GX33 XVP3 0 1.25 ; AJUSTO DE 1.2

RX3 GX33 0 0.1

*

EX4 9 GX44 XVP4 0 2.5

RX4 GX44 0 0.1

*

EC5 9 GC5 P2A 0 0.9 ; AJUSTADO DE 0.9375

RC5 GC5 0 0.1

*

EC6 9 GC6 P2B 0 0.58 ; AJUSTADO DE 0.625

RC6 GC6 0 0.1

*

EC7 9 GC7 P2C 0 1.2 ; AJUSTADO DE 1.25

RC7 GC7 0 0.1

*

EC8 9 GC8 P2D 0 0.87 ; AJUSTADO DE 0.9375

RC8 GC8 0 0.1

*

EC9 9 GC9 P2E 0 0.84 ; AJUSTADO DE 0.9375

RC9 GC9 0 0.1

*

EC10 9 GC10 3F 0 0.30 ; AJUSTADO DE 0.3125 AJUSTADO DE 0.30

RC10 GC10 0 0.1

*

*

*INVERSOR MOS CONVENCIONAL

M5 11 8 1 1 MP1 W=12U L=1.6U

M6 11 8 0 0 MN1 W=4U L=1.6U

*

M7 12 11 1 1 MP1 W=12U L=1.6U

M8 12 11 0 0 MN1 W=4U L=1.6U

*

M9 13 12 1 1 MP1 W=12U L=1.6U

M10 13 12 0 0 MN1 W=4U L=1.6U

*

*LÍNEA BASE

*

*SOLO SE EXCITA LA ENTRADA (CX1+CX2+CX3+CX4) DE

*LA NEURONA CON LAS DEMÁS ENTRADAS

*CON EXCITACIÓN IGUAL A CERO.

*

*NEURON CIRCUIT

M3B 8B 9B 1 1 MP1 W=8U L=1.6U

M4B 8B 9B 0 0 MN1 W=4U L=1.6U

*

*LAS ENTRADAS A CX1, CX2, CX3 Y CX4 DE LA NEURONA

*SON LAS MISMAS ENTRADAS X1, X2, X3 Y X4 DEL

*INVERSOR DE PRECARGA.

*C5, C6, C7, C8 Y C9 TOMAN LAS SALIDAS DE LOS INVERSORES

*PROGRAMABLES DE VA, VB, VC, VD Y VE Y C10 DEL INVERSOR

*DE PRECARGA.

EX1B 9B GX11B XVP 0 0.31 ; AJUSTADO DE 0.3125

RX1B GX11B 0 0.1

*

EX2B 9B GX22B XVP2 0 0.625

RX2B GX22B 0 0.1

*

EX3B 9B GX33B XVP3 0 1.25

RX3B GX33B 0 0.1

*

EX4B 9B GX44B XVP4 0 2.5

RX4B GX44B 0 0.1

*

EC5B 9B GC5B VIAB 0 0.9 ; AJUSTADO DE 0.9375

RC5B GC5B 0 0.1

*

EC6B 9B GC6B VIBB 0 0.58 ; AJUSTADO DE 0.625

RC6B GC6B 0 0.1

*

EC7B 9B GC7B VICB 0 1.2 ; AJUSTADO DE 1.25

RC7B GC7B 0 0.1

*

EC8B 9B GC8B VIDB 0 0.87 ; AJUSTADO DE 0.9375

RC8B GC8B 0 0.1

*

EC9B 9B GC9B VIEB 0 0.84 ; AJUSTADO DE 0.9375

RC9B GC9B 0 0.1

*

EC10B 9B GC10B 3FB 0 0.30; ; AJUSTADO DE 0.3125

RC10B GC10B 0 0.1

*

*FUENTES DE LA LÍNEA BASE. TODAS A CERO VOLTS.

*	EGX1A 2INVA GX1A XVP 0 0.111
VIAB VIAB 0 0V	RGX1A GX1A 0 0.1
RVIAB VIAB 0 1T	EGX2A 2INVA GX2A XVP2 0 0.222
*	RGX2A GX2A 0 0.1
VIBB VIBB 0 0V	EGX3A 2INVA GX3A XVP3 0 0.444
RVIBB VIBB 0 1T	RGX3A GX3A 0 0.1
*	EGX4A 2INVA GX4A XVP4 0 0.888
VICB VICB 0 0V	RGX4A GX4A 0 0.1
RVICB VICB 0 1T	EGVA 2INVA GINVVA VA 0 1.666
*	RGINVVA GINVVA 0 0.1
VIDB VIDB 0 0V	*
RVIDB VIDB 0 1T	MPB 3INVB 2INVB 1 1 MP1 W=12U L=1.6U
*	MNB 3INVB 2INVB 0 0 MN1 W=4U L=1.6U
VIEB VIEB 0 0V	MPB1 P1B 3INVB 1 1 MP1 W=12U L=1.6U
RVIEB VIEB 0 1T	MNB1 P1B 3INVB 0 0 MN1 W=4U L=1.6U
*	MPB2 P2B P1B 1 1 MP1 W=12U L=1.6U
VFB 3FB 0 0V	MNB2 P2B P1B 0 0 MN1 W=4U L=1.6U
RVFB 3FB 0 1T	VB VB 0 7.54V
*	RB VB 0 1T
*INVERSORES PROGRAMABLES PARA LAS CONMUTACIONES REQUERIDAS	EGX1B 2INVB GX1B XVP 0 0.111
*POR LA COMPUERTA XOR. CORRESPONDEN A VA, VB, VC, VD Y VE.	RGX1B GX1B 0 0.1
*	EGX2B 2INVB GX2B XVP2 0 0.222
MPA 3INVA 2INVA 1 1 MP1 W=12U L=1.6U	RGX2B GX2B 0 0.1
MNA 3INVA 2INVA 0 0 MN1 W=4U L=1.6U	EGX3B 2INVB GX3B XVP3 0 0.444
MPA1 P1A 3INVA 1 1 MP1 W=12U L=1.6U	RGX3B GX3B 0 0.1
MNA1 P1A 3INVA 0 0 MN1 W=4U L=1.6U	EGX4B 2INVB GX4B XVP4 0 0.888
MPA2 P2A P1A 1 1 MP1 W=12U L=1.6U	RGX4B GX4B 0 0.1
MNA2 P2A P1A 0 0 MN1 W=4U L=1.6U	EGVB 2INVB GINVVB VB 0 1.666
VA VA 0 7.54V	RGINVVB GINVVB 0 0.1
RA VA 0 1T	*
	MPC 3INVC 2INVC 1 1 MP1 W=12U L=1.6U

MNC 3INVC 2INVC 0 0 MN1 W=4U L=1.6U

MPC1 P1C 3INVC 1 1 MP1 W=12U L=1.6U

MNC1 P1C 3INVC 0 0 MN1 W=4U L=1.6U

MPC2 P2C P1C 1 1 MP1 W=12U L=1.6U

MNC2 P2C P1C 0 0 MN1 W=4U L=1.6U

VC VC 0 7.54V

RC VC 0 1T

EGX1C 2INVC GX1C XVP 0 0.111

RGX1C GX1C 0 0.1

EGX2C 2INVC GX2C XVP2 0 0.222

RGX2C GX2C 0 0.1

EGX3C 2INVC GX3C XVP3 0 0.444

RGX3C GX3C 0 0.1

EGX4C 2INVC GX4C XVP4 0 0.888

RGX4C GX4C 0 0.1

EGVC 2INVC GINVVC VC 0 1.666

RGINVVC GINVVC 0 0.1

*

MPD 3INVD 2INVD 1 1 MP1 W=12U L=1.6U

MND 3INVD 2INVD 0 0 MN1 W=4U L=1.6U

MPD1 P1D 3INVD 1 1 MP1 W=12U L=1.6U

MND1 P1D 3INVD 0 0 MN1 W=4U L=1.6U

MPD2 P2D P1D 1 1 MP1 W=12U L=1.6U

MND2 P2D P1D 0 0 MN1 W=4U L=1.6U

VD VD 0 7.54V

RD VD 0 1T

EGX1D 2INVD GX1D XVP 0 0.111

RGX1D GX1D 0 0.1

EGX2D 2INVD GX2D XVP2 0 0.222

RGX2D GX2D 0 0.1

EGX3D 2INVD GX3D XVP3 0 0.444

RGX3D GX3D 0 0.1

EGX4D 2INVD GX4D XVP4 0 0.888

RGX4D GX4D 0 0.1

EGVD 2INVD GINVVD VD 0 1.666

RGINVVD GINVVD 0 0.1

*

MPE 3INVE 2INVE 1 1 MP1 W=12U L=1.6U

MNE 3INVE 2INVE 0 0 MN1 W=4U L=1.6U

MPE1 P1E 3INVE 1 1 MP1 W=12U L=1.6U

MNE1 P1E 3INVE 0 0 MN1 W=4U L=1.6U

MPE2 P2E P1E 1 1 MP1 W=12U L=1.6U

MNE2 P2E P1E 0 0 MN1 W=4U L=1.6U

VE VE 0 7.54V

RE VE 0 1T

EGX1E 2INVE GX1E XVP 0 0.111

RGX1E GX1E 0 0.1

EGX2E 2INVE GX2E XVP2 0 0.222

RGX2E GX2E 0 0.1

EGX3E 2INVE GX3E XVP3 0 0.444

RGX3E GX3E 0 0.1

EGX4E 2INVE GX4E XVP4 0 0.888

RGX4E GX4E 0 0.1

EGVE 2INVE GINVVE VE 0 1.666

RGINVVE GINVVE 0 0.1

*

.LIB LEVEL7A.LIB

.TRAN OUS 80US

.PROBE

.END

Anexo B.

Parámetros eléctricos de Mosis.org:

MOSIS WAFER ACCEPTANCE TESTS

RUN: T5BO

VENDOR: AMIS

TECHNOLOGY: SCN15

FEATURE SIZE: 1.6 MICRONS

RUN TYPE: SKD

INTRODUCTION: THIS REPORT CONTAINS THE LOT AVERAGE RESULTS OBTAINED BY MOSIS

FROM MEASUREMENTS OF MOSIS TEST STRUCTURES ON EACH WAFER OF

THIS FABRICATION LOT. SPICE PARAMETERS OBTAINED FROM SIMILAR

MEASUREMENTS ON A SELECTED WAFER ARE ALSO ATTACHED.

COMMENTS: SCNA16_AMIS

TRANSISTOR PARAMETERS W/L N-CHANNEL P-CHANNEL UNITS

MINIMUM 4.0/1.6

VTH 0.56 -0.98 VOLTS

SHORT 20.0/1.6

IDSS 192 -76 UA/UM

VTH 0.54 -0.94 VOLTS

VPT 10.0 -10.0 VOLTS

WIDE 20.0/1.6

IDS0 < 2.5 < 2.5 PA/UM

LARGE 50/50

VTH 0.58 -0.90 VOLTS

VJBKD 16.3 -14.6 VOLTS

IJLK <50.0 <50.0 PA
 GAMMA 0.62 0.48 V^0.5
 K' (UO*COX/2) 35.3 -11.4 UA/V^2
 LOW-FIELD MOBILITY 648.13 209.31 CM^2/V*S

COMMENTS: POLY BIAS VARIES WITH DESIGN TECHNOLOGY. TO ACCOUNT FOR MASK

BIAS USE THE APPROPRIATE VALUE FOR THE PARAMETER XL IN YOUR

SPICE MODEL CARD.

DESIGN TECHNOLOGY	XL (UM)
-----	-----
SCN (LAMBDA=0.8)	0.00

POLY2 TRANSISTORS W/L N-CHANNEL P-CHANNEL UNITS

MINIMUM 4.8/3.2
 VTH 0.88 -1.08 VOLTS

SHORT 9.6/3.2
 VTH 0.87 -1.04 VOLTS

LARGE 28.8/28.
 VTH 0.87 -1.03 VOLTS

K' (UO*COX/2) 21.3 -6.8 UA/V^2

FOX TRANSISTORS GATE N+ACTIVE P+ACTIVE UNITS

VTH POLY >15.0 <-15.0 VOLTS

PROCESS PARAMETERS N_W UNITS

SHEET RESISTANCE 1598 OHMS/SQ

CONTACT RESISTANCE OHMS

CAPACITANCE PARAMETERS N+ P+ POLY POLY2 M1 M2 N_W UNITS

AREA (SUBSTRATE) 284 302 39 38 25 15 117 AF/UM^2

AREA (N+ACTIVE) 1089 719 50 25 AF/UM^2

AREA (P+ACTIVE) 1073 711 AF/UM^2

AREA (POLY) 586 45 22 AF/UM^2

AREA (POLY2) 46 22 AF/UM^2

AREA (METAL1) 37 AF/UM^2

FRINGE (SUBSTRATE) 92 167 32 AF/UM

FRINGE (POLY) 62 44 AF/UM

FRINGE (METAL1) 56 AF/UM

OVERLAP (N+ACTIVE) 170 AF/UM

OVERLAP (P+ACTIVE) 205 AF/UM

CIRCUIT PARAMETERS UNITS

INVERTERS K

VINV 1.0 1.77 VOLTS

VINV 1.5 2.07 VOLTS

VOL (100 UA) 2.0 0.40 VOLTS

VOH (100 UA) 2.0 4.37 VOLTS

VINV 2.0 2.28 VOLTS

GAIN 2.0 -13.12

RING OSCILLATOR FREQ.

DIV64 (31-STG,5.0V) 42.78 MHZ

RING OSCILLATOR POWER

DIV64 (31-STG,5.0V) 1.52 UW/MHZ/GATE

T5BO SPICE LEVEL3 PARAMETERS ARE AVAILABLE FOR CLASSROOM INSTRUCTIONAL PURPOSES BUT NOT FOR ACTUAL IC DESIGN WORK.

*

* DATE: JAN 24/06

* LOT: T5BO WAF: 1102

* DIE: 1 DEV: 20.00/20.0

* TEMP= 27

.MODEL CMOSN NMOS (LEVEL = 3

+ TOX = 3.17E-8 NSUB = 4.13282E15 GAMMA = 0.6896013

+ PHI = 0.6310162 VTO = 0.5947354 DELTA = 0.8688196

+ UO = 538.1362857 ETA = 1.037748E-3 THETA = 0.0710834

+ KP = 7.280371E-5 VMAX = 3.162967E5 KAPPA = 1.5

+ RSH = 26.8273403 NFS = 4.346942E11 TPG = 1

+ XJ = 3E-7 LD = 9.758924E-15 WD = 6.659678E-7

+ CGDO = 1.7E-10 CGSO = 1.7E-10 CGBO = 1E-10

+ CJ = 2.843628E-4 PB = 0.8327313 MJ = 0.5

+ CJSW = 1.293822E-10 MJSW = 0.0501583)

*

*

* DATE: JAN 24/06

* LOT: T5BO WAF: 1102

* DIE: P_AREA_FRING DEV: P3740/10

* TEMP= 27

.MODEL CMOSP PMOS (LEVEL = 3

+ TOX = 3.17E-8 NSUB = 9.814641E16 GAMMA = 0.499446

+ PHI = 0.7 VTO = -0.9337547 DELTA = 0.3171268

+ UO = 175.0172737 ETA = 5.885511E-5 THETA = 0.1287523

+ KP = 2.483103E-5 VMAX = 5.229251E5 KAPPA = 150

+ RSH = 37.5730082 NFS = 5.66143E11 TPG = -1

+ XJ = 2E-7 LD = 1.00699E-14 WD = 1E-6

+ CGDO = 2.05E-10 CGSO = 2.05E-10 CGBO = 1E-10

+ CJ = 3.014016E-4 PB = 0.8 MJ = 0.4440759

+ CJSW = 1.597408E-10 MJSW = 0.0947527)

*

T5BO SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3F5 LEVEL 8, STAR-HSPICE LEVEL 49, UTMOST LEVEL 8

* DATE: JAN 24/06

* LOT: T5BO WAF: 1102

* TEMPERATURE_PARAMETERS=DEFAULT

.MODEL CMOSN NMOS (LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 3.17E-8
+XJ = 3E-7 NCH = 7.5E16 VTH0 = 0.5154122
+K1 = 0.9388127 K2 = -0.0752301 K3 = 7.1458967
+K3B = -2.4217616 W0 = 1.979517E-6 NLX = 1E-8
+DVTOW = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0.9251414 DVT1 = 0.4071829 DVT2 = -0.3660082
+U0 = 629.4745546 UA = 6.01168E-10 UB = 3.605202E-18
+UC = 1.253282E-11 VSAT = 1.050061E5 A0 = 0.6296696
+AGS = 0.1122949 B0 = 2.162152E-6 B1 = 5E-6
+KETA = -3.985225E-3 A1 = 0 A2 = 1
+RDSW = 3E3 PRWG = -0.0290461 PRWB = -0.0299166
+WR = 1 WINT = 6.976172E-7 LINT = 2.914439E-7
+XL = 0 XW = 0 DWG = -6.010432E-9
+DWB = 3.691496E-8 VOFF = -0.012084 NFACTOR = 0.6268038
+CIT = 0 CDSC = 2.975896E-6 CDSCD = 6.212443E-6
+CDSCB = 5.533261E-5 ETA0 = 0.4845262 ETAB = 0.6517978
+DSUB = 1 PCLM = 1.9588332 PDIBLC1 = 0.0110461
+PDIBLC2 = 3.644817E-3 PDIBLCB = -0.0219592 DROUT = 0.0795384
+PSCBE1 = 2.153596E9 PSCBE2 = 5.005E-10 PVAG = 0.2222499
+DELTA = 0.01 RSH = 52.8 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0

+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 1.7E-10 CGSO = 1.7E-10 CGBO = 1E-9
+CJ = 2.798412E-4 PB = 0.9829734 MJ = 0.5403737
+CJSW = 1.386237E-10 PBSW = 0.99 MJSW = 0.1
+CJSWG = 6.4E-11 PBSWG = 0.99 MJSWG = 0.1
+CF = 0)
*
.MODEL CMOS PMOS (LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 3.17E-8
+XJ = 3E-7 NCH = 2.4E16 VTH0 = -0.8476404
+K1 = 0.4513608 K2 = 2.379699E-5 K3 = 13.3278347
+K3B = -2.2238332 W0 = 9.577236E-7 NLX = 1E-6
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 1.330244 DVT1 = 0.3295049 DVT2 = -0.0339406
+U0 = 236.8923827 UA = 3.833306E-9 UB = 1.487688E-21
+UC = -1.08562E-10 VSAT = 1.429881E5 A0 = 0.2467704
+AGS = 0.6351457 B0 = 6.992187E-6 B1 = 5E-6
+KETA = 0.037552 A1 = 0 A2 = 0.364
+RDSW = 2.580107E3 PRWG = 0.0618047 PRWB = -0.1925044
+WR = 1 WINT = 7.565065E-7 LINT = 1.44105E-7
+XL = 0 XW = 0 DWG = -2.13917E-8
+DWB = 3.857544E-8 VOFF = -0.0877184 NFACTOR = 0.2508342
+CIT = 0 CDSC = 2.924806E-5 CDSCD = 1.497572E-4
+CDSCB = 1.091488E-4 ETA0 = 0.21103 ETAB = -0.0100935
+DSUB = 0.2873 PCLM = 5.6533E-10 PDIBLC1 = 7.477411E-4
+PDIBLC2 = 3.271335E-3 PDIBLCB = -1E-3 DROUT = 1E-3
+PSCBE1 = 3.515038E9 PSCBE2 = 5.273648E-10 PVAG = 14.985
+DELTA = 0.01 RSH = 77.1 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11

+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 2.05E-10 CGSO = 2.05E-10 CGBO = 1E-9
+CJ = 3.018117E-4 PB = 0.8 MJ = 0.4427194
+CJSW = 1.615623E-10 PBSW = 0.8 MJSW = 0.1045892
+CJSWG = 3.9E-11 PBSWG = 0.8 MJSWG = 0.1045892
+CF = 0)
*