



**Centro de Investigación y de Estudios Avanzados
del Instituto Politécnico Nacional**
Unidad Zacatenco

Departamento de Ingeniería Eléctrica
Sección de Electrónica del Estado Sólido

**Sensor Inteligente de Imágenes en Tecnología CMOS,
con Aplicaciones en Robótica**

Tesis que presenta:

M. en C. Victor Hugo Ponce Ponce *

Para obtener el grado de:

Doctor en Ciencias

En la especialidad de:

Ingeniería Eléctrica

Directores de tesis:

Dr. Felipe Gómez Castañeda
Dr. José Antonio Moreno Cadenas

Ciudad de México

9 de diciembre del 2005

*Becario CONACYT

Dedicatorias

Este trabajo lo dedico a esa mujercita hermosa (9 años) que me dio toda la alegría, fuerza y motivaciones que requerí para emprender y concluir con éxito esta meta. Liliana, mi hijita, te quiero, tú bien sabes hasta donde...

Al C. P. Jerónimo Ponce Chávez y Sra. María de los Ángeles Ponce Rodríguez, de quienes no tengo otra imagen que el cariño y apoyo incondicional que siempre me han brindado. A ellos, va mi todo mi cariño y respeto, por ser los mejores padres del mundo.

A mis hermanos, a quienes quiero y aprecio: a la Dra. María de los Ángeles Ponce, a la Dra. Martha Lilia Ponce, al Dr. Juan Carlos Ponce y al M en C. Luis Enrique Ponce.

También a los señores: Gregorio Juárez Fuentes y Lilia Carrión Medina, quienes han procurado tanto cariño y dedicación a mi hija, su nieta, digno de reconocer.

Agradecimientos

A mis asesores de tesis:

Dr. Felipe Gómez Castañeda y Dr. José Antonio Moreno Cadenas, por su muy valiosa guía y enseñanza, brindada constantemente para realización de esta tesis. Les agradezco profundamente por su paciencia y por el tiempo que me dedicaron.

A mis revisores y sinodales:

Aprecio de verdad el trabajo de: Dr. Alfredo Reyes Barranca (CINVESTAV-SEES), Dr. Ernesto Suaste Gómez (CINVESTAV-Bioelectrónica), Dr. Arturo Minor Martínez (CINVESTAV-Bioelectrónica), Dr. Juan Carlos Sánchez García (SEPI-ESIME-C), por el tiempo dedicado, y por sus valiosos comentarios y sugerencias.

A mis compañeros del CINVESTAV.

Al M. en C. Ezequiel Molinar Solís, por las discusiones e intercambio de ideas alrededor nuestras tesis, al M. en C. Luis Martín Flores Nava, por su entusiasmo y apoyo brindado durante el trabajo de medición.

Al Ing. Emilio Espinosa García, al Dr. Oliverio Arellano Cárdenas, a mis compañeros de generación: Dr. Fernando Hernández Rosales, M. en C. Yesenia González Navarro, M. en C. Noé Oliva Moreno, al Dr. Herón Molina Lozano, al Dr. Juan Jesús Ocampo Hidalgo, al M. en C. Jesús de la Cruz Alejo, claro, sin dejar de mencionar a todos aquellos que contribuyeron de una manera u otra, para la realización de este trabajo. A ellos, mi más sincero agradecimiento.

Agradezco al Consejo Nacional de Ciencia y Tecnología (CONACYT) por la beca otorgada para la realización de éste trabajo.

Agradezco al Instituto Politécnico Nacional (IPN), por la beca COTEPABE otorgada para la realización de este trabajo.

Agradezco a la Asociación Nacional de Universidades e Instituciones de Educación Superior de México (ANUIES), por el apoyo brindado mediante la beca SUPERA.

Agradezco al CINVESTAV, mi segunda Alma Máter.

Índice

Lista de Abreviaciones	1
Lista de Símbolos	2
Lista de Figuras	5
Lista de Tablas	8
Abstract	9
Resumen	10
Introducción General	11
Objetivos	13
Metas Cuantificables	14
Organización de la Tesis	14
Capítulo 1	15
Transistor MOSFET de Compuerta Flotante	
1.0 Contenido del Capítulo 1	16
1.1 Introducción	17
1.2 El Transistor MOSFET de Compuerta Flotante	18
1.3 Circuito Capacitivo Equivalente para la Compuerta Flotante	19
1.4 Balance de Carga en la Compuerta Flotante	20
1.5 Potencial de Compuerta Flotante en un TMCF	21
1.6 Macromodelo para el Potencial de Compuerta Flotante en un TMFC	21
1.7 Ecuación de Corriente y Transconductancia en un TMCF	23
1.8 Carga Parásita Almacenada en la CF	26
1.9 Acceso a la CF Mediante un Interruptor Ideal	28
1.10 Balance de Cargas en la CF con Interruptor Ideal de Acceso	29
1.11 Potencial en la CF para un TMCF con Interruptor Ideal de Acceso	30
1.12 Macromodelo para el Potencial de CF de un TMCF con Interruptor Ideal de acceso	33
1.13 Acceso a la CF Mediante un Interruptor Real	35
1.14 Potencial de Compuerta Flotante en un TMCF con Interruptor real de Acceso	36
1.15 Mediciones de las Celdas de Prueba No. 1 y 2, del CI No.1	39
1.15.1 Metodología de Extracción del Parámetro γ_{IN}	39
1.15.2 Resultados Experimentales	41
1.16 Conclusiones del Capítulo 1	47

Capítulo 2	49
Detección de Imagen en CMOS	
2.0 Contenido del Capítulo 2	50
2.1 Introducción del Capítulo 2	51
2.2 Fotocompuerta	53
2.3 Modelo para la Corriente Fotogenerada en una Fotocompuerta	54
2.4 Píxel Activo de Tipo Fotocompuerta	55
2.5 Macromodelo para PSpice de un Píxel de Tipo Fotocompuerta	58
2.6 Ruido en los Píxeles de Tipo Fotocompuerta	59
2.6.1 Ruido Térmico	60
2.6.2 Ruido Shot	63
2.6.3 Ruido Flicker (1/f)	64
2.6.4 Ruido de Patrón	64
2.7 Conclusiones del Capítulo 2	66
Capítulo 3	67
Desarrollo del Sensor de Imágenes	
3.0 Contenido del Capítulo 3	68
3.1 Introducción del Capítulo 3	69
3.2 Umbralización de Imagen	69
3.3 Histogramas	70
3.4 Centro de Masa	71
3.5 Arquitectura del Sensor de Imágenes CMOS	72
3.5.1 Matriz de Píxeles	73
3.5.2 Estructura del Píxel Binario de Tipo Fotocompuerta	74
3.5.3 Operación del Píxel Binario de Tipo Fotocompuerta	78
3.5.4 Generación de Histogramas	80
3.5.5 Circuito Multiplicador de Componentes de Histograma	85
3.5.6 Circuito Seguidor de Voltaje con Capacidad de Manejo de Carga Resistiva	93
3.6 Diseño del SICMOS	94
3.7 Conclusiones del Capítulo 3	96
Capítulo 4	97
Mediciones	
4.0 Contenido del Capítulo 4	98
4.1 Introducción del Capítulo 4	99
4.2 Pruebas Realizadas al Píxel de Tipo Fotocompuerta	99

4.2.1	Mediciones de la Respuesta Espectral del Píxel de Tipo Fotocompuerta	100
4.2.2	Simulación y Medición de la Fotocompuerta Analógica (Celda No.1)	103
4.2.3	Mediciones a la Fotocompuerta Analógica (Celda No. 2)	107
4.2.4	Mediciones del Píxel Binario de tipo Fotocompuerta (Celda No. 3)	108
4.2.5	Proyección de Patrones de Prueba y Medición del Centro de Masa	111
4.3	Conclusiones del Capítulo 4	123
	Conclusiones Generales	124
	Productos obtenidos	127
	Trabajo Futuro	128
	Bibliografía	130
	Anexo No. 1	137
	Anexo No. 2	141
	Anexo No. 3	145
	Anexo No. 4	147
	Anexo No. 5	153

Lista de Abreviaciones

3GDL	Tres grados de libertad
ABM	Modelado analógico a nivel comportamiento
AC	Corriente alterna
APS	Sensores de píxel activos
CCD	Dispositivos de carga acoplada
CF	Compuerta flotante
CI	Circuito integrado
CMOS	Tecnología MOS de transistores complementarios
COM	Cómputo del centro de masa
DC	Corriente directa
DTX	Difusión flotante n+/p parásita asociada al transistor TX
E	Fuente de voltaje independiente
EEPROM	Memoria de acceso aleatorio eléctricamente programable y borrable
EPROM	Memoria de acceso aleatorio programable y borrable.
FD	Diodo de lectura o unión n+/p flotante de conversión carga a voltaje
FGSF	TMCF de 18 entradas, canal N, configurado en modo de seguidor fuente
FPN	Ruido de patrón fijo
GDL	Grados de libertad.
InvCMOS_CF2E	Inversor CMOS de compuerta flotante de dos entradas con interruptor de acceso a la CF
MDI	Matriz de detección de imagen.
MOS	Metal-oxide-semiconductor
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor
NEB	Acho de banda de operación de un circuito
neuMOS	(<i>Neural MOSFET</i>)
NMOS	Transistor MOS Canal N
PMOS	Transistor MOS Canal P
POLY1	Primer nivel de polisilicio
POLY2	Segundo nivel de polisilicio
PRNU	Ruido por fotorespuesta no uniforme
PSpice	Programa de simulación con énfasis en circuitos integrados
RNA	Red neuronal artificial
SICMOS	Sensor de imágenes CMOS
TMCF	Transistor MOSFET de compuerta flotante
VCVS	Fuente de voltaje dependiente de voltaje
VLSI	Integración a muy alta escala

Lista de Símbolos

$\langle I_{1/f} \rangle$	Ruido "flicker"
$\langle V_{th} \rangle$	El ruido térmico
$\langle x^2 \rangle$	Representación del ruido mediante la variancia
A_{IN}	Amplitud de una señal periódica (1/2 del voltaje pico a pico)
A_{VE}	Ganancia en voltaje a pequeña señal, durante el modo de operación de evaluación de un inversor CMOS de CF
AV_{FGSF}	Ganancia en voltaje a pequeña señal del FGSF
A_{VR}	Ganancia en voltaje a pequeña señal, durante el modo de operación de reset de un inversor CMOS de CF
c	Velocidad de la luz en el vacío
$C_1\phi_1$	Capacitancia de muestreo fase 1
$C_2\phi_1$	Capacitancia de muestreo fase 2
$C_2\phi_2$	Capacitancia de muestreo fase 3
C_{DEPN}	Capacitancia de la región de agotamiento entre el canal y el sustrato del MOSFET canal N
C_{DEPP}	Capacitancia de la región de agotamiento entre el canal y el sustrato del MOSFET canal P
C_{FBN}	Capacitancia parásita de traslape entre la CF y el sustrato del MOSFET canal N
C_{FBP}	Capacitancia parásita de traslape entre la CF y el sustrato del MOSFET canal P
C_{FDN}	Capacitancia parásita de traslape entre la CF y el drenador del MOSFET canal N
C_{FDP}	Capacitancia parásita de traslape entre la CF y el drenador del MOSFET canal P
C_{FSN}	Capacitancia parásita de traslape entre la CF y la fuente del MOSFET canal N
C_{FSP}	Capacitancia parásita de traslape entre la CF y la fuente del MOSFET canal P
C_i	i-ésimo capacitor de control de entrada en un TMCF
C_{outj}	Capacitancia de acoplamiento instalada a la salida de un píxel, en el j-ésimo renglón de cualquier columna de la MDI
C_{ox}	Capacitancia por unidad de área debido al óxido delgado en un MOSFET canal N o P
C_{OXN}	Capacitancia de traslape entre la CF y el canal del MOSFET canal N
C_{OXP}	Capacitancia de traslape entre la CF y el canal del MOSFET canal P
C_{TOT}	Suma de todas las capacitancias acopladas con la CF
C_{vf}	Factor de conversión de carga a voltaje
CVS_i	Capacitores que almacenan la ponderación del componente de histograma
D_n	Coefficiente de difusión de los electrones en el silicio
ECF	$ECF=EDSN+EDSP+EOXBN+EOXBP+EPOL1+ECIN$ (macromodelo)
$ECIN$	Terminales de entrada, G_i , " $i=1, 2, \dots, n$," siendo n = número de entradas
$ECTOT$	$ECTOT=VCT1+VCT2+VCT3+VCT4+VCT5+VCT6$ (macromodelo)
$EDSN$	Potencial inducido en la CF debido a los potenciales presentes en las terminales de: fuente, drenador y sustrato del MOSFET-N.
$EDSP$	Potencial inducido en la CF debido a los potenciales presentes en las terminales de: fuente, drenador y sustrato del MOSFET-P.
E_g	Ancho, en términos de energía, de la banda prohibida del semiconductor
$EOXBN$	Potencial inducido en la CF debido al potencial presente en: el canal del MOSFET-N.
$EOXBP$	Potencial inducido en la CF debido al potencial presente en: el canal del MOSFET-P.
$EPOL1$	Potencial inducido en la CF debido al potencial presente en el sustrato fuera del área activa.
$ErrI_{DN(DD)i}$	Término del error cuadrático, asociado al modelo de corriente en la región lineal.
G	Velocidad de generación de portadores en unidad de volumen
g_d	Conductancia de salida de un transistor MOSFET convencional
G_i	i-ésima compuerta de entrada de un TMCF (compuerta de control)
g_m	Transconductancia de un transistor MOSFET convencional
G_{pix}	Ganancia dinámica en tensión del seguidor fuente dentro de un píxel fotocompuerta
g_s^d	Conductancia de un TMCF en saturación
g_{dFGSF}^s	Conductancia del transistor FGSF de 18 entradas en saturación

g_m^s	Transconductancia de salida de un TMCF
g_{mFGSF}^s	Transconductancia del transistor FGSF de 18 entradas en la región de saturación
h	Constante de Planck
I	Puerto de entrada asociado al macromodelo para la fotocompuerta (sumidero de corriente)
I_{DS}^0	Corriente de drenador en la región óhmica de un TMCF
I_D	Corriente de drenador en un MOSFET
I_{diff}	Fuente de corriente pulsante (macromodelo) para extracción de carga del nodo FD
I_{DS}^s	Corriente de drenador en la región de saturación de un TMCF
J_{diff}	Densidad de corriente fotogenerada
J_{osc}	Densidad de corriente de oscuridad en un píxel de tipo fotocompuerta
k	Factor de ganancia del amplificador de transconductancia
L	Longitud efectiva del canal
L_n	Longitud de difusión de los electrones en el silicio
M_i	Número de píxeles en estado encendido en una columna de la MDI
m_{VSF}	Pendiente de la señal de salida del FGSF
n	Cantidad de portadores generados en unidad de volumen (electrones)
Ne	Número de electrones fotónicos, acumulados en el pozo de potencial asociado a la fotocompuerta
n_{fot}	Número de fotones incidentes durante el periodo de integración de fotocargas
$N_{sat}(C_{FD})$	Cantidad de fotocargas que saturan el pozo de potencial del diodo de lectura
$N_{sat}(FC)$	Cantidad de fotocargas que saturan el pozo de potencial de la fotocompuerta
p	Cantidad de portadores generados en unidad de volumen (huecos)
P_{inc}	Potencia luminosa incidente.
Q_{CF}	Carga almacenada en la CF durante el modo de operación de reset
$Q_{CF}(0)$	Carga residual en la CF
R	Coefficiente de reflexión en la superficie del material de compuerta
$RESF$	Señal que permite la eliminación de cargas en las CF del SICMOS
$RESP$	Señal que permite el reset del píxel
R_{FUGA}	Aproximación de la resistencia parásita de fuga, presente en esta unión n ⁺ /p.
R_o	Resistencia de salida del circuito generador de componentes de histograma
$SIDE$	Corriente que lleva la suma ponderada de los componentes de histograma del denominador de la fórmula del COM
$SINU$	Corriente que lleva la suma ponderada de los componentes de histograma del numerador de la fórmula del COM
$SR1$	Señal de que habilita la descarga de los FGSF
STX	Señal de que habilita el transvase de carga, aplicada al macromodelo de la fotocompuerta
SUB	Puerto de entrada asociado al macromodelo para la fotocompuerta (tierra)
T_{comp}	Espesor del material de compuerta
TX	Señal que habilita en el transvase de carga en el píxel
V_{BN}	Potencial presente en el sustrato MOSFET canal N
V_{BP}	Potencial presente en el sustrato MOSFET canal P
VC_{18}	Voltaje aplicado al capacitor No. 18 del FGSF como nivel de polarización.
V_{CF}	Potencial de CF
$VCT1$	Modela capacitores de entrada, C_i , $i=1, 2, \dots, n$, siendo n = número de entradas.
$VCT2$	Modela capacitancia entre la CF y el óxido de canal (COX) MOSFET-N
$VCT3$	Modela capacitancia entre la CF y el óxido de canal (COX) MOSFET-P
$VCT4$	Modela capacitancia del traslape entre la CF y el sustrato o pozo, a lo largo del canal, para ambos: MOSFET-N y MOSFET-P
$VCT5$	Modela capacitancia del traslape entre la CF con la fuente y el drenador para ambos: MOSFET-P y MOSFET-N
$VCT6$	Modela capacitancia del traslape entre POLY1 (CF) y el sustrato fuera del área activa.
V_{DLI}	Voltaje de ponderación para el transistor que realiza la multiplicación de los componentes de histograma del denominador

V_{DLi}	Voltaje de ponderación para el transistor que realiza la multiplicación de los componentes de histograma del numerador
V_{DN}	Potencial presente en el drenador, MOSFET canal N
V_{DP}	Potencial presente en el drenador, MOSFET canal P
V_{FD}	Potencial en el diodo de lectura o potencial del nodo flotante FD
V_G	Señal que permite la integración de fotocargas en el píxel
V_g	Voltaje aplicado a la terminal de compuerta
V_i	i-ésimo voltaje aplicado a un TMCF
V_{IN}	Voltaje acoplado a la entrada de un Capacitor
V_{outj}	Señal de salida en modo de voltaje de un un píxel en la MDI
V_{PP}	Pulso de programación para tunelamiento FN
V_{RES}	Potencial eléctrico externo aplicado a una CF mediante un interruptor CMOS
$V_{SB,FGSF}$	Voltaje desarrollado entre la terminal de fuente y el sustrato del FGSF
V_{SFi}	Voltaje de salida en el circuito seguidor de voltaje de 18 entradas, señal de la magnitud del componente de histograma
V_{SN}	Potencial presente en la fuente, MOSFET canal N
V_{SP}	Potencial presente en la fuente, MOSFET canal P
V_{sp}	Umbral de transición de un inversor CMOS de CF de múltiples entradas
V_T	Voltaje de umbral de un transistor MOSFET
$V_{TCC,EFE}$	Voltaje de umbral efectivo de un TMCF
V_u	Potencial externo de ajuste para el umbral de transición del píxel de tipo fotocompuerta
W	Ancho efectivo del canal
x_d	Espesor de la zona de agotamiento en una fotocompuerta
x_i	Factor ponderante del circuito multiplicador de componentes de histograma
α	Coefficiente de absorción del silicio
δV_{FD}	Variación del potencial en el diodo de lectura
ϕ_I	Flujo de fotones incidentes sobre el material del sustrato, después de atravesar la compuerta y el óxido delgado
ϕ_1	Fase 1
ϕ_2	Fase 2
ϕ_3	Fase 3
ϕ_{FN}	Diferencia de potencial entre el nivel de Fermi y el centro de la banda prohibida, semiconductor tipo N
ϕ_{FP}	Diferencia de potencial entre el nivel de Fermi y el centro de la banda prohibida, semiconductor tipo P
ϕ_o	Flujo de fotones incidentes
ϕ_{SN}	Potencial en la superficie del canal, MOSFET canal N
ϕ_{SP}	Potencial en la superficie del canal, MOSFET canal P
γ_{IN}	Factor de ganancia de la CF o factor de acoplamiento capacitivo de entrada en un TMCF
γ_{par}	Factor de ganancia parásita de la CF, debido a la retroalimentación indeseada de la salida del inversor con la CF
η_{ext}	Eficiencia cuántica externa de un fotodetector
η_{int}	Eficiencia cuántica interna de un fotodetector
λ	Parámetro de modulación del canal de un MOSFET
λ_c	Longitud de onda de corte en un fotodetector
λ_{inc}	Longitud de onda de la luz incidente
μ_o	Movilidad superficial de los portadores minoritarios en el canal de los transistores MOSFET canal N o P
τ	Tiempo de vida de los portadores fotogenerados
τ_{CF}	Constante de tiempo asociado al nodo de la CF
τ_{int}	Tiempo de integración de la fotocompuerta
\mathcal{R}_{esp}	La sensibilidad del fotosensor
$\sqrt{\langle x^2 \rangle}$	Representación del ruido como una desviación estándar

Lista de Figuras

1.	Fig. 1.1. Diseño geométrico de un arreglo de TMCF, haciendo uso de un proceso CMOS con dos niveles de polisilicio.	18
2.	Fig. 1.2. Circuito capacitivo equivalente para la compuerta flotante operando sobre dos transistores MOSFET de compuerta flotante complementarios.	19
3.	Fig. 1.3. Macromodelo para PSpice de un arreglo de transistores MOSFET complementarios con compuerta flotante común.	23
4.	Fig. 1.4. Convención de los signos para un (a) Transistor MOSFET canal-N, y (b) Transistor MOSFET canal-P.	23
5.	Fig. 1.5. Convención de los signos para un (a) TMCF canal-N, y (b) TMCF canal-P.	25
6.	Fig. 1.6. Descarga o precarga de la CF mediante tunelamiento FN en un TMCF.	28
7.	Fig. 1.7. Circuito equivalente capacitivo para un TMCF con interruptor ideal para acceder a la CF.	28
8.	Fig. 1.8. Circuito equivalente capacitivo para la CF, de un inversor CMOS de compuerta flotante de dos entradas con interruptor de acceso a la CF.	31
9.	Fig. 1.9. Circuito para la implementación de la operación de resta ponderada, a nivel de la CF, con inversor CMOS como circuito asociado de salida.	32
10.	Fig. 1.10. Macromodelo general, propuesto para la simulación de un TMCF de múltiples entradas con acceso temporal a la CF.	34
11.	Fig. 1.11. Circuito capacitivo equivalente para un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF.	35
12.	Fig. 1.12. Circuito capacitivo equivalente simplificado para un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF, operando en el modo de evaluación.	35
13.	Fig. 1.13. (a) Circuito capacitivo equivalente simplificado para un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF, operando en el modo de evaluación; (b) Reducción de Thevenin y (c) Señal de prueba periódica aplicada a la entrada.	36
14.	Fig. 1.14. (a) Circuito equivalente utilizado para el análisis del potencial de compuerta flotante en función de los potenciales parásitos de DC, acoplados con la CF, en un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF, operando en el modo de evaluación.	37
15.	Fig. 1.15. Respuesta medida de la celda de prueba No. 1 (CI No. 1), para una señal de excitación de diente de sierra de $F=100\text{KHz}$, con amplitud pico a pico de 5V, y un offset de 2.5V, operando en el modo de (a) Reset y (b) Evaluación.	40
16.	Fig. 1.16. Configuración de las celdas de prueba para la caracterización del parámetro γ_{IN} y γ_{par} .	43
17.	Fig. 1.17. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de tres entradas, sin interruptor de acceso a la CF.	44
18.	Fig. 1.18. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de tres entradas, con interruptor de acceso a la CF.	44
19.	Fig. 1.19. Medición con barrido de 100KHz, aplicado a las tres entradas de un inversor CMOS de compuerta flotante de tres entradas, con interruptor de acceso a la CF.	44
20.	Fig. 1.20. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de seis entradas, sin interruptor de acceso a la CF.	45
21.	Fig. 1.21. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de seis entradas, con interruptor de acceso a la CF.	45
22.	Fig. 2.1. Mecanismo de fotogeneración de pares electrón-hueco.	51
23.	Fig. 2.2. Esquema ideal de un trozo de semiconductor sobre el cual incide un haz de luz con energía $h\nu$, y por el cual circula una foto-corriente I_{for} .	51
24.	Fig. 2.3. Corte transversal de una estructura de detección de luz de tipo fotocompuerta.	53
25.	Fig. 2.4. Corte transversal de un píxel activo de tipo fotocompuerta (APS).	55
26.	Fig. 2.5. Operación de la fotocompuerta durante el periodo de integración.	57
27.	Fig. 2.6. Operación de la fotocompuerta durante el periodo de reset.	57
28.	Fig. 2.7. Operación de la fotocompuerta durante el periodo de transvase de fotocargas.	57
29.	Fig. 2.8. Circuito eléctrico equivalente del píxel de tipo fotocompuerta, utilizado para simulación en PSpice.	58
30.	Fig. 2.9. Esquema que ejemplifica la proporción de señal a ruido en un sensor de imagen.	60
31.	Fig. 2.10. Circuito eléctrico equivalente para modelar el ruido térmico.	61

32.	Fig. 2.11. Ruido equivalente en el ancho de banda de operación de un sistema.	61
33.	Fig. 2.12. Filtro pasabajos RC	61
34.	Fig. 2.13. Circuito eléctrico equivalente para la precarga de la capacitancia asociada a la difusión flotante $n+/p$, donde se realiza la conversión de carga a voltaje en el píxel de tipo fotocompuerta.	62
35.	Fig. 2.14. (a) Circuito RC equivalente para la precarga de la capacitancia asociada a la difusión flotante $n+/p$, (b) Circuito equivalente, correspondiente en AC.	62
36.	Fig. 2.15. Conjunto de fuentes de ruido existentes en un sistema de captura de imagen CMOS.	65
37.	Fig. 3.1. (a) Imagen en escala de grises original, (b) Histograma o distribución de tonos de gris de la imagen original, y (c) La imagen binaria resultante, tomando como nivel de umbral, el valor de 110 en una escala de 256 niveles de gris.	70
38.	Fig. 3.2. Proyección de los histogramas en los ejes coordenados X y Y, de una esfera colocada en el extremo del eslabón final de un robot de 3GDL, representando la estructura del efector final. Se asume que la esfera es de color negro y el resto de la estructura del robot, que cae dentro del campo visual de la cámara, está pintada de un color distinto a la esfera.	71
39.	Fig. 3.3. Secuencia de pasos para el cómputo del centro de masa en tiempo real, de una esfera ubicada en el efector final de un robot de 3GDL.	72
40.	Fig. 3.4. Arquitectura global del sensor de imágenes CMOS para el cómputo del centro de masa.	73
41.	Fig. 3.5. a) Microfotografía de un segmento de (3×3) píxeles de la MDI, y (b) Sistema de coordenadas y dimensiones físicas de la MDI completa (17×18) .	73
42.	Fig. 3.6. Diagrama esquemático del píxel fotocompuerta binario.	74
43.	Fig. 3.7. Señales utilizadas para la operación del píxel fotocompuerta binario.	74
44.	Fig. 3.8. Diseño topológico del píxel binario de tipo fotocompuerta.	76
45.	Fig. 3.9. Microfotografía del píxel binario de tipo fotocompuerta.	76
46.	Fig. 3.10. V_U , señal para el ajuste del umbral intrínseco del inversor de dos entradas de compuerta flotante CMOS, utilizado en los píxeles binarios.	77
47.	Fig. 3.11. Análisis de DC para el píxel fotocompuerta, barriendo a V_U , desde 2.5V hasta 3.7V.	77
48.	Fig. 3.12. Secuencia de operaciones del píxel binario de tipo fotocompuerta (a) Integración, (b) Reset, y (c) Transferencia de carga con lectura.	79
49.	Fig. 3.13. Secuencia de patrones de prueba aplicados en la i -ésima columna de píxeles, de la MDI, y gráfica del voltaje resultante en la terminal de fuente del FGFSF.	80
50.	Fig. 3.14. Diagrama esquemático completo del circuito generador de componentes de histograma.	81
51.	Fig. 3.15. Simulación en PSpice del potencial de compuerta flotante V_{CF} , del circuito generador de histogramas, respondiendo ante una secuencia de patrones de sombra proyectados.	82
52.	Fig. 3.16. Modelo a pequeña señal para el circuito de la Fig. 3.14.	83
53.	Fig. 3.17. Simulación en PSpice del potencial de compuerta flotante V_{CF} , del circuito generador de componentes de histogramas, junto con la curva de respuesta medida en la terminal de fuente, V_{SF} , del FGFSF.	83
54.	Fig. 3.18. Tres secuencias de patrones de prueba, utilizados para medir δV_{SF} en el circuito generador de componentes de histograma.	84
55.	Fig. 3.19. Arquitectura del circuito multiplicador de componentes de histograma.	86
56.	Fig. 3.20. Circuito externo de soporte del SICMOS.	89
57.	Fig. 3.21. Diagrama esquemático detallado del circuito multiplicador de componentes de histograma, para la columna $i=1$.	90
58.	Fig. 3.22. Diagrama esquemático detallado del circuito multiplicador de componentes de histograma, para las columnas: $i=2,3,\dots,18$.	91
59.	Fig. 3.23. (a) Diseño topológico del circuito generador de componentes de histograma, (b) Microfotografía correspondiente (columnas $i=2,3,\dots,18$)	92
60.	Fig. 3.24. Diagrama esquemático del circuito seguidor de voltaje con capacidad de manejo de cargas resistivas, utilizado para suministrar los voltajes de drenador de los transistores MN y MD.	93
61.	Fig. 3.25. Circuito equivalente a pequeña señal del seguidor de voltaje de la Fig. 3.24.	93
62.	Fig. 3.26. Microfotografía del SICMOS, CI No. 3.	94

63.	Fig. 3.27. Ubicación de los principales bloques funcionales del SICMOS, (a) Bloque para la realización de la resta en modo de carga, (b) Diseño geométrico realizado mediante el Programa L-Edit de Tanner Research, (c) Pixel binario de tipo fotoc compuerta y (d) Circuito multiplicador de componentes de histograma (18 celdas repetidas).	95
64.	Fig. 4.1. Diagrama a bloques del montaje realizado para la medición de la respuesta espectral de las celdas de prueba de la estructura de tipo fotoc compuerta.	99
65.	Fig. 4.2. Montaje físico implementado en el cuarto oscuro, para determinar la respuesta espectral de la fotoc compuerta con salida analógica	100
66.	Fig. 4.3. Pixel de tipo fotoc compuerta analógico, utilizado para medir la respuesta espectral. (Celda de prueba No. 1, incluida en el CI No.3).	100
67.	Fig. 4.4. Variación en el potencial de salida del pixel fotoc compuerta	101
68.	Fig. 4.5. Blindaje óptico del pixel de tipo fotoc compuerta analógico	102
69.	Fig. 4.6. Respuesta medida del pixel de tipo fotoc compuerta analógico, en condiciones de oscuridad total ($P_{inc} = 0 \text{ mW/cm}^2$).	103
70.	Fig. 4.7. Respuesta medida del pixel de tipo fotoc compuerta analógico aplicando una fuente luminosa de $P_{inc} = 0.1 \text{ mW/cm}^2$ y $\lambda_{inc} = 650 \text{ nm}$. Se obtuvo: $\delta V_{out} = 1.91 \text{ V}$	103
71.	Fig. 4.8. Simulación en PSpice del pixel de tipo fotoc compuerta analógico en condiciones de oscuridad total ($P_{inc} = 0 \text{ mW/cm}^2$).	104
72.	Fig. 4.9. Simulación en PSpice del pixel de tipo fotoc compuerta analógico, aplicando una fuente luminosa de $P_{inc} = 0.1 \text{ mW/cm}^2$ y $\lambda_{inc} = 650 \text{ nm}$. Se obtuvo: $\delta V_{out} = 2.5 \text{ V}$	104
73.	Fig. 4.10. Efecto espurio que afecta el potencial del nodo flotante V_{FD} , ocurrido durante el flanco de bajada de la señal de control del pixel: RESP.	105
74.	Fig. 4.11. Efecto espurio que afecta el potencial del nodo flotante V_{FD} , ocurrido durante el flanco de subida de la señal de control del pixel: TX.	105
75.	Fig. 4.12. Previo al periodo principal de transferencia de fotocargas (TX), las señales de control VG y TX, permanecen en nivel alto, entonces el canal de M4 se forma, por lo que se redistribuye la carga entre las difusiones n+/p denotadas como DTX y FD, asociadas a la estructura del pixel de tipo fotoc compuerta, resultando en δV_{FD1} .	106
76.	Fig. 4.13. Durante el flanco de bajada de la señal de control VG, se inicia el periodo principal de transferencia de fotocargas (TX activo), desde el pozo de potencial, situado debajo del área de integración de fotocargas, hacia el pozo de potencial asociado a la difusión n+/p, denotada como FD, resultando en δV_{FD2} .	106
77.	Fig. 4.14. Efecto espurio que afecta el potencial del nodo flotante V_{FD} , ocurrido durante el flanco de bajada de la señal de control del pixel: TX.	106
78.	Fig. 4.15. Celda de prueba No. 2, incluida en el CI No. 3, conteniendo un pixel analógico de tipo fotoc compuerta, con compuerta de transmisión entre pozos, implementada mediante el traslape de POLY2 sobre POLY1.	107
79.	Fig. 4.16. Respuesta medida en la celda de prueba No. 2, aplicando una $P_{inc} < 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.	107
80.	Fig. 4.17. Respuesta medida en la celda de prueba No. 2, aplicando una $P_{inc} = 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.	107
81.	Fig. 4.18. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, bajo condiciones de oscuridad total y $\tau_{int} = 80 \mu\text{s}$	108
82.	Fig. 4.19. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una potencia luminosa: $p_1 < 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.	109
83.	Fig. 4.20. Comparación de las simulaciones en PSpice de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una potencia luminosa: $p_1 < p_2 < 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$	109
84.	Fig. 4.21. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una potencia luminosa: $p_1 < p_2 < 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.	109
85.	Fig. 4.22. Comparación de las simulaciones en PSpice de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una $P_{inc} = 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.	110
86.	Fig. 4.23. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una $P_{inc} = 0.1 \text{ mW/cm}^2$, $\tau_{int} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.	110
87.	Fig. 4.24. Señal de voltaje V_u , aplicada a la segunda entrada del elemento umbralizador del pixel fotoc compuerta binario.	110
88.	Fig. 4.25. Montaje realizado para proyectar los patrones de sombra sobre el SICMOS.	111
89.	Fig. 4.26. Caso 1. Barrido de sombra total por columna.	112
90.	Fig. 4.27. Caso 2. Barrido de sombra que abarca dos columnas a la vez.	113
91.	Fig. 4.28. Caso 3. Barrido de izquierda a derecha de un patrón de sombra que cubre a tres columnas.	114

92.	Fig. 4.29. Caso 4. Barrido de izquierda a derecha de un patrón de sombra cuadrado, abarcando 4×4 píxeles a la vez.	115
93.	Fig. 4.30. Caso 5. Barrido de izquierda a derecha de un patrón de sombra cuadrado, abarcando 6×6 píxeles a la vez.	116
94.	Fig. 4.31. Caso 6 Barrido de izquierda a derecha de un patrón de sombra circular, abarcando aproximadamente 5×5 píxeles a la vez.	117
95.	Fig. 4.32. Caso 7 Barrido de izquierda a derecha de un patrón de sombra generado mediante la proyección de una rondana.	118
96.	Fig. 4.33. Caso 8 Barrido de izquierda a derecha de un patrón de sombra generado mediante la proyección de una tuerca cuadrada.	119
97.	Fig. 4.34. Proyección de un patrón de sombra cuadrado de 6×6 píxeles.	120
98.	Fig. 4.35. Simulación del centro de masa de un patrón de sombra cuadrado de 6×6 píxeles, proyectado sobre la MDI del SICMOS, con centro de masa en la columna No. 14, resultando en: $COM = V_{num}/V_{den} = 106.63/15.49 = 6.88$, dentro de la escala respectiva.	120
99.	Fig. 4.36. Medición del centro de masa de un patrón de sombra cuadrado de 6×6 píxeles, proyectado sobre la MDI del SICMOS, con centro de masa en la columna No. 14, resultando en: $COM = V_{num}/V_{den} = 105 / 32.5 = 3.23$, dentro de la escala respectiva.	120
100.	Fig. 4.37. Simulación en PSpice del centro de masa para una secuencia de patrones, emulando el recorrido de un objeto sobre el eje coordenado de izquierda a derecha proyectado sobre la MDI. Se considera un tiempo de integración de fotocargas de $\tau_{int} = 80\mu s$. El retardo en el cómputo del centro de masa se estableció en 128 μs .	121
101.	Fig. 4.38. Simulación del multiplicador de componentes de histograma	122

Listado de tablas

1.	Tabla 1.1 Origen de las fuentes independientes de voltaje presentadas en la Fig. 1.3	22
2.	Tabla 1.2 Listado de las fuentes dependientes de voltaje utilizadas en el macromodelo de un TMCF.	22
3.	Tabla 1.3. Parámetros extraídos para la simulación de las celdas de prueba No. 1 y No. 2, incluidas en el CI No.1.	42
4.	Tabla 3.1 Características generales del píxel binario de tipo fotocpuerta.	77
5.	Tabla 3.2 Principales parámetros del circuito generador de componentes de histograma (Fig. 3.14)	81
6.	Tabla 3.3 Algunos parámetros del modelo BSIM de PSpice, reportados por MOSIS, para el proceso AMI, corrida: T48S-SCN15, que se usó en la fabricación del SICMOS.	84
7.	Tabla 4.1 Principales parámetros utilizados en las simulaciones y mediciones de la celda de prueba.	102
8.	Tabla 4.2. Algunos parámetros de interés del SICMOS	122

Abstract

This work deals with the design of a novel image sensor device for object tracking, based on CMOS technology. It uses floating-gate MOSFET transistors to perform signal aggregation computation, as part of the centroid approximation, for 1-D real-time tracking of a regular-shape object. In fact, the object is detected from binary images, which are captured within the field of view of this sensor. The analog-weighting process for the spatial column-components, in the associated algorithm, is realized in-situ, by using MOSFET transistors operating in the triode region. Only binary images are considered, even though image information is sacrificed, faster operation speed and increased functionality is obtained. The image sensor was fabricated using a 1.2 μ m, n-well, CMOS process. The design contains a 17 \times 18 cell-array with a fill-factor is 25.11%. The electrical analysis supported by PSpice of this initial CMOS integrated circuit, demonstrates that its extension to a larger prototype for robotic applications is attractive.

Resumen

Esta tesis aborda el diseño de un sensor novedoso de imágenes para el seguimiento de objetos, realizado en tecnología CMOS. El dispositivo utiliza transistores MOSFET de compuerta flotante, para implementar las operaciones de suma, en el dominio de la carga, como parte de la aproximación del centroide, que es utilizado para obtener la ubicación de objetos con geometría regular en tiempo real y en una dimensión. El objeto es detectado a partir de imágenes binarias, las cuales son capturadas dentro del campo de visión del sensor. El proceso de ponderación para los componentes de columna espaciados se realiza “in situ”, mediante transistores MOSFET que se hacen operar en la región del triodo. Solamente se consideran imágenes binarias, a pesar del sacrificio resultante en términos de información visual. Esto conlleva, sin embargo, a contar con un sensor funcional y con una alta velocidad de procesamiento para el cómputo del centroide. El sensor de imágenes, fue fabricado utilizando un proceso CMOS estándar de 1.2 μ m, pozo N. El diseño integra una matriz de 17 \times 18 píxeles, con un factor de llenado en los píxeles de 25.11%. A partir de un análisis eléctrico, haciendo uso del simulador PSpice, se demuestra que este prototipo es factible de poder extenderse hacia mayores formatos, para hacerlo atractivo en aplicaciones de robótica.

Introducción General

Los sistemas computacionales convencionales, concebidos para realizar tareas de visión artificial, poseen la desventaja de mantener una separación entre el sistema que captura, para “ver” la imagen del mundo, y la computadora que, “interpreta” lo que se está viendo, resultando en tiempos de latencia excesivos para el cómputo e interpretación de la imagen capturada, factor que puede ser crítico en algunas aplicaciones denominadas de tiempo real.

Otro factor limitante de este enfoque convencional, se debe a la falta de compatibilidad dentro del contexto de diseño conocido como “Diseño Fusionado a Nivel Sensor”. Este último enfoque, en donde el proceso y cómputo de la imagen, se realiza a nivel del sensor, se implementa en circuitos integrados de muy alta escala de integración (VLSI)[21][22][24][27][32]. Este paradigma, tiene el potencial de reducir los tiempos de latencia mediante un cómputo paralelo, pudiéndose obtener imágenes preprocesadas in situ. En algunos casos, estos sistemas sólo entregan información relevante de la imagen original, sin que ésta sea transmitida a etapas de proceso subsecuentes, debido a que se busca solamente el “significado” de la imagen. Sin embargo, en otros casos aún puede ser conveniente el envío de una cierta representación de la imagen, con un cierto nivel de preproceso, para su tratamiento posterior.

El sensor de imágenes en tecnología CMOS (SICMOS), desarrollado durante este trabajo de tesis, se concibió para que la imagen de un objeto con geometría simple, enfocada sobre el área sensible del dispositivo, se capture y se procese dentro del mismo CI. La imagen se umbraliza a nivel del píxel, y el proceso que se ejecuta es el del cómputo del centro de masa de la imagen, en el dominio analógico. Se considera que los centros de masa de los objetos proyectados en el plano focal, constituyen un procesamiento que es muy útil en aplicaciones prácticas, como la ubicación de objetos dentro de un plano coordenado. Esta tarea, constituye un tipo de algoritmo de reconocimiento de imagen, que es muy importante en el área de la visión robótica.

A partir de los 90's, surgió una tendencia de desarrollo orientada hacia los llamados “Sistemas de Visión Inteligentes” o “Circuitos de Integrados de Visión”[54][46][28], los cuales se espera que se apliquen extensivamente, y de manera inevitable, en el diseño de productos de consumo electrónico durante los próximos años, en contraste con los sistemas convencionales de visión, basados únicamente en la integración a nivel sistema, de un detector de imagen junto con un sistema de procesamiento. Esto se debe, principalmente, al precio resultante del producto, al tamaño y complejidad de los sistemas. Debido a estos factores, los sistemas de visión convencional han sido principalmente enfocados a aplicaciones industriales y militares.

Los circuitos integrados de visión, que incluyen, tanto los elementos fotodetectores, así como los bloques de procesamiento paralelo, han sido foco de atención de la industria de consumo por sus aplicaciones prometedoras y avances significativos, debido principalmente a la aparición de tecnologías disponibles de canal corto, por debajo de 2 μ m.

Los sensores inteligentes de imagen, son aquellos dispositivos en los cuales coexisten los sensores y circuitos, y donde la interrelación entre ellos va más allá de la simple transducción.

Los sensores inteligentes de imagen, son sensores orientados a la información y están específicamente diseñados para una aplicación en particular.

Los fotodetectores tradicionales son dispositivos capaces, únicamente, de enviar salidas analógicas que requieren etapas posteriores para el acondicionamiento de señal. Muchos sensores de imagen tienen como objetivo principal, la calidad de la imagen en términos de ruido, resolución, velocidad, color, etc. En contraste, en un sensor inteligente de imagen, la meta principal está enfocada a la calidad del procesamiento. La implementación de un cierto algoritmo de imagen está por encima de aspectos tales como la resolución, la cual se prefiere sacrificar siempre y cuando se obtenga un procesamiento de imagen rápido y de calidad.

Un circuito integrado de visión requiere de elementos fotosensibles, circuitos de acondicionamiento analógico, circuitos de procesamiento analógico y, en algunos casos, bloques de procesamiento digital y circuitos de lectura de imagen, todos, coexistiendo en el mismo encapsulado.

Factores como el área requerida para implementar estos circuitos, así como el enrutamiento de la información, a lo largo de toda el área de circuito integrado, han puesto los límites para la realización de estos sistemas. Sin embargo, se puede sacar ventaja de la integración a nivel sistema, que ofrece la tecnología CMOS, sin perder de vista las limitaciones que desde el principio se enfrentan con esta tecnología, principalmente, debido a que esta tecnología está enfocada al diseño analógico y digital.

Además de lo anterior, existe una falta de simuladores para las tareas de visión, que utilicen, como dispositivos de fotodetección, a aquellas estructuras fotosensibles factibles de fabricarse en tecnología CMOS.

En el contexto de los sensores inteligentes de imagen, se tiene que considerar el universo de tecnologías y procesos disponibles para la fabricación de estos sistemas. Así, en algunos casos, se ofrecen ventajas y se encuentran desventajas para estos diseños. Las tecnologías dominantes, disponibles hoy en día, son: CMOS, BiCMOS, CCD, y GaAs (MESFET). La tecnología CMOS, ha sido la tecnología emergente en los diseños de sensores inteligentes de imagen. La tecnología BiCMOS, por otra parte, presenta las ventajas de una mayor velocidad, pero a un mayor precio. La tecnología CCD, domina en el diseño de cámaras digitales, sin embargo, la integración de transistores de bajo desempeño que se puede obtener en esta tecnología, así como los altos niveles de voltaje requeridos para una operación adecuada, constituyen la principal desventaja para su elección como plataforma de diseño de sensores inteligentes de imagen. Finalmente, la tecnología de GaAs (MESFET), padece de las fugas de corriente existentes en las compuertas, así como de la desventaja en el precio de fabricación de un prototipo bajo esta tecnología.

Objetivos

Diseñar y fabricar un circuito integrado prototipo CMOS, como dispositivo sensor inteligente de imágenes, en el que se incluya el procesamiento en modo analógico y en tiempo real, del centro de masa de un objeto proyectado en el plano focal del dispositivo.

Primer objetivo específico

“Integración de estructuras fotosensibles en la tecnología CMOS”

Se pretende incursionar en el desarrollo de tecnología de imagen, dentro del contexto de los llamados “Sensores Inteligentes de Imagen en CMOS” o “Circuitos Integrados de Visión”, tecnología emergente, que a diferencia de los sistemas convencionales de visión, en donde la captura de imagen se realiza con base en dispositivos de carga acoplada (CCD’s), integran los elementos fotodetectores, así como los circuitos asociados para el procesamiento de la imagen, en un mismo circuito integrado.

Para poder diseñar este sensor de imagen, se estudiarán las tecnologías de dispositivos fotodetectores, con viabilidad de ser implementados en tecnología CMOS, tales como fotodiodos y fotocompuertas. Lo anterior, con el objeto de determinar y utilizar el dispositivo fotodetector, más adecuado para llevar a cabo la captura de la imagen.

Es importante destacar que la tecnología CMOS, no fue concebida para la integración de dispositivos fotosensibles. Por esta razón, una parte del trabajo de tesis, consistirá en el estudio y desarrollo de los macromodelos para simulación eléctrica de estos dispositivos, así como la caracterización de algunas estructuras fotosensibles, fabricadas en tecnología CMOS estándar.

Segundo objetivo específico

“Desarrollo de electrónica de procesamiento, basada en transistores MOSFET de compuerta flotante, para el cálculo del centro masa en una dimensión”

Se utilizarán transistores MOSFET de compuerta flotante con entradas múltiples, como elementos de procesamiento analógico para realizar el cálculo del centro de masa del objeto enfocado. Las características funcionales de este dispositivo, lo hacen muy atractivo en la síntesis de circuitos analógicos, cuando un número reducido de transistores es un factor importante que se debe considerar. A su vez, se desarrollarán los macromodelos requeridos para la simulación eléctrica en PSpice.

Metas Cuantificables

El principal producto que se espera lograr de este trabajo de tesis, será el diseño y fabricación de un circuito integrado analógico, como sensor inteligente de imágenes en tecnología CMOS, que entregue como respuesta, el centroide en coordenadas relativas, de un objeto proyectado en el plano focal del dispositivo.

Se diseñarán y construirán los circuitos externos de soporte para hacer operativo al sensor de imágenes.

Finalmente, se emulará el desempeño del sensor de imágenes programando un algoritmo de coordinación visualmotriz, mediante el uso de algoritmos de redes neuronales artificiales para el control del posicionamiento de un manipulador robótico de tres grados de libertad.

Se publicarán los resultados obtenidos.

Organización de la Tesis

El trabajo presentado se compone de cuatro capítulos y cinco anexos. El orden cronológico de lectura corresponde con la numeración de los capítulos.

En el *Capítulo 1*, se aborda el transistor MOSFET de compuerta flotante de entradas múltiples, junto con los macromodelos necesarios para la simulación de circuitos basados en esta estructura.

El *Capítulo 2*, comprende el estudio, diseño y operación de píxeles activos de tipo fotocompuerta, así como el macromodelo propuesto para esta estructura.

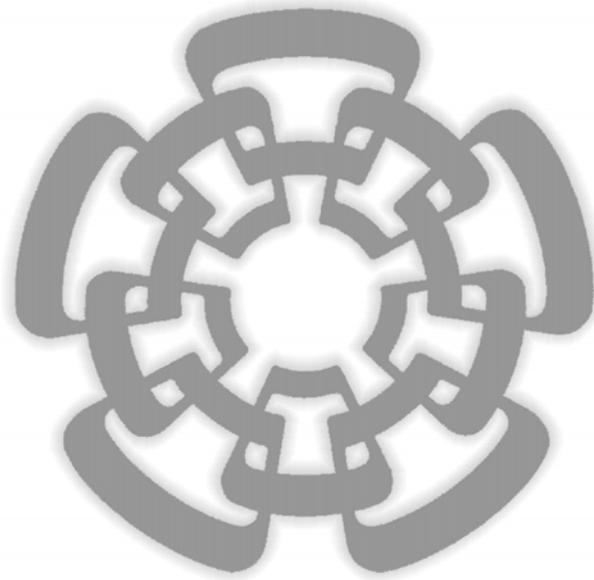
En el *Capítulo 3* se aborda el diseño del sensor inteligente de imágenes y se explica su funcionamiento, presentándose las simulaciones de algunos de sus subsistemas.

En el *Capítulo 4*, capítulo final, es donde se presentan las mediciones finales llevadas a cabo para el sensor inteligente de imágenes.

Las referencias bibliográficas se ubican después de las conclusiones generales de la tesis.

CAPÍTULO 1

TRANSISTOR MOSFET DE COMPUERTA FLOTANTE



1.0 Contenido del Capítulo 1

Este capítulo se dedica al estudio de algunos aspectos teóricos sobre el transistor MOSFET de compuerta flotante de múltiples entradas. Se presentan los resultados de algunas de las mediciones que se llevaron a cabo con dos celdas de prueba, que se incluyeron en el diseño de un primer prototipo de circuito integrado CMOS. En este capítulo, también se presentan los macromodelos desarrollados para la simulación de este dispositivo, indispensables para la simulación eléctrica de los bloques funcionales que componen al sensor de imágenes, desarrollado en este trabajo.

En el marco de esta tesis, se diseñaron y construyeron tres circuitos integrados CMOS, bajo un proceso de fabricación de $1.2\mu\text{m}$, pozo “N”, con dos niveles de metal y dos niveles de polisilicio. El primero, se diseñó para la caracterización de circuitos analógicos basados en el uso del transistor MOSFET de compuerta flotante, cuando se incorpora como elemento de acceso eléctrico a la compuerta flotante, a un interruptor CMOS. El primer circuito integrado es el fundamento para la escritura de este capítulo. El segundo y tercer circuito integrado, incorporan una matriz de detección de imágenes, cuya discusión y resultados, se llevará a cabo en los capítulos restantes.

1.1 Introducción

El transistor MOSFET de compuerta flotante (TMCF) es un dispositivo semiconductor, que ha sido incorporado en años recientes en el diseño moderno de circuitos integrados analógicos y de señal mixta VLSI. Su uso, ha derivado en la aparición de un gran número de técnicas de diseño novedosas e interesantes. Las compuertas flotantes se identifican generalmente como elementos de circuito utilizados en la fabricación de memorias digitales no volátiles, tipo: EPROM, EEPROM y FLASH. Sin embargo, se ha mostrado:

- que las técnicas basadas en TMCF, pueden ser aplicadas en cualquier proceso de fabricación CMOS,
- que es factible el diseño de estructuras de memoria analógicas con un buen margen de precisión,
- que los TMCF abren la posibilidad de contar con circuitos analógicos y/o digitales que se pueden “ajustar”, después de ser fabricados,
- lo que permite, por ejemplo: la implementación de nuevas familias de amplificadores y filtros analógicos para el procesamiento de señales, capaces de “adaptarse” durante su operación, con base en algoritmos computacionales para alguna aplicación específica.

Las necesidades modernas de contar con nuevas arquitecturas de circuitos analógicos para el diseño de circuitos integrados modernos de señal mixta VLSI, conllevan a los siguientes retos:

- operación con fuentes de alimentación de bajo voltaje,
- diseño de circuitos con el mismo desempeño o mejor, que los diseñados para mayores niveles de alimentación de voltaje,
- ser compatibles con tecnologías submicrométricas.

Precisamente, el uso del TMCF en el campo de la electrónica analógica, es de gran trascendencia en virtud que este dispositivo ha permitido el desarrollo de nuevos circuitos que se adaptan a las tendencias de diseño moderno en tecnología CMOS, donde las longitudes de canal cada vez son más cortas, y donde, invariablemente, se suelen disminuir los niveles de voltaje de operación, así como también se busca reducir el consumo de energía global de los diseños.

Una funcionalidad única de este dispositivo, es la de permitir realizar operaciones de suma o diferencia ponderada de múltiples señales de entrada, en el dominio analógico, y a nivel de la compuerta flotante, mediante un solo transistor. Esta característica permite al diseñador de circuitos integrados reducir de manera drástica el número de transistores en una infinidad de aplicaciones, incrementando el nivel de funcionalidad de los diseños y facilitando la integración de un mayor número de transistores. Además de lo anterior, y debido a que estas operaciones se realizan en modo de voltaje sobre una terminal que flota eléctricamente, se logra una reducción natural en el consumo global de energía en los circuitos donde se utilizan estos dispositivos.

1.2 El Transistor MOSFET de Compuerta Flotante

El transistor MOSFET de compuerta flotante, fue propuesto originalmente por T. Shibata[1], bajo el acrónimo de neuMOS (*Neural MOSFET*), por la similitud funcional de este dispositivo con respecto al modelo para una neurona biológica, que comúnmente se encuentra en la literatura de las Redes Neuronales Artificiales (RNA). Un TMCF difiere de un transistor MOSFET convencional, debido a que posee una compuerta extra denominada compuerta flotante (CF), la cual permanece aislada de cualquier otra terminal del transistor, por medio del óxido de silicio que la rodea. La CF se encuentra colocada por encima de la región del canal del transistor MOSFET, separada por el óxido delgado, y por debajo de las compuertas de control, separada mediante un óxido más grueso.

La estructura típica de un arreglo de transistores MOSFET de compuerta flotante, que se puede fabricar mediante un proceso CMOS estándar con dos niveles de polisilicio, se muestra en la Fig. 1.1.

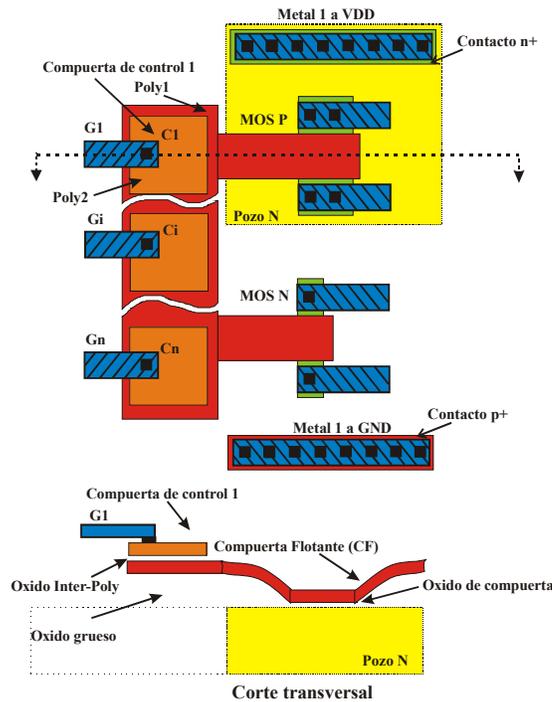


Fig. 1.1. Diseño geométrico de un arreglo de TMCF, haciendo uso de un proceso CMOS con dos niveles de polisilicio.

Un TMCF de múltiples entradas, se compone de n compuertas de control denominadas: G_i , $i=1, \dots, n$, las cuales están acopladas capacitivamente con la CF de un transistor MOSFET de canal N o P, o bien, con la CF de un conjunto de transistores MOSFET de canal N y P (circuito CMOS asociado), interconectados para una función específica; como podría ser un inversor CMOS. En este último caso, la CF se extiende y es común a ambos tipos de transistores.

Como se muestra en la Fig. 1.1, un TMCF, es un transistor MOSFET ordinario cuya terminal de compuerta se diseña generalmente de manera que no tenga contacto eléctrico con ningún otro elemento de circuito[†], es decir, se diseña para que flote eléctricamente. El potencial de compuerta flotante (V_{CF}), queda determinado en función del acoplamiento capacitivo de la CF con las múltiples compuertas de control de entrada, en ocasiones inclusive, con una sola compuerta de control, y también, de manera no deseada con otros potenciales parásitos acoplados a la CF.

1.3 Circuito Capacitivo Equivalente para la Compuerta Flotante

El circuito equivalente capacitivo para una CF que se extiende sobre un arreglo de dos transistores MOSFET canal P y canal N (común a ambos), se muestra en la Fig. 1.2.

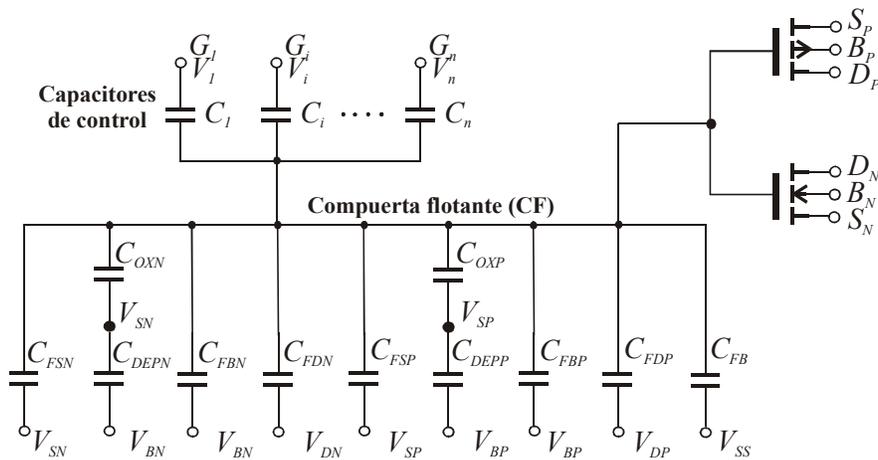


Fig. 1.2. Circuito capacitivo equivalente para la compuerta flotante operando sobre dos transistores MOSFET de compuerta flotante complementarios.

En donde C_i , es el i -ésimo capacitor de control que acopla al i -ésimo voltaje V_i de entrada con la CF, donde $i=1, 2, \dots, n$. Los voltajes: V_{DN} , V_{DP} , V_{SN} , V_{SP} , V_{BN} y V_{BP} , son los potenciales presentes en las terminales del drenador, fuente, y sustrato de los transistores MOSFET canal N y canal P, respectivamente; denotándose el tipo de canal mediante el subíndice de extrema derecha.

Los capacitores parásitos denominados C_{FDN} , C_{FDP} , C_{FSN} y C_{FSP} , representan las capacitancias de traslape que se desarrollan entre las superficies conductoras de la CF y las terminales del drenador y fuente, respectivamente. Estas capacitancias son dependientes de las condiciones de operación de los transistores. Los capacitores C_{FBN} y C_{FBP} , corresponden con las capacitancias de traslape entre la CF y el sustrato, a lo largo del canal de los transistores. A su vez, los capacitores C_{OXN} y C_{OXP} son las capacitancias desarrolladas entre la CF y el canal de ambos transistores. Los capacitores C_{DEPN} y C_{DEPP} representan la capacitancia que se origina debido a la región de agotamiento existente entre los canales y el sustrato de los transistores.

[†] Como se verá en la Sección 1.12, esta condición no siempre se cumple.

Los capacitores de control se pueden formar mediante el traslape de los materiales de POLY1 y POLY2, cuya capacitancia por unidad de área, para un proceso de 1.2μm, tiene un valor típico de 500 aF/μ².

El material de POLY2 (placa superior del capacitor), es contactado por las terminales de entrada, G_i , mientras que el material de POLY1 (placa inferior del capacitor), constituye la terminal de CF. Desafortunadamente, el material de POLY1 provoca otro acoplamiento capacitivo indeseado, al extenderse sobre áreas del sustrato fuera del área activa del transistor, formando el capacitor parásito: C_{FB} .

1.4 Balance de Carga en la Compuerta Flotante

Con base en el circuito capacitivo equivalente de la Fig. 1.2, la carga total inducida en la CF, Q_{CF} , debido a la acción de todos los potenciales acoplados capacitivamente con la CF, queda determinado mediante:

$$\begin{aligned}
 Q_{CF} = & \sum_{i=1}^n C_i (V_{CF} - V_i) + C_{FSN} (V_{CF} - V_{SN}) + C_{FBN} (V_{CF} - V_{BN}) + C_{FDN} (V_{CF} - V_{DN}) + \\
 & C_{FSP} (V_{CF} - V_{SP}) + C_{FBP} (V_{CF} - V_{BP}) + C_{FDP} (V_{CF} - V_{DP}) + \\
 & C_{OXN} (V_{CF} - \phi_{SN} - V_{BN}) + C_{OXP} (V_{CF} - \phi_{SP} - V_{BP}) + C_{FB} (V_{CF} - V_{SS})
 \end{aligned} \tag{1.1}$$

donde, V_{CF} es el potencial eléctrico inducido en la CF, y V_{SS} es el potencial del sustrato. Las condiciones necesarias para que la ecuación (1.1) sea válida, son:

1. No debe existir carga almacenada en la compuerta flotante
Es decir: $Q_{CF}=0$.
2. No es posible transferir ni extraer carga de la compuerta flotante
Es decir, los mecanismos como: la inyección de electrones calientes[2] con la cual es posible agregar electrones a la compuerta flotante, o el mecanismo de tuneleo de Fowler-Nordheim[3], para extraer electrones, no son considerados.
3. Existe un aislamiento total de la compuerta flotante, respecto a cualquier otra terminal de circuito.

Si se considera que los transistores MOSFET asociados, operan en la región de fuerte inversión, el potencial en la superficie del canal N, ϕ_{SN} , y el correspondiente potencial en la superficie del canal P, ϕ_{SP} , dejan de ser dependientes de los voltajes V_i , presentes en las terminales de las compuertas de control G_i . Debido a lo anterior, se puede expresar el valor de ϕ_{SN} y ϕ_{SP} en fuerte inversión, mediante las siguientes aproximaciones:

$$\phi_{SN} \cong (V_{SN} - V_{BN}) + 2\phi_{FN} \tag{1.2}$$

$$\phi_{SP} \cong (V_{SP} - V_{BP}) + 2\phi_{FP} \tag{1.3}$$

en donde ϕ_{FN} y ϕ_{FP} , representan la diferencia de potencial que se desarrolla entre el nivel de Fermi y el centro de la banda prohibida, en el material semiconductor tipo N y P, respectivamente.

1.5 Potencial de Compuerta Flotante en un TMCF

Tomando en cuenta las consideraciones establecidas en la Sección 1.4 y, a partir de las ecuaciones (1.1), (1.2) y (1.3), se obtiene la siguiente expresión que define el potencial en la CF, V_{CF} , como:

$$V_{CF} = \frac{\sum_{i=1}^n C_i V_i}{C_{TOT}} + \frac{C_{FSN} V_{SN}}{C_{TOT}} + \frac{C_{FBN} V_{BN}}{C_{TOT}} + \frac{C_{FDN} V_{DN}}{C_{TOT}} + \frac{C_{FSP} V_{SP}}{C_{TOT}} + \frac{C_{FBP} V_{BP}}{C_{TOT}} + \frac{C_{FDP} V_{DP}}{C_{TOT}} + \frac{C_{OXN} (V_{SN} + 2\phi_{FN})}{C_{TOT}} + \frac{C_{OXP} (V_{SP} + 2\phi_{FP})}{C_{TOT}} + \frac{C_{FB} (V_{SS})}{C_{TOT}} \quad (1.4)$$

en donde C_{TOT} , representa a todas las capacitancias existentes, que se acoplan con la CF, y se expresa mediante:

$$C_{TOT} = \sum_{i=1}^n C_i + C_{FSN} + C_{FBN} + C_{FDN} + C_{FSP} + C_{FBP} + C_{FDP} + C_{OXN} + C_{OXP} + C_{FB} \quad (1.5)$$

1.6 Macromodelo para el Potencial de Compuerta Flotante en un TMCF

Para simular el potencial eléctrico en la CF de un TMCF mediante PSpice, no es suficiente definir el listado de nodos, o el diagrama esquemático, haciendo uso de los componentes estándar de las bibliotecas del simulador, como resistencias, capacitores y transistores MOSFET, debido a que el simulador no lograría converger en la fase del cálculo del punto inicial de polarización, esto es debido a que la terminal de CF flota eléctricamente para el simulador.

Sin embargo, es posible simular eléctricamente este dispositivo mediante la construcción de macromodelos que pueden ser descritos e integrados en las bibliotecas de usuario del simulador PSpice[4]. Es así, que para el diseño de los macromodelos, se utilizó el recurso del simulador PSpice conocido como: Modelado Analógico de tipo Comportamental (por sus siglas en inglés, ABM). Mediante el uso del ABM, es posible realizar descripciones flexibles de componentes electrónicos o segmentos de circuito, en términos de funciones de transferencia o tablas de búsqueda [5].

Mediante el uso de fuentes de voltaje independientes (prefijo “V”) y fuentes de voltaje dependientes de voltaje (prefijo “E”), se codificaron los términos de las ecuaciones (1.4) y (1.5) de la siguiente manera:

La capacitancia total vista por la CF, C_{TOT} , definida mediante la ecuación (1.5), se modela como una variable de tipo voltaje, mediante el conjunto de fuentes independientes de voltaje, VCTx ($x=1,2,\dots,6$), como se presenta en la Fig. 1.3, y se detalla en la Tabla 1.1.

No.	Fuente	Origen de la capacitancia	Término modelado
1.	VCT1	Capacitores de entrada, $C_i, \forall i=1, 2, \dots, n$. Siendo n = número de entradas	$\sum_{i=1}^n C_i$
2.	VCT2	Capacitancia entre la CF y el óxido de canal (COX) MOSFET-N	C_{OXN}
3.	VCT3	Capacitancia entre la CF y el óxido de canal (COX) MOSFET-P	C_{OXP}
4.	VCT4	Capacitancia del traslape entre la CF y el sustrato o pozo, a lo largo del canal, para ambos: MOSFET-N y MOSFET-P	$C_{FBN} + C_{FBP}$
5.	VCT5	Capacitancia del traslape entre la CF con la fuente y el drenador para ambos: MOSFET-P y MOSFET-N	$C_{FSN} + C_{FDN} + C_{FSP} + C_{FDP}$
6.	VCT6	Capacitancia del traslape entre POLY1 (CF) y el sustrato fuera del área activa.	C_{FB}
7.	ECTOT	ECTOT=VCT1+VCT2+VCT3+VCT4+VCT5+VCT6	C_{TOT}

Tabla 1.1. Origen de las fuentes independientes de voltaje presentadas en la Fig. 1.3

La suma de las contribuciones parciales de voltaje, que generan las fuentes independientes VCTx, se realiza mediante la fuente de voltaje dependiente de voltaje, denotada como ECTOT.

Finalmente, el potencial eléctrico, V_{CF} , expresado mediante la ecuación (1.4), se define con una fuente de voltaje dependiente de voltaje, representada por ECF, que suma la contribución de las fuentes de voltaje dependientes de voltaje: EDSN, EDSP, EOXBN, EOXBP, EPOL1 y ECIN, cuyo significado se detalla en la Tabla 1.2.

No.	Fuente	Descripción	Término modelado
1.	EDSN	Potencial inducido en la CF debido a los potenciales presentes en las terminales de: fuente, drenador y sustrato del MOSFET-N.	$\frac{C_{FSN}V_{SN}}{C_{TOT}} + \frac{C_{FBN}V_{BN}}{C_{TOT}} + \frac{C_{FDN}V_{DN}}{C_{TOT}}$
2.	EDSP	Potencial inducido en la CF debido a los potenciales presentes en las terminales de: fuente, drenador y sustrato del MOSFET-P.	$\frac{C_{FSP}V_{SP}}{C_{TOT}} + \frac{C_{FBP}V_{BP}}{C_{TOT}} + \frac{C_{FDP}V_{DP}}{C_{TOT}}$
3.	EOXBN	Potencial inducido en la CF debido al potencial presente en: el canal del MOSFET-N.	$\frac{C_{OXN}(V_{SN} + 2\phi_{FN})}{C_{TOT}}$
4.	EOXBP	Potencial inducido en la CF debido al potencial presente en: el canal del MOSFET-P.	$\frac{C_{OXP}(V_{SP} + 2\phi_{FP})}{C_{TOT}}$
5.	EPOL1	Potencial inducido en la CF debido al potencial presente en el sustrato fuera del área activa.	$\frac{C_{FB}(V_{SS})}{C_{TOT}}$
6.	ECIN	Terminales de entrada, $G_i, \forall i=1, 2, \dots, n$. Siendo n = número de entradas.	$\frac{\sum_{i=1}^n C_i V_i}{C_{TOT}}$
7.	ECF	ECF=EDSN+EDSP+EOXBN+EOXBP+EPOL1+ECIN	V_{CF}

Tabla 1.2. Listado de las fuentes dependientes de voltaje utilizadas en el macromodelo de un TMC.

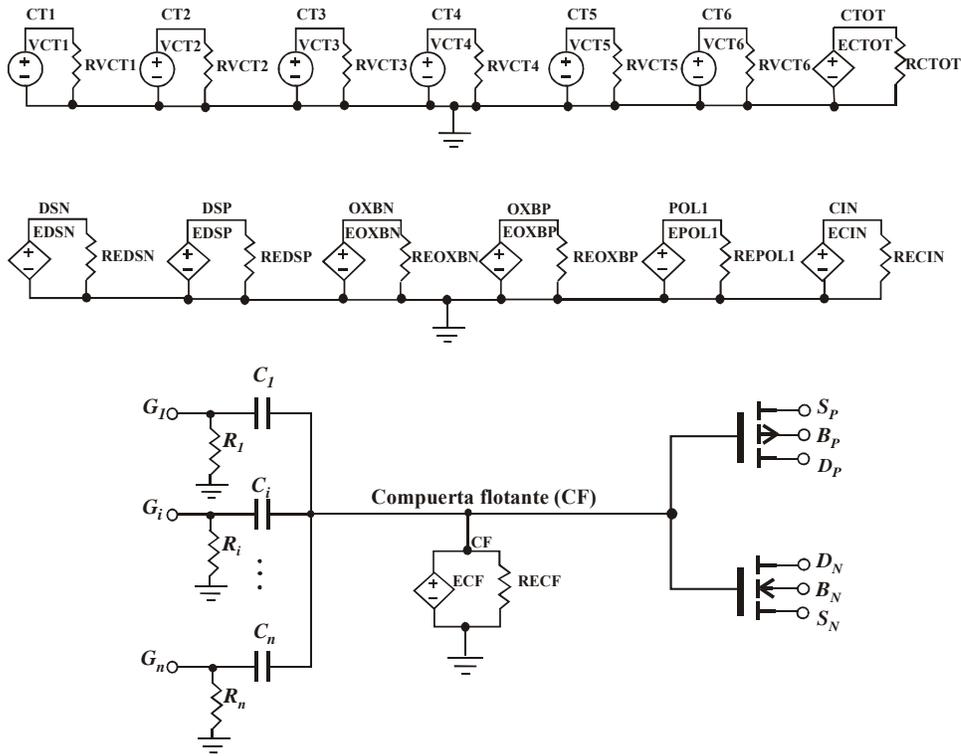


Fig. 1.3. Macromodelo para PSpice de un arreglo de transistores MOSFET complementarios con compuerta flotante común.

El listado del macromodelo propuesto para la simulación en PSpice de un arreglo de TMCF, correspondiente al diagrama esquemático de la Fig. 1.3, se detalla en el Anexo No. 1.

1.7 Ecuación de Corriente y Transconductancia en un TMCF

De la Fig. 1.4 parte (a), se muestra el modelo para la corriente de drenador, I_D , a gran señal, para un transistor MOSFET canal-N, con las polaridades positivas en los voltajes y corrientes; el mismo modelo es aplicable para un transistor MOSFET canal-P, si todos los voltajes y corrientes se multiplican por -1, usando el valor absoluto para el voltaje de umbral correspondiente, como se muestra en la parte (b)

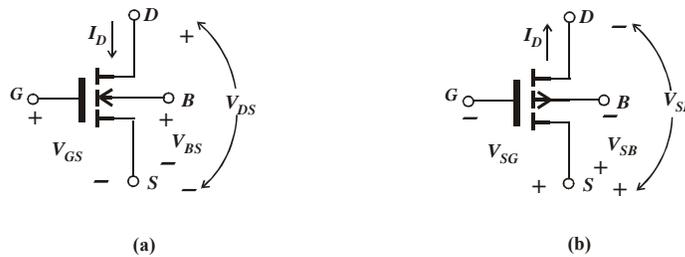


Fig. 1.4. Convención de los signos para un (a) Transistor MOSFET canal-N, y (b) Transistor MOSFET canal-P.

La corriente de drenador en la región de no saturación está determinada por[14]:

$$I_D = \frac{\mu_o C_{ox} W}{L} \left[(V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS} (1 + \lambda V_{DS}), \quad 0 < V_{DS} \leq (V_{GS} - V_T) \quad (1.6)$$

Los parámetros de la Ec. (1.6) se definen de la siguiente manera: μ_o es la movilidad superficial de los portadores minoritarios en el canal de los transistores MOSFET canal N o P, en (cm²/V-s), C_{ox} es la capacitancia por unidad de área en (F/cm²) debido al óxido delgado, W es el ancho efectivo del canal, L es la longitud efectiva del canal, λ es el parámetro de modulación del canal en (V⁻¹) y, V_T , es el voltaje de umbral del transistor.

La ecuación que describe a la corriente de drenador, dentro de la región de saturación, es:

$$I_D = \frac{\mu_o C_{ox} W}{2L} \left[(V_{GS} - V_T)^2 \right] (1 + \lambda V_{DS}), \quad 0 < (V_{GS} - V_T) \leq V_{DS} \quad (1.7)$$

Las ecuaciones anteriores corresponden al caso de un transistor MOSFET convencional, sin embargo, para el caso de un TMCF, se debe sustituir al término V_{GS} de las Ecs. (1.6) y (1.7) por el potencial de compuerta flotante, V_{CF} , expresado mediante la Ec. (1.4), para así obtener las expresiones equivalentes. Si se considera, además, que existe una cierta cantidad de carga residual en la CF denotada por $Q_{CF}(0)$, almacenada durante el proceso de fabricación, entonces, la ecuación para la corriente de drenador, I_{DS}^0 , en la región óhmica, para un TMC equipado con un sólo capacitor de control, C_{IN} , que acopla a un potencial de entrada, V_{IN} , con la CF, y despreciando al parámetro λ , queda definida mediante[6]:

$$I_{DS}^0 = \beta \left[\left(\frac{C_{IN}(V_{IN} - V_{TCC})}{C_{TOT}} + \frac{C_{FSN}V_{SN}}{C_{TOT}} + \frac{C_{FBN}V_{BN}}{C_{TOT}} + \frac{C_{FDN}V_{DN}}{C_{TOT}} + \frac{C_{FSP}V_{SP}}{C_{TOT}} + \frac{C_{FBP}V_{BP}}{C_{TOT}} \right) - \frac{V_{DS}}{2} \right] V_{DS} \quad (1.8)$$

$$+ \left(\frac{C_{FDP}V_{DP}}{C_{TOT}} + \frac{C_{OXN}(V_{SN} + 2\phi_{FN})}{C_{TOT}} + \frac{C_{OXP}(V_{SP} + 2\phi_{FP})}{C_{TOT}} + \frac{C_{FB}(V_{SS})}{C_{TOT}} + \frac{Q_{FG}(0)}{C_{TOT}} \right)$$

en donde V_{TCC} se define como el voltaje de umbral del transistor MOSFET, visto desde la compuerta de control con $Q_{FG}(0)=0$ y $\beta=\mu_o C_{ox} W/L$. El resto de los parámetros ya han sido descritos.

De igual manera, para el caso de la región de saturación y despreciando de nuevo al parámetro de la modulación de canal λ , se puede demostrar que:

$$I_{DS}^S = \frac{\beta}{2} \left(\frac{C_{IN}(V_{IN} - V_{TCC})}{C_{TOT}} + \frac{C_{FSN}V_{SN}}{C_{TOT}} + \frac{C_{FBN}V_{BN}}{C_{TOT}} + \frac{C_{FDN}V_{DN}}{C_{TOT}} + \frac{C_{FSP}V_{SP}}{C_{TOT}} + \frac{C_{FBP}V_{BP}}{C_{TOT}} \right)^2 \quad (1.9)$$

$$+ \left(\frac{C_{FDP}V_{DP}}{C_{TOT}} + \frac{C_{OXN}(V_{SN} + 2\phi_{FN})}{C_{TOT}} + \frac{C_{OXP}(V_{SP} + 2\phi_{FP})}{C_{TOT}} + \frac{C_{FB}(V_{SS})}{C_{TOT}} + \frac{Q_{FG}(0)}{C_{TOT}} \right)^2$$

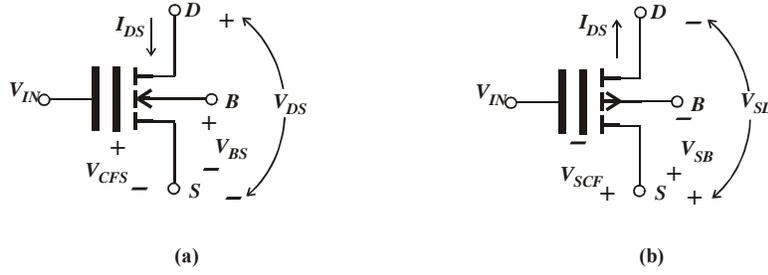


Fig. 1.5. Convención de los signos para un (a) TDCF canal-N, y (b) TDCF canal-P.

Como se puede apreciar en la Ec. (1.9), si la terminal de drenador tuviera un fuerte acoplamiento capacitivo con la CF (C_{FDN} grande), entonces la corriente en la región de saturación, no sería independiente del voltaje de drenador, ya que ésta tendería a incrementarse de manera continua, en función del voltaje de drenador, sin alcanzar la saturación. No obstante, si la capacitancia entre el drenador y la CF es pequeña, entonces las características “ $I-V$ ” del TDCF serán similares a las de un transistor MOSFET convencional. De hecho, el modelo de corriente de saturación de la Ec. (1.9), se reduce a la conocida expresión de ley cuadrática, si la suma de todas las capacitancias parásitas son despreciables en comparación con la compuerta de control, C_{IN} .

Por lo anterior expuesto, si $(C_{TOT}-C_{IN}) \ll C_{IN}$, entonces las Ecs. (1.8) y (1.9), se pueden simplificar de la siguiente manera:

$$I_D^O \cong \beta_{EFE}^O \left((V_{IN} - V_{TCC,EFE}) V_{DS} - \frac{1}{2} \frac{C_{TOT}}{C_{IN}} V_{DS}^2 \right) \quad (1.10)$$

$$I_D^S \cong \beta_{EFE}^S (V_{IN} - V_{TCC,EFE})^2 \quad (1.11)$$

donde:

$$\beta_{EFE}^O = \mu_0 C_{ox} \frac{W}{L} \left(\frac{C_{IN}}{C_{TOT}} \right) \quad (1.12)$$

$$\beta_{EFE}^S = \mu_0 C_{ox} \frac{W}{2L} \left(\frac{C_{IN}}{C_{TOT}} \right)^2 \quad (1.13)$$

$$V_{TCC,EFE} = V_{TCC} - \frac{Q_{CF}(0)}{C_{IN}} \quad (1.14)$$

Si se hace intencionalmente, C_{IN} , muy grande, entonces el transistor TDCF, adoptará características similares a las de los transistores MOSFET convencionales, excepto por su voltaje de umbral efectivo, $V_{TCC,EFE}$, el cual es alterado debido a la carga inicial atrapada en la CF.

Evidentemente, mediante la manipulación de la carga en la CF, se puede ajustar el voltaje de umbral efectivo en un TMCF, como se desprende de la Ec. 1.14. A la razón C_{IN}/C_{TOT} , se le conoce como factor de ganancia de la compuerta flotante o factor de acoplamiento capacitivo de entrada, y se identifica mediante el símbolo γ_{IN} .

De manera similar a la de un transistor MOSFET convencional, la transconductancia y la conductancia de salida de un TMCF, que opera en la región de saturación, se define como:

$$g_m^S = \left. \frac{\partial I_{DS}^S}{\partial V_{IN}} \right|_{\text{EN EL PUNTO DE OPERACION}} \quad (1.15)$$

$$g_d^S = \left. \frac{\partial I_{DS}^S}{\partial V_{DS}} \right|_{\text{EN EL PUNTO DE OPERACION}} \quad (1.16)$$

resultando, lo siguiente:

$$g_m^S = \sqrt{2\beta_{EFE}^S I_{DS}^S} = \frac{C_{IN}}{C_{TOT}} g_m \quad (1.17)$$

$$g_d^S = \lambda_{DS}^S + \frac{C_{FD}}{C_{IN}} g_m = g_d + \frac{C_{FD}}{C_{IN}} g_m^S \quad (1.18)$$

donde g_m y g_d representan a la transconductancia y la conductancia de salida de un transistor MOSFET convencional. Estas ecuaciones indican que el TMCF, posee una transconductancia menor y una conductancia de salida mayor en comparación con un transistor MOSFET ordinario, lo que implica que en algunos casos esto constituya una desventaja.

1.8 Carga Parásita Almacenada en la CF

La carga residual que queda atrapada en el material de la compuerta flotante durante el proceso de fabricación de un circuito integrado, es un problema importante que se tiene que considerar en el diseño de circuitos CMOS, con transistores de compuerta flotante. La magnitud y el signo de la carga que queda atrapada, no se puede estimar a priori, por lo que la condición No. 1, citada en la Sección 1.4, no es una condición que se deba obviar en el cálculo del potencial de la compuerta flotante.

Según la Ec. (1.14), es posible ajustar el voltaje de umbral de un TMCF, modificando la cantidad de carga almacenada en la CF. A la operación de transferencia de carga hacia la CF desde una fuente de voltaje, se le conoce como programación o precarga, hecho que incrementa el voltaje de umbral visto desde la compuerta de control de un TMCF. La operación de transferencia de cargas desde la compuerta flotante hacia tierra, se le conoce como borrado o descarga de la CF. Esta última operación provoca la disminución del voltaje de umbral visto desde la compuerta de control de un TMCF.

En algunos diseños basados en el TMCF, se prefiere operar con compuertas flotantes descargadas, para lo cual, se puede hacer uso de alguna de las siguientes técnicas de descarga:

- 1) Descarga de la CF mediante iluminación con luz ultra violeta (UV).
- 2) Descarga de la CF mediante tuneleo Fowler-Nordheim (FN)
- 3) Descarga de la CF mediante conexión temporal a sustrato, durante el proceso de fabricación.
- 4) Descarga de la CF mediante el uso de un interruptor CMOS de acceso eléctrico temporal a la CF.

La compuerta flotante se puede descargar haciendo incidir sobre ella un flujo de luz ultravioleta (p.e.: $\lambda_{inc}=250$ nm) lo que origina, de manera temporal, conductancias estimuladas por la luz UV, entre las terminales adyacentes a la compuerta flotante (drenador/fuente) y la compuerta flotante en sí, con lo cual se puede lograr la descarga, e incluso la precarga, de la CF, dependiendo de los potenciales presentes en las terminales de drenador y fuente [12]. La desventaja de esta técnica es que se requiere eliminar la capa de pasivación que se deposita al final en proceso de fabricación CMOS, para evitar que la luz UV que incide, sea absorbida por el material de pasivación. Esto, desafortunadamente, deteriora la durabilidad del dispositivo. Además de lo anterior, se requieren encapsulados con ventana de cuarzo, similares a los utilizados en las memorias EPROM, para poder permitir el paso de la luz UV, aumentando el costo del dispositivo.

El tuneleo FN es requerido en aquellas aplicaciones analógicas en donde es primordial el contar con: un control preciso de la carga almacenada en la CF, buenas características de retención de carga y operación con señales de DC.

La descarga de la CF mediante tunelamiento FN[3][13], requiere comúnmente de circuitería extra y voltajes elevados que pueden no ser compatibles con tecnologías CMOS de bajo voltaje. Sin embargo, el tunelamiento FN requiere muy poca corriente, lo que permite el desarrollo de circuitos elevadores de voltaje que pueden ser alojados dentro del mismo circuito integrado. Algunos trabajos recientes muestran avances en las estrategias utilizadas para el tunelamiento, útiles para el diseño de circuitos integrados analógicos CMOS de bajo voltaje[8][9].

Una forma de ajustar el voltaje de umbral, $V_{TCC,EFE}$, es precisamente haciendo uso del mecanismo de tunelamiento FN, que consiste en aplicar un voltaje elevado en la terminal de control para la programación o descarga, ver Fig. 1.6. Cuando un campo eléctrico elevado está presente en la compuerta de control, C_{IN} , el mecanismo de tunelamiento de FN permite que la carga sea transferida hacia CF, o desde la CF, dependiendo de la polaridad del campo eléctrico aplicado a través del óxido. La cantidad de carga transferida hacia la CF o extraída de la CF, depende de la magnitud y duración del pulso de programación, V_{PP} .

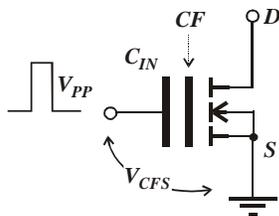


Fig. 1.6. Descarga o precarga de la CF mediante tunelamiento FN en un TMCF.

Un método sencillo que parece dar solución al problema de descarga de la compuerta flotante[11], sin tener que hacer uso de técnicas sofisticadas como el tunelamiento FN, consiste en establecer un contacto aislado de cualquier otro nodo de circuito, desde la terminal de compuerta flotante (POLY1), hasta el último nivel de metal disponible en un cierto proceso de fabricación CMOS.

Debido a que el último nivel de metal, es también el último en depositarse sobre toda el área del circuito integrado, poniendo temporalmente en contacto todos los nodos que tocan a este nivel de metal, es posible definir otro contacto aislado que vaya del último nivel de metal al sustrato, con lo cual se asegura la existencia de un contacto temporal entre POLY1 y sustrato. Lo anterior mantiene descargada la CF, vía el sustrato, durante algunas etapas del proceso de fabricación. Una vez que se ataca químicamente el último nivel de metal, la compuerta flotante queda finalmente aislada, tal y como se desea.

La técnica de descarga para la CF mediante el uso de un interruptor CMOS de acceso a la CF, se describe con más detalle en la siguiente Sección.

1.9 Acceso a la CF Mediante un Interruptor Ideal

Si se agrega un interruptor ideal denotado como SW , entre la CF y un potencial externo, V_{RES} , como se muestra en la Fig. 1.7, es posible eliminar la carga residual de la compuerta flotante, sin tener que hacer uso de alguna de las tres primeras técnicas de descarga de la CF citadas en la Sección 1.8. Esta técnica se presentó originalmente bajo el concepto del “clocked-neuMOS”[10].

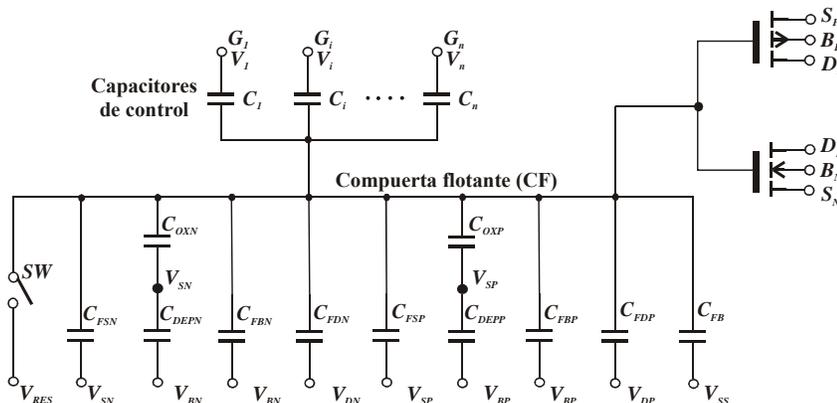


Fig. 1.7. Circuito equivalente capacitivo para un TMCF con interruptor ideal para acceder a la CF.

Con esta modificación a la estructura original del TMCF es posible la transferencia o extracción de una cierta cantidad de carga a la CF, dando origen a dos modos de operación para un TMCF:

1. Modo de operación con transferencia de carga a la CF (modo de reset).

En este modo de operación, el interruptor ideal SW está cerrado, con lo que se logra almacenar una cierta cantidad de carga, Q_{CF} , en función del potencial externo V_{RES} , así como del resto de los potenciales acoplados con la CF.

2. Modo de operación de compuerta flotante (modo de evaluación).

En este modo de operación, el interruptor ideal permanece abierto, y la carga inicial en la CF, corresponde con la que se le transfirió durante el modo de operación de reset.

En este trabajo, se adoptó la técnica de descarga o precarga de CF mediante el uso de un interruptor CMOS entre la CF y un potencial externo de referencia, V_{REF} . Esta técnica, si bien no permite contar con una terminal plenamente flotante, puede utilizarse sin problemas en aplicaciones donde es posible intercalar periodos para realizar descargas y/o precargas de la CF, y así mantener un nivel deseado de carga inicial en la CF. Una ventaja de este método es la sencillez de diseño y la compatibilidad con cualquier proceso de fabricación CMOS.

1.10 Balance de Cargas en la CF con Interruptor Ideal de Acceso.

La carga almacenada en la CF con interruptor ideal de acceso, durante el modo de reset se determina mediante:

$$Q_{CF} = \sum_{i=1}^n C_i (V_{RES} - V_i) + C_{FSN} (V_{RES} - V_{SN}) + C_{FBN} (V_{RES} - V_{BN}) + C_{FDN} (V_{RES} - V_{DN}) + \quad (1.19)$$

$$C_{FSP} (V_{RES} - V_{SP}) + C_{FBP} (V_{RES} - V_{BP}) + C_{FDP} (V_{RES} - V_{DP}) +$$

$$C_{OXN} (V_{RES} - \phi_{SN} - V_{BN}) + C_{OXP} (V_{RES} - \phi_{SP} - V_{BP}) + C_{FB} (V_{RES} - V_{BN})$$

Debido a que se asume que no existe fuga ni inyección de carga en la CF, la carga transferida a la CF durante el modo de reset permanece en la CF, y representa la carga inicial de la CF al inicio del periodo de evaluación. De esta manera, por el principio de conservación de carga, se establece que la carga neta almacenada en la CF, durante el modo de evaluación, es igual a la que se le transfirió durante el periodo anterior de reset, por lo tanto:

$$Q_{CF}(\tau + 1) = Q_{CF}(\tau) \quad (1.20)$$

donde $(\tau + 1)$, se agrega para distinguir al modo de operación actual (modo de operación de evaluación) del modo de operación anterior, τ (modo de operación de reset). La ecuación (1.1) sigue siendo válida para el término izquierdo de la ecuación (1.20).

1.11 Potencial en la CF para un TMCF con Interruptor Ideal de Acceso

Sustituyendo las ecuaciones (1.1) y (1.19) en (1.20), y considerando que los voltajes aplicados a las compuertas, G_i , permanecen constantes durante ambos modos de operación, se deduce la siguiente expresión:

$$\begin{aligned} V_{CF}(\tau+1) \left[\sum_{i=1}^n C_i + C_{FDN} + C_{FSN} + C_{FBN} + C_{OXN} + C_{FDP} + C_{FSP} + C_{FBP} + C_{OXP} + C_{FB} \right] - \\ V_{RES}(\tau) \left[\sum_{i=1}^n C_i + C_{FDN} + C_{FSN} + C_{FBN} + C_{OXN} + C_{FDP} + C_{FSP} + C_{FBP} + C_{OXP} + C_{FB} \right] = 0 \end{aligned} \quad (1.21)$$

Implicando lo siguiente:

$$V_{CF}(\tau+1) = V_{RES}(\tau) \quad (1.22)$$

Lo anterior significa que, para el caso de un TMCF con interruptor de acceso a la CF, la compuerta flotante “memoriza” el potencial, V_{RES} , que le fue aplicado mediante el interruptor ideal durante el modo de operación de reset; siempre y cuando todos los potenciales acoplados capacitivamente con la CF sean voltajes de DC, es decir, que permanecen estáticos durante ambos modos de operación.

Esta característica puede permitir realizar aplicaciones prácticas en diseños analógicos donde es necesario establecer diversos puntos de polarización en los circuitos basados en el TMCF. Como se verá más adelante, desafortunadamente, este potencial no dura memorizado demasiado tiempo en la CF, debido a las corrientes de fuga existentes en un interruptor real en estado abierto, implementado mediante algún tipo de interruptor CMOS.

Si algún potencial acoplado a la CF, no permanece constante en ambos modos de operación; por ejemplo, aplicando señales variantes en el tiempo únicamente a las compuertas de control G_i , entonces, la expresión para el potencial de CF durante el modo de evaluación, V_{CF} , para esta situación, queda determinado por:

$$V_{CF}(\tau+1) = \frac{\sum_{i=1}^n C_i [V_i(\tau+1) - V_i(\tau)]}{C_{TOT}} + V_{RES}(\tau) \quad (1.23)$$

donde, $V_i(\tau+1)$ es el potencial eléctrico aplicado en la compuerta, G_i , durante el modo de operación de evaluación (modo de operación actual), y $V_i(\tau)$, representa al potencial externo aplicado a la entrada G_i , durante el modo de operación de reset (modo de operación anterior).

Para lograr esta funcionalidad se requiere agregar al TMCF circuitería periférica adicional, tal como: multiplexores analógicos operados con señales de reloj de dos fases no traslapadas, conectados a las compuertas de control y a la CF, para así poder aplicar ya sean, señales o voltajes de referencia, entre las compuertas de control y la CF, como convenga a la aplicación.

Precisamente, uno de los circuitos que se utilizó, como se verá más adelante, en el diseño del sensor de imágenes, es el inversor CMOS de compuerta flotante de dos entradas con interruptor de acceso para descarga de la CF, ver Fig. 1.8.

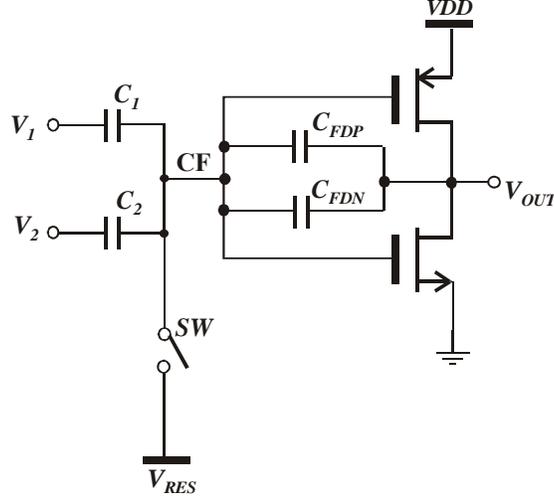


Fig. 1.8. Circuito equivalente capacitivo para la CF, de un inversor CMOS de compuerta flotante de dos entradas con interruptor de acceso a la CF.

Tomando en cuenta la Fig. 1.8, y considerando que los únicos potenciales que varían durante ambos modos de operación son: V_1 , V_2 , y V_{OUT} , entonces, a partir de la ecuación (1.21), se deduce el potencial de compuerta flotante para este circuito, de la siguiente manera:

$$V_{CF}(\tau+1) = \frac{\sum_{i=1}^n C_i [V_i(\tau+1) - V_i(\tau)]}{C_{TOT}} + \frac{[C_{FDN} + C_{FDP}] [V_{OUT}(\tau+1) - V_{OUT}(\tau)]}{C_{TOT}} + V_{RES}(\tau) \quad (1.24)$$

Como se aprecia, el potencial de CF según la Ec. (1.24), incluye el término del voltaje de reset (V_{RES}), abriendo la posibilidad de operar al TMCF con un cierto nivel de voltaje de precarga en la CF (polarización de DC). En el análisis del potencial de la CF, se debe tener en cuenta cuáles son los potenciales estáticos, para descartar su contribución en la expresión del potencial de CF correspondiente. No obstante, la capacitancia total C_{TOT} se sigue formando con la contribución de todas las capacitancias de control y capacitancias parásitas, como se definió en la ecuación (1.5).

Otra característica que se puede aprovechar en el caso del TMCF con interruptor de acceso a la CF, es la posibilidad de realizar operaciones de diferencia, o resta ponderada, a nivel de la CF.

Un caso de interés se obtiene considerando el circuito mostrado en la Fig. 1.9, y la secuencia de acciones que a continuación se describen, lo cual conduce a la expresión para el potencial de CF, particular del caso, expresada mediante la Ec. (1.25).

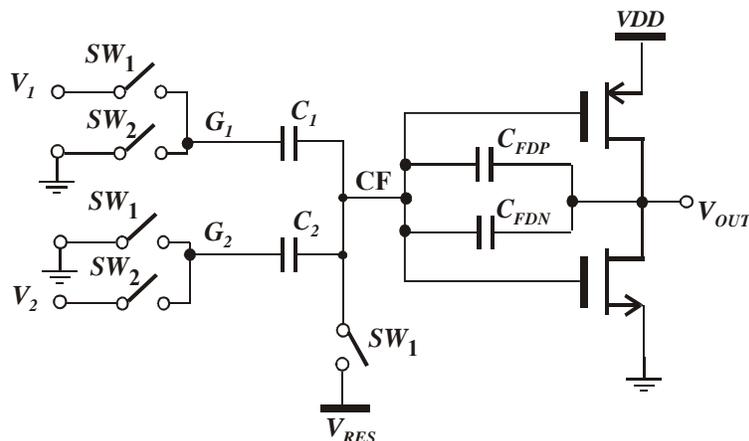


Fig. 1.9. Circuito para la implementación de la operación de resta ponderada, a nivel de la CF, con inversor CMOS como circuito asociado de salida.

1. Se establece primero el **modo de reset** (situación en que todos los interruptores denotados como SW_1 se cierran y los denotados como SW_2 permanecen abiertos): Durante el modo de reset se aterriza la entrada G_2 y la CF, al mismo tiempo que se aplica un potencial en la entrada G_1 .
2. A continuación, se establece el **modo de evaluación** (situación en que todos los interruptores denotados como SW_1 se abren y los denotados como SW_2 se cierran): Durante el modo de evaluación, se hace “flotar” la CF, y se mantiene aterrizada la terminal G_1 , mientras se aplica un potencial en la entrada G_2 .

$$V_{CF}(\tau + 1) = \frac{C_2 V_2 - C_1 V_1}{C_{TOT}} + \frac{[C_{FDP} + C_{FDN}][V_{OUT}(\tau + 1) - V_{OUT}(\tau)]}{C_{TOT}} + V_{RES} \quad (1.25)$$

Suponiendo que $C_1=C_2$, y si el valor de los capacitores de control es mucho mayor que el valor correspondiente a la suma de los capacitores parásitos C_{FDP} y C_{FDN} , que se desarrollan entre la salida del circuito V_{OUT} y la CF; entonces, la ecuación (1.25) puede reducirse a:

$$V_{CF}(\tau + 1) = \frac{V_2 - V_1}{2} \quad (1.26)$$

Así, la ecuación anterior muestra que un TMCF puede utilizarse para efectuar la operación de resta ponderada a nivel de la compuerta flotante.

1.12. Macromodelo para el Potencial de CF de un TMCF con Interruptor Ideal de Acceso

De igual manera que para el caso del TMCF sin interruptor de acceso, es posible definir un macromodelo para simulación en PSpice, como el discutido en la Sección 1.6. El macromodelo propuesto en este trabajo de tesis, que corresponde al caso de un TMFC con interruptor ideal de acceso a la CF, se presenta en la Fig. 1.10. Este deberá modificarse en función de los potenciales presentes en las compuertas de control y en las demás terminales acopladas de manera parásita con la CF, durante ambos modos de operación del dispositivo. Es decir, debido a que los potenciales de DC acoplados con la CF, se cancelan, su contribución se debe descartar de la ecuación para el potencial de CF resultante.

La cancelación de potenciales de DC acoplados con la CF brinda una ventaja adicional, pues se reduce el nivel de corrimiento en DC presente en los TMCF sin interruptor de acceso.

Durante el modo de operación de reset, el potencial en la CF queda determinado de manera inmediata, por el voltaje aplicado al puerto del subcircuito llamado *VTC*. Se hace uso de una señal de control bivalente, aplicada al puerto *SFGM*, para indicar al subcircuito el modo de operación del TMCF. De esta manera, si $SFGM=5V$, se indica al subcircuito que el transistor opera en el modo de evaluación, o bien, si $SFGM=0V$, se indica al subcircuito que trabaje en el modo de reset.

Durante el modo de operación de reset, el interruptor ideal *SW*, asociado al modelo, permanece abierto para que el potencial presente en la CF, sea el mismo que se suministra a la terminal del puerto *VTC* del subcircuito.

Para que el modelo opere adecuadamente, se debe utilizar algún tipo de interruptor MOS externo al subcircuito, de manera que el potencial que se aplica a la terminal *VTC*, sólo esté activo durante el modo de operación de reset.

Un elemento de circuito que se puede usar como interruptor externo, puede ser un transistor MOSFET canal “N” o “P”, o bien, una compuerta de transmisión CMOS, dependiendo de la aplicación y del circuito asociado a la compuerta flotante.

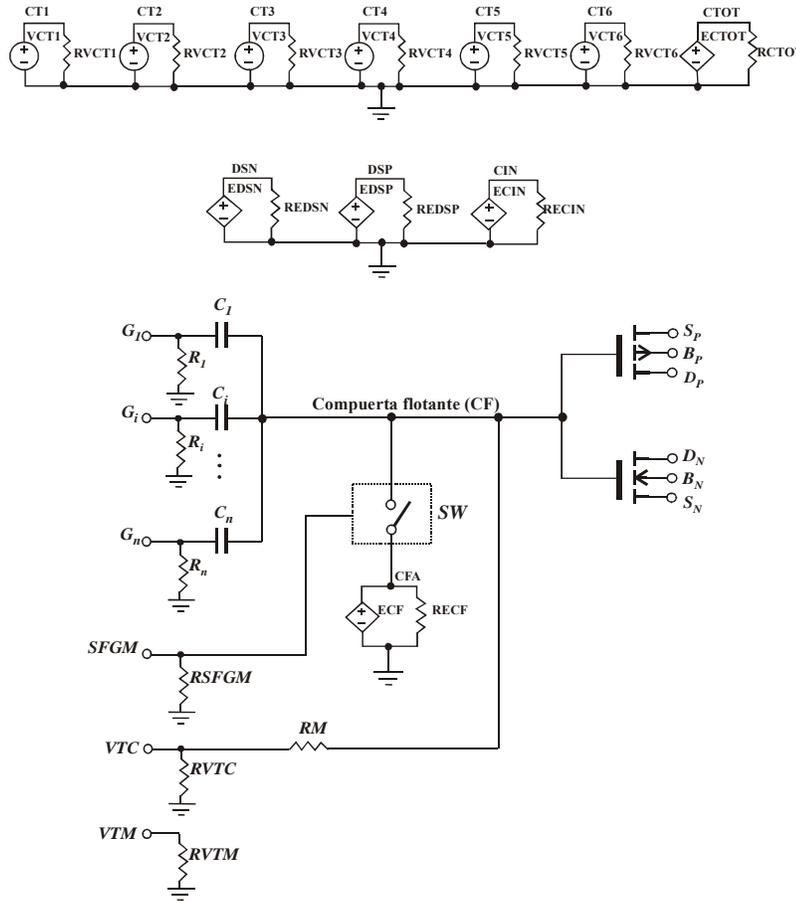


Fig. 1.10. Macromodelo general, propuesto para la simulación de un TMCF de múltiples entradas con acceso temporal a la CF.

Durante el modo de operación de reset, el nivel de voltaje que se aplique al TMCF, a través del puerto VTC , deberá ser el mismo que se aplique al puerto VTM . El potencial VTM , se corresponde con el término $V_{RES}(\tau)$ de la ecuación (1.24). Sin embargo, debido a que durante el modo de operación de evaluación, el puerto VTC observa un nodo en alta impedancia, se agregó el puerto VTM , a través del cual, se debe observar de manera permanente el mismo nivel de voltaje en DC que se aplica temporalmente al puerto VTC .

Para el modo de operación de evaluación, el potencial eléctrico en la CF se modela mediante la fuente de voltaje dependiente de voltaje representada por ECF. La fuente ECF se conecta con la CF mediante el interruptor ideal SW del macromodelo, el cual permanece cerrado durante este modo de operación. La fuente ECF, corresponde en este caso, con la Ec. (1.25)

Como en el caso del macromodelo presentado en la Sección 1.6, el significado del resto de las fuentes de voltaje asociadas al macromodelo, se detalla en las Tablas 1.1 y 1.2. El código del macromodelo propuesto, se presenta en el Anexo No.2.

1.13 Acceso a la CF Mediante un Interruptor Real

Para poder acceder de manera práctica a la terminal de compuerta flotante, se hace uso de un transistor MOSFET o de una compuerta de transmisión CMOS, en lugar del interruptor de acceso ideal, mencionado en la Sección 1.9. El diagrama esquemático para analizar el potencial de la CF, en el caso de un circuito CMOS de compuerta flotante con acceso a la misma, mediante un interruptor real, se presenta en la Fig. 1.11.

Si el transistor MOSFET canal N denotado como SW , opera en la región de corte, entonces, el circuito equivalente para determinar el potencial de CF, corresponde al que se presenta en la Fig. 1.12, en donde, por simplicidad de análisis, todas las entradas G_i , $\forall i=1,2,\dots,n$, están unidas y forman un único capacitor de entrada, C_{IN} . La capacitancia C_{OUT} representa, como en el caso de la Fig. 1.8, la suma de los capacitores parásitos C_{FDP} y C_{FDN} .

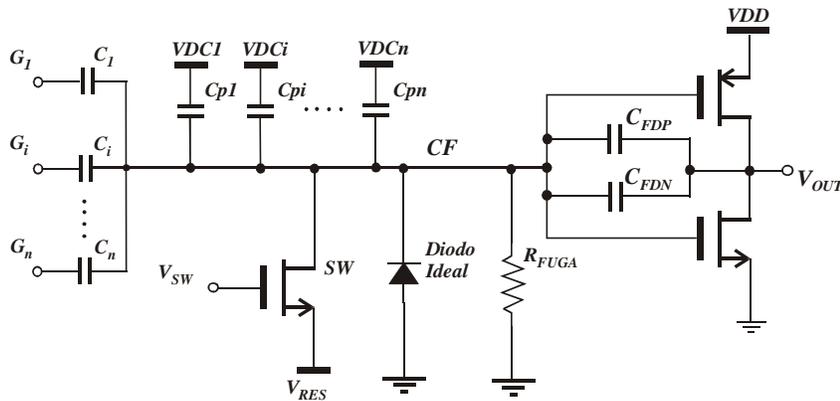


Fig. 1.11. Circuito capacitivo equivalente para un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF.

El capacitor C_{pi} , de la Fig. 1.11, denota la i -ésima capacitancia parásita que acopla la terminal de compuerta flotante con cualquier potencial de DC, VDC_i . En la Fig. 1.11, el diodo ideal modela la unión n^+/p de la difusión drenador-substrato, asociada al transistor de acceso SW y R_{FUGA} es una aproximación a la resistencia parásita de fuga, presente en esta unión.

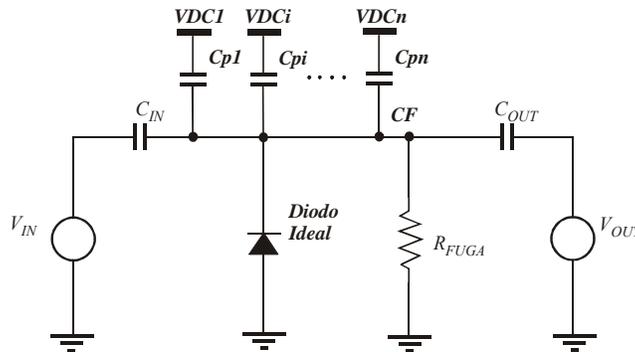


Fig. 1.12. Circuito capacitivo equivalente simplificado para un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF, operando en el modo de evaluación.

1.14 Potencial de Compuerta Flotante en un TMCF con Interruptor Real de Acceso

Mediante el uso del teorema de superposición, es posible analizar el comportamiento del potencial de la CF, de tal manera que éste sea el resultado de la suma de las respuestas a cada una de las principales fuentes de excitación actuando por separado.

Analizando primero la contribución al potencial de CF debido al voltaje de entrada V_{IN} , como se muestra en circuito de la Fig. 1.12, se puede definir el circuito equivalente capacitivo, como se muestra en la Fig. 1.13(a).

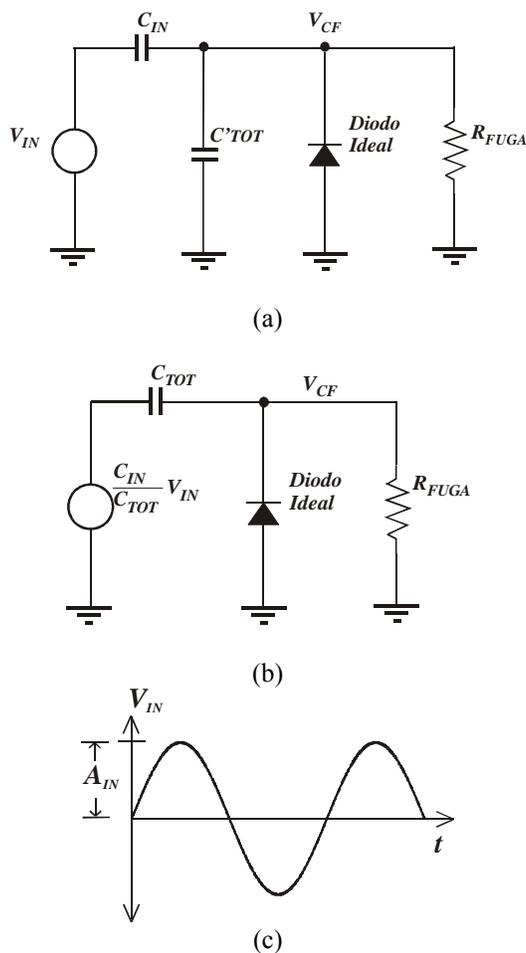


Fig. 1.13. (a) Circuito capacitivo equivalente simplificado para un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF, operando en el modo de evaluación; (b) Reducción de Thevenin y (c) Señal de prueba periódica aplicada a la entrada.

En donde, C'_{TOT} se define como $C'_{TOT} = C_{TOT} - C_{IN}$.

Haciendo una reducción de Thevenin al circuito de la Fig. 1.13(a), se obtiene el que se presenta en la Fig. 1.13(b), el cual no es otra cosa que un circuito sujetador de voltaje.

Si se aplica una señal periódica y continua $V_{IN}=A_{IN}f_1(t+nT)$ con amplitud A_{IN} y periodo T , tal que $T \ll R_{FUGA} C_{TOT}$ (Fig. 1.13(c)), entonces, el potencial de compuerta flotante debido, únicamente a la señal de entrada, está dado por:

$$V_{CF}|_{ENTRADA} = \frac{C_{IN}}{C_{TOT}} V_{IN} + \frac{C_{IN}}{C_{TOT}} A_{IN} \quad (1.27)$$

El mismo análisis es válido, considerando ahora la contribución al potencial de la CF que provoca la fuente V_{OUT} , retroalimentada indeseadamente a través del capacitor parásito C_{OUT} , hacia la CF. Esto es debido a que V_{OUT} cumple la característica de ser una función periódica con amplitud $V_{OUT}=A_{OUT}f_2(t+nT)$. En este sentido, el potencial de compuerta flotante debido a la contribución de la señal de salida, está dado por:

$$V_{CF}|_{SALIDA} = \frac{C_{OUT}}{C_{TOT}} V_{OUT} + \frac{C_{OUT}}{C_{TOT}} A_{OUT} \quad (1.28)$$

Por otra parte, la contribución al potencial de compuerta flotante, proveniente de cualquier potencial estático acoplado con la CF, se puede determinar a partir del análisis de la Fig. 1.14, que se presenta a continuación.

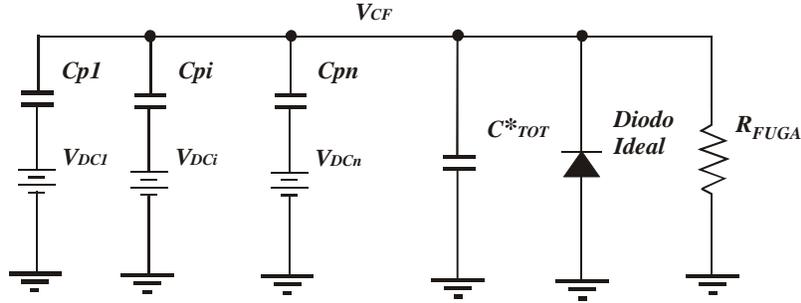


Fig. 1.14. (a) Circuito equivalente utilizado para el análisis del potencial de compuerta flotante en función de los potenciales parásitos de DC, acoplados con la CF, en un inversor de entradas múltiples de compuerta flotante, que hace uso de un MOSFET canal-N como interruptor real de acceso a la CF, operando en el modo de evaluación.

Donde $C^*_{TOT}=C_{TOT}-\sum_i C_{pi}$.

La respuesta transitoria para el potencial de compuerta flotante debido a la contribución de los potenciales estáticos (ver Anexo No. 3), se modela mediante:

$$V_{CF}(t) = \left(\sum_{i=1}^n \frac{C_{pi} V_{DCi}}{C_{TOT}} + V_{RES} \right) e^{-\frac{t}{R_{FUGA} C_{TOT}}} \quad (1.29)$$

Finalmente, a partir de las ecuaciones (1.27), (1.28) y (1.29) se obtiene la expresión que suma las respuestas debido a las principales fuentes de excitación analizadas por separado y que contribuyen a la formación del potencial de compuerta flotante, en el caso particular del circuito presentado en la Fig. 1.11, mediante:

$$V_{CF} = V_{CF}|_{V_{IN}} + V_{CF}|_{V_{OUT}} + V_{CF}|_{DC, V_{RES}} \quad (1.30)$$

Durante el periodo de evaluación, la contribución de los términos asociados con potenciales de DC en la Ec. (1.30) disminuye para valores del tiempo $t \gg R_{FUGA}C_{TOT}$.

Lo anterior significa que la carga eléctrica inducida en la compuerta flotante, proveniente de potenciales estáticos, es decir de niveles de DC así como del potencial de inicialización (V_{RES}), se cancelará debido a la fuga de carga asociada al interruptor de acceso del TMCF. Esta fuga de carga se consolidará después de transcurrido un periodo equivalente a unas cuantas constantes de tiempo del nodo de compuerta flotante ($\tau_{CF} = R_{FUGA}C_{TOT}$). En estado estacionario, se obtiene finalmente:

$$V_{CF} = \frac{C_{IN}}{C_{TOT}} V_{IN} + \frac{C_{OUT}}{C_{TOT}} V_{OUT} + \frac{C_{IN}}{C_{TOT}} A_{IN} + \frac{C_{OUT}}{C_{TOT}} A_{OUT} \quad (1.31)$$

La Ec. (1.31), predice que el potencial de compuerta flotante será igual a la suma, exclusivamente, de las contribuciones provenientes de señales variantes en el tiempo, que se acoplan capacitivamente con la compuerta flotante. En particular, si la señal periódica de excitación, V_{IN} , tiene parte negativa, esta señal se reflejará en la terminal de CF con una magnitud igual a $C_{IN}/C_{TOT}V_{IN}$ más un corrimiento en DC, con un valor aproximado de $C_{IN}/C_{TOT}A_{IN}$.

El análisis anterior se realizó con el fin de mostrar que la contribución en el potencial de CF de cualquier tipo de señal periódica (distinta de DC), aplicada en las terminales de control del TMCF, no se desvanecerá pasado algún tiempo, como es el caso de los potenciales de DC.

Se puede hacer una estimación teórica de la constante de tiempo τ_{CF} , para el caso de un TMCF, considerando dimensiones mínimas para el interruptor de acceso con un área del drenador/fuente: $A_{DF} = 9 \times 10^{-12} \text{ m}^2$. Usando un valor típico, para la corriente de saturación inversa asociada a las uniones del drenador y fuente de $J_S = 1 \times 10^{-4} \text{ A/m}^2$, así como una $C_{TOT} = 0.5 \times 10^{-12} \text{ F}$, y un valor de precarga de la CF de $V_{CF}(0) = 5 \text{ V}$, se tiene que:

$$I_{FUGA} = (1 \times 10^{-4}) (9 \times 10^{-12}) = 9 \times 10^{-16} \text{ A}$$

$$R_{FUGA} \approx \frac{5}{9 \times 10^{-16}} = 5.5 \times 10^{15} \Omega$$

$$\tau_{CF} = C_{TOT} \cdot R_{FUGA} = (0.5 \times 10^{-12}) (5.5 \times 10^{15}) = 2.7 \times 10^3 \text{ seg}$$

$$F_{\min} = \frac{1}{\tau_{CF}} = \frac{1}{2.7 \times 10^3 \text{ seg}} = 3.6 \times 10^{-4} \text{ Hz.}$$

Los datos estimados predicen que los tiempos de descarga de la CF debidos a las fugas asociados al resistor no lineal de la unión n+/p, del drenador del interruptor de acceso a la CF, es del orden de los segundos. También se puede estimar que se pueden operar con frecuencias muy bajas del orden de los Hertz. Ahora, ya se puede tener una idea de los tiempos máximos entre periodos de reset para una operación adecuada de los TMCF con interruptor de acceso a la CF.

1.15 Mediciones de las Celdas de Prueba No. 1 y 2, del CI No.1

El diseño del primer circuito integrado, CI No. 1, desarrollado durante este trabajo de tesis, sirvió para la caracterización eléctrica del TMCF con interruptor de acceso a la CF. Este primer prototipo fue fabricado mediante el servicio MOSIS, corrida T2AH-BJ, en tecnología CMOS de 1.2 μm , con dos niveles de polisilicio, y dos niveles de metal.

En esta sección, se presentan los resultados de la caracterización de dos celdas de prueba, correspondientes a dos inversores CMOS de compuerta flotante; la primera, con tres compuertas de control, y la segunda, con seis compuertas de control, cuyas dimensiones se detallan en la Tabla No. 1.3. En ambas celdas de prueba, se puede descargar CF mediante un interruptor de acceso, implementado con un transistor MOSFET canal N.

Las celdas de prueba incluidas en el CI No. 1, permitieron comparar los resultados de las mediciones con las simulaciones, y con esto, poder validar los macromodelos para PSpice propuestos en este trabajo.

1.15.1 Metodología de Extracción del Parámetro γ_N

Derivando la Ec. (1.31), respecto al tiempo, se obtiene:

$$\frac{dV_{CF}}{dt} = \gamma_{IN} \frac{dV_{IN}}{dt} + \gamma_{par} \frac{dV_{OUT}}{dt} \quad (1.32)$$

donde, $\gamma_{par} = C_{OUT}/C_{TOT}$, se define como el factor de ganancia parásita de compuerta flotante, debido a la retroalimentación indeseada de la salida del inversor, V_{OUT} , con la compuerta flotante.

En la Fig. 1.15 (a), se muestran las pendientes del voltaje de salida V_{OUT} , en las regiones de baja y alta ganancia del inversor CMOS de CF, cuando se opera en el modo de reset, y en la Fig. 1.15 (b), las correspondientes en el modo de evaluación. Estas curvas se midieron considerando los diagramas esquemáticos que se presentan en la Fig. 1.16 (a) y (c), para el modo de operación en reset, y Fig. 1.16 (d) y (f) para el modo de operación de evaluación.

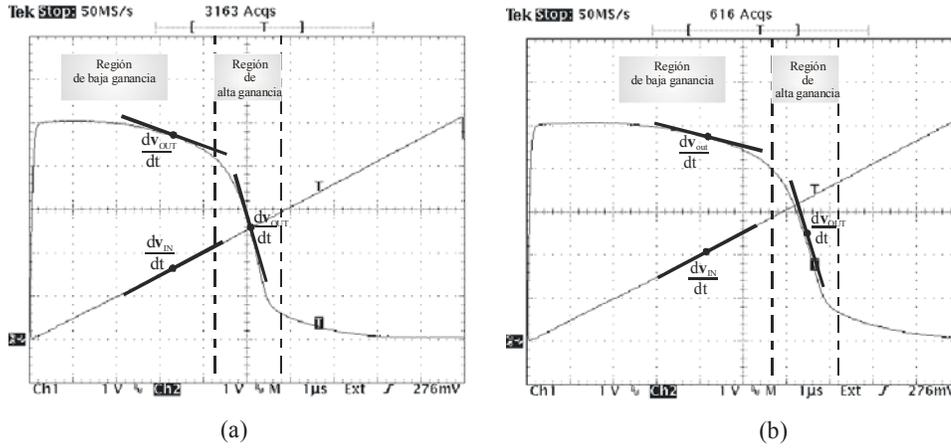


Fig. 1.15. Respuesta medida de la celda de prueba No. 1 (CI No. 1), para una señal de excitación de diente de sierra de $F=100\text{KHz}$, con amplitud pico a pico de 5V , y un offset de 2.5V , operando en el modo de (a) Reset y (b) Evaluación.

Si se provocan pequeños incrementos en el voltaje de compuerta flotante, dV_{CF} , se obtendrán pequeños decrementos en el voltaje de salida del inversor, dV_{OUT} . Estos últimos, se aproximan a una pequeña línea recta, con una pendiente que varía dependiendo del punto en la curva de la función de transferencia, en donde sea observada. Esta pendiente, no es otra cosa que la ganancia en voltaje a pequeña señal durante el modo de operación de reset, que se denotará como A_{VR} , y se expresa mediante:

$$A_{VR} = \frac{dV_{OUT}}{dt} \cdot \frac{dt}{dV_{CF}} \quad (1.33)$$

El máximo valor de esta pendiente, ocurre alrededor del punto de transición del inversor (región de alta ganancia), Ver. Fig. 1.15 (a).

De manera similar, la ganancia en voltaje a pequeña señal, durante el periodo de evaluación A_{VE} , se expresa como:

$$A_{VE} = \frac{dV_{OUT}}{dt} \cdot \frac{dt}{dV_{IN}} \quad (1.34)$$

Substituyendo la Ec. (1.33) y (1.34), en (1.32), se obtiene la siguiente expresión:

$$\gamma_{IN} = \frac{A_{VE}}{A_{VR}} - \gamma_{par} A_{VE} \quad (1.35)$$

Las pendientes, A_{VE} y A_{VR} se pueden medir fácilmente, y por ende, pueden ser utilizadas para extraer los parámetros γ_{IN} y γ_{par} .

A continuación se plantea una metodología de seis pasos para la extracción de los parámetros γ_{IN} y γ_{par} , que puede ser aplicada en el caso de inversores CMOS con interruptor de acceso a la CF y múltiples entradas de control.

Paso 1. Se realiza una medición de la pendiente, A_{VR} , durante el periodo de operación de reset y alrededor de un punto fijo de la curva de salida V_{OUT} , que corresponda con alguna región de baja ganancia, ver Fig. 1.15 (a).

Paso 2. Se realiza una medición de la pendiente, A_{VE} , durante el periodo de operación de evaluación, en una región de baja ganancia y alrededor del mismo punto con respecto al tiempo de la curva V_{OUT} , elegido en el Paso 1, ver Fig. 1.15 (b).

Paso 3. Se calcula el parámetro γ_{IN} mediante la Ec. (1.35), en donde el segundo término se desprecia, debido a que A_{VE} se midió en la región de baja ganancia en donde tiene un valor pequeño y en virtud que $\gamma_{par} < \gamma_{IN}$. Por lo tanto, γ_{IN} se puede calcular mediante la siguiente aproximación:

$$\gamma_{IN} \approx \frac{A_{VE}|_{Paso\ 2}}{A_{VR}|_{Paso\ 1}} \quad (1.36)$$

Paso 4. Se realiza una medición de la pendiente, A_{VR} , durante el periodo de operación de reset, alrededor de un punto fijo y cercano al punto de transición del inversor, en la región de alta ganancia de la curva V_{OUT} , ver Fig. 1.15(a).

Paso 5. Se realiza una medición de la pendiente, A_{VE} , durante el periodo de operación de evaluación, alrededor del mismo punto con respecto al tiempo de la curva V_{OUT} , elegido en el Paso 4, y que corresponda con la región de alta ganancia de la curva, ver Fig. 1.15(b).

Paso 6. Finalmente, a partir de la Ec. (1.35), el parámetro γ_{par} se puede calcular utilizando los datos obtenidos en los Pasos 3 y 4, de la siguiente manera:

$$\gamma_{par} = \frac{1}{A_{VR}|_{Paso\ 4}} - \frac{\gamma_{IN}|_{Paso\ 3}}{A_{VE}|_{Paso\ 5}} \quad (1.37)$$

1.15.2 Resultados Experimentales

Los parámetros γ_{IN} y γ_{par} de las celdas de prueba No. 1 y No 2, fueron caracterizados utilizando la metodología anterior. El diagrama esquemático de las celdas de prueba en ambos modos de operación, y las microfotografías respectivas se presentan en la Fig. 1.16 (a-f)

Las pendientes fueron calculadas utilizando un ajuste de curvas lineal con los datos extraídos del osciloscopio. La Tabla 1.3, presenta los resultados teóricos y extraídos de γ_{IN} y γ_{par} , aplicando a las celdas de prueba un voltaje de entrada V_{IN} , tipo

diente de sierra de frecuencia de 100KHz, con amplitud pico a pico de 5V y con un offset de 2.5V. El periodo de esta señal de excitación ($T=10\mu s$) es mucho menor que la constante de tiempo intrínseca (τ_{CF}), asociada a las compuertas flotantes de ambas celdas de prueba, y que es del orden de los segundos.

Para mostrar el desempeño de los macromodelos presentados en la Sección 1.6 y 1.11, se presentan las siguientes simulaciones en PSpice:

1. Barrido en DC aplicado a las entradas de un inversor CMOS de compuerta flotante de tres entradas, sin interruptor de acceso a la CF (compuerta totalmente flotante).
2. Barrido en DC aplicado a las entradas de un inversor CMOS de compuerta flotante de tres entradas, con interruptor de acceso a la CF.

Celda	Número de capacitores de entrada	Valor de los capacitores de entrada	Dimensiones del inversor (W/L)	Medido		Teórico	
				γ_{IN}	γ_{par}	γ_{IN}	γ_{par}
1	3	0.256 pF	P=27u/1.2u, N=9u/1.2u	0.837	6.71×10^{-3}	0.85	7.55×10^{-3}
2	6	0.35 pF	P=16.8u/3u, N=6u/3u	0.923	-	0.926	-

Tabla 1.3. Parámetros extraídos para la simulación de las celdas de prueba No. 1 y No. 2, incluidas en el CI No.1.

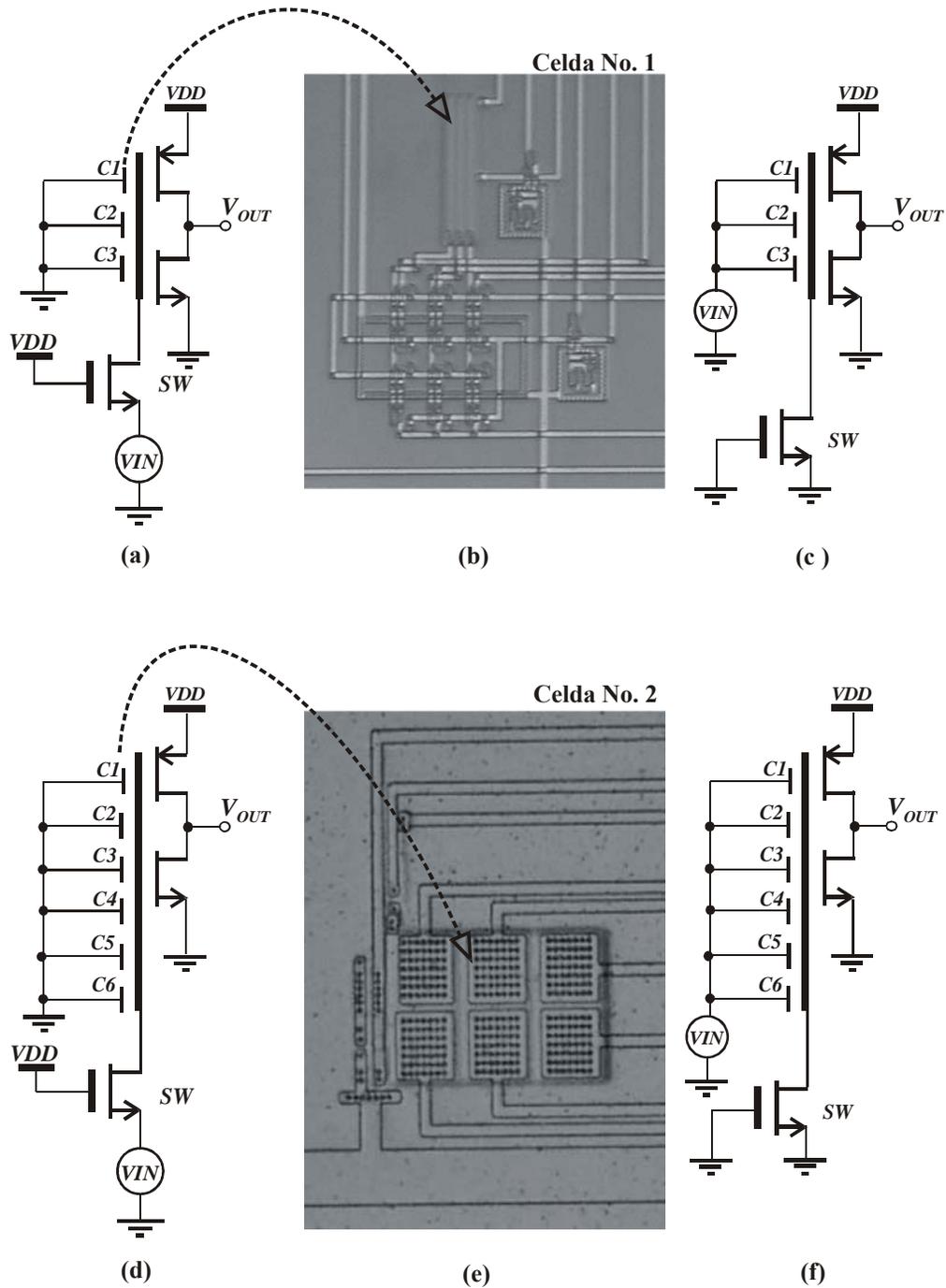


Fig. 1.16. Configuración de las celdas de prueba para la caracterización del parámetro γ_{IN} y γ_{par} , (a) Diagrama esquemático de la celda de prueba No. 1, operando en el modo de reset, (b) Microfotografía de la celda de prueba No. 1, fabricada en un proceso CMOS de 1.2 micras, con dos niveles de polisilicio y dos niveles de metal (corrida T2AH-BJ), (c) Diagrama esquemático de la celda de prueba No. 1, operando en el modo de evaluación; (d), (e) y (f), mismo caso, excepto que corresponden con la celda de prueba No. 2. Se utilizó una señal de excitación de diente de sierra de $F=100\text{KHz}$, con amplitud pico a pico de 5V, y un offset de 2.5V.

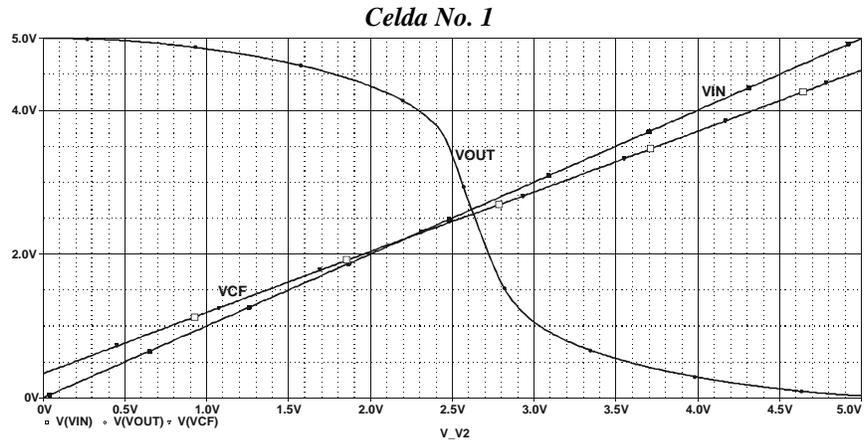


Fig. 1.17. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de tres entradas, sin interruptor de acceso a la CF.

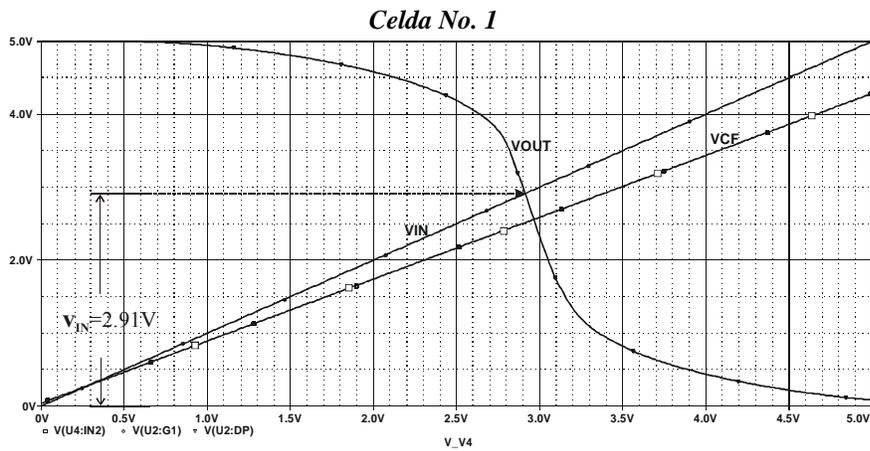


Fig. 1.18. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de tres entradas, con interruptor de acceso a la CF.

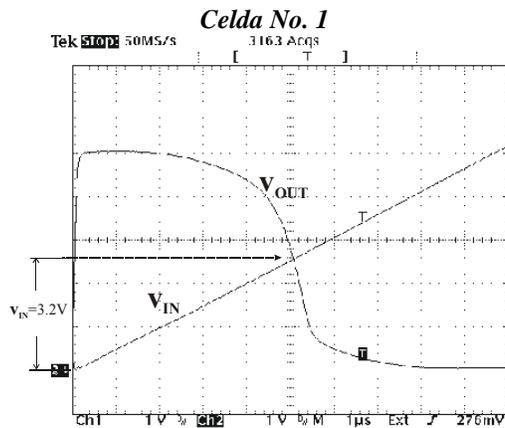


Fig. 1.19. Medición con barrido de 100KHz, aplicado a las tres entradas de un inversor CMOS de compuerta flotante de tres entradas, con interruptor de acceso a la CF.

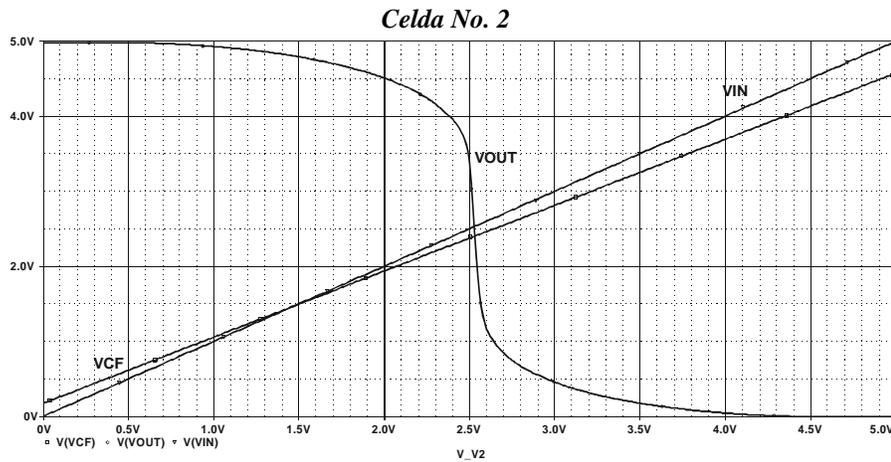


Fig. 1.20. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de seis entradas, sin interruptor de acceso a la CF.

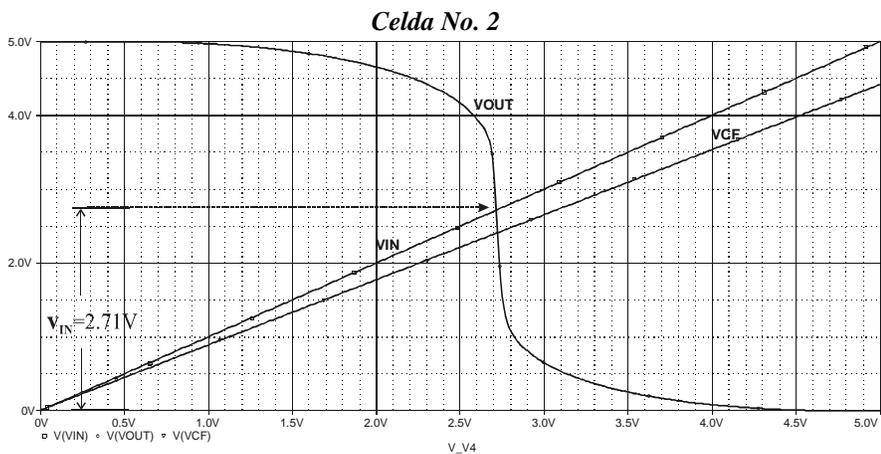


Fig. 1.21. Respuesta en DC con barrido aplicado a las entradas de un inversor CMOS de compuerta flotante de seis entradas, con interruptor de acceso a la CF.

Considerando las Ecs. (1.17) y (1.18) y a partir del modelo para la ganancia en voltaje a pequeña señal de un inversor CMOS convencional, se puede derivar la expresión correspondiente para el caso de un inversor CMOS de compuerta flotante de múltiples entradas, lo que resulta en:

$$\frac{V_{OUT}}{V_{IN}} = \frac{g_m^s(P) + g_m^s(N)}{g_d^s(P) + g_d^s(N)} \quad (1.38)$$

donde el parámetro P se refiere al MOS canal P y el parámetro N al MOS canal N.

Mediante la Ec. 1.38, se estima una ganancia en voltaje a pequeña señal, en el modo de operación de evaluación, menor para el caso de la celda No. 1 con respecto a la celda No. 2, debido a que el factor γ_{IN} resultó menor, y por consecuente g_m^S , es también menor en el caso de la primera celda. Esto se comprueba mediante mediciones y simulaciones presentadas en las Figs. 1.15 (a) y (b), y Figs. de la 1.18 a la 1.21.

1.16 Conclusiones del Capítulo 1

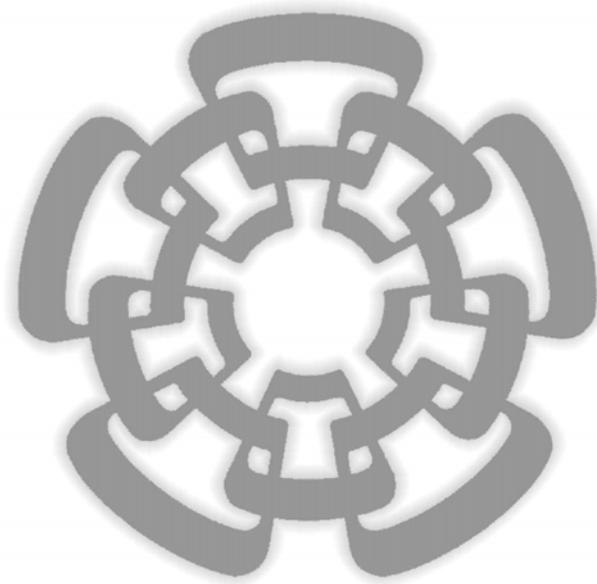
En este Capítulo se abordó el TMCF, considerándose primero el TMCF con aislamiento total de la compuerta flotante (estructura original), así como la versión del TMCF en donde se permite acceder a la terminal de compuerta flotante con el fin de poder descargarla o precargarla a un nivel de voltaje conveniente.

Se plantearon las ecuaciones que determinan los potenciales de compuerta flotante y se propusieron los macromodelos correspondientes para la simulación de este dispositivo, lo cual es fundamental para poder simular circuitos en PSpice usando el TMCF. Se propuso como una aportación, un macromodelo para la simulación del TMCF con interruptor de acceso real a la compuerta flotante[15]; esto será de gran utilidad en el diseño del sensor de imágenes CMOS que se abordará en el Capítulo 3.

En este capítulo, también, se presentaron las mediciones de dos celdas de prueba incluidas en el CI No. 1, que permitieron validar los macromodelos propuestos para simulación de circuitos basados en el TMCF. Específicamente, se caracterizaron dos inversores CMOS de compuerta flotante de múltiples entradas con interruptor de acceso a la compuerta flotante, presentándose una metodología original para la caracterización del parámetro, γ_{IN} , la cual se sometió para su publicación en la revista: “International Journal of Electronics”, en mayo del 2005.

CAPÍTULO 2

DETECCIÓN DE IMAGEN EN CMOS



2.0 Contenido del Capítulo 2

Este capítulo se consagra a la presentación de la estructura de detección de luz conocida como fotocompuerta y que puede ser fabricada mediante un proceso CMOS estándar.

Se presenta el diseño y forma de operación de un píxel analógico de tipo fotocompuerta que, por sus características estructurales, se le clasifica dentro del género conocido como “Sensores de Píxel Activo”[55], por sus siglas en inglés (APS); en este elemento se basa el diseño del píxel binario que se utiliza en la matriz de detección de imágenes.

Se presenta un macromodelo para la simulación en PSpice de esta estructura de detección de luz, lo cual es importante para poder simular dicha estructura, junto con el resto de transistores que componen al píxel.

Los resultados obtenidos en este capítulo, servirán de base para el diseño de la matriz de detección de imágenes, parte fundamental del sensor de imágenes CMOS, cuyo diseño se abordará en el Capítulo 3.

2.1 Introducción del Capítulo 2

Los fotodetectores que interesan en este trabajo de tesis, son aquellos que se pueden fabricar mediante el empleo de un proceso CMOS estándar. El principio fundamental para la detección de la luz, es el efecto fotoeléctrico. Hoy en día, el silicio es la materia prima de la mayoría de los circuitos integrados analógicos y digitales. En el caso de los fotodetectores basados en el silicio, la meta es que, mediante este material, se puedan convertir los fotones incidentes al plano focal, en electrones.

Un fotodetector es un dispositivo que absorbe energía luminosa, y la convierte en energía eléctrica. Estos dispositivos se clasifican como intrínsecos y extrínsecos. Un fotodetector intrínseco, generalmente detecta luz de longitud de onda cercana al ancho, en términos de energía, de la banda prohibida del semiconductor (E_g). La fotoexcitación, crea pares electrón-hueco ($e-h$), los cuales contribuyen al flujo de la corriente eléctrica. Un fotodetector extrínseco, es capaz de detectar luz de energía menor que la energía asociada al ancho de la banda prohibida de un semiconductor. En estos dispositivos, intervienen sub-bandas, ubicadas dentro de la banda prohibida, originadas debido a impurezas profundas y defectos del material semiconductor. Se ilustran ambos procesos de fotogeneración en la Fig. 2.1.

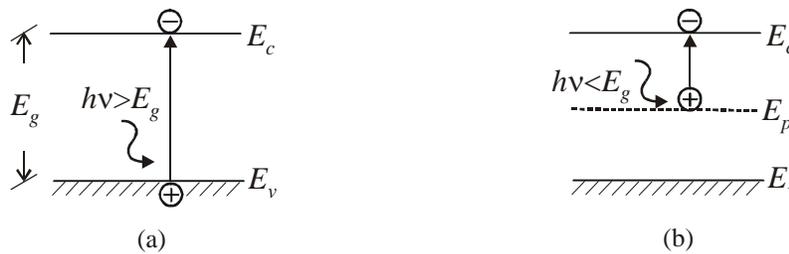


Fig. 2.1. Mecanismo de fotogeneración de pares electrón-hueco, (a) Fotodetector intrínseco

Considérese a un semiconductor con las dimensiones que se expresan en la siguiente figura:

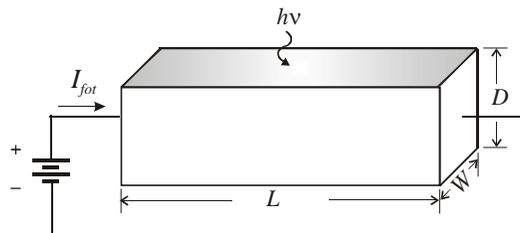


Fig 2.2. Esquema ideal de un trozo de semiconductor sobre el cual incide un haz de luz con energía $h\nu$, y por el cual circula una foto-corriente I_{fot} .

La frecuencia de corte para la longitud de onda más larga (λ_c) de una señal luminosa que incide en la superficie del semiconductor, se define mediante la siguiente ecuación:

$$\lambda_c = \frac{hc}{E_g} \quad (2.1)$$

$$\lambda_c (\mu\text{m}) = \frac{1.24}{E_g (\text{eV})} \quad (2.2)$$

A partir de la Ec. (2.2) se puede constatar que la detección mediante el efecto fotoeléctrico, en el caso del silicio, no es posible para longitudes de onda de la luz $\lambda > 1.1 \mu\text{m}$. En donde h , es la constante de Planck (en eV) $h = 4.138 \times 10^{-15}$ eV, c es la velocidad de la luz en el vacío (en $\mu\text{m/s}$), $c = 2.99 \times 10^{14}$ $\mu\text{m/s}$, y E_g es el ancho la banda prohibida del semiconductor (en eV). Si se considera que el espesor (D) del semiconductor de la Fig. No. 2.2, es mucho mayor que la profundidad de penetración de los fotones ($D \gg 1/\alpha$), entonces la velocidad de generación de portadores en unidad de volumen se puede definir mediante:

$$G = \frac{n}{\tau} \quad (2.3a)$$

$$G = \frac{p}{\tau} \quad (2.3b)$$

o bien, como:

$$G = \frac{\eta(P_{inc}/h\nu)}{W L D} \quad (2.4)$$

En donde τ es el tiempo de vida de los portadores foto-generados, n y p son la cantidad de portadores generados en unidad de volumen respectivamente y P_{inc} es la potencia luminosa incidente en unidad de tiempo.

El factor $(P_{inc}/h\nu)$ de la Ec. (2.4), corresponde con el número total de fotones que llegan a la superficie del semiconductor en unidad de tiempo.

Se define a η como la eficiencia cuántica de un fotodetector, y se expresa mediante la siguiente ecuación:

$$\eta = \frac{I_{fot} h\nu}{q P_{inc}} \quad (2.5)$$

La eficiencia cuántica representa al número de portadores (pares electrón-hueco) colectados para producir una fotocorriente I_{fot} , dividida por el número de fotones incidentes $(P_{inc}/h\nu)$. A este parámetro, también se le conoce como eficiencia cuántica externa del dispositivo (η_{ext}). La eficiencia cuántica interna, η_{int} , por otra parte, se define como el número de pares electrón-hueco creados, divididos por el número de fotones absorbidos.

La sensibilidad del fotosensor, \mathfrak{R}_{esp} , se define de la siguiente manera.

$$\mathfrak{R}_{esp} = \frac{I_{fot}}{P_{inc}} \quad (2.6)$$

Sustituyendo la Ec. (2.5) en la Ec. (2.6), se obtiene:

$$\mathfrak{R}_{esp} = \frac{\eta q}{h\nu} \quad (2.7)$$

Sustituyendo valores de las constantes físicas h y q en la Ec. (2.7), se tiene

$$\mathfrak{R}_{esp} = \frac{\eta\lambda(\mu m)}{1.24} \left[\frac{A}{W} \right] \quad (2.8)$$

2.2 Fotocompuerta

La estructura de fotodetección conocida como fotocompuerta[54], se muestra en la Fig.2.3, la cual se forma mediante un capacitor MOS que es expuesto a la luz. La fotocompuerta se utiliza para acumular los portadores de carga que son generados dentro y fuera de la región de agotamiento. La zona de agotamiento, o región de carga espacial, es creada por medio del voltaje, V_G , aplicado a la terminal de compuerta; lo que constituye un pozo de potencial capaz de coleccionar y separar las cargas fotónicas (electrones en el caso de un sustrato tipo P). Las dimensiones típicas para un espesor de la zona de agotamiento son de $x_d \approx 0.5 \mu m$, para un proceso CMOS de $1.2 \mu m$. Por esta razón, se considera que el llenado del pozo de potencial es debido principalmente a las cargas que se generan fuera de la región de agotamiento y que logran difundirse hasta esta región, toda vez que las cargas que se pueden generar dentro de la región de agotamiento, corresponden a fotones incidentes de longitud de onda corta (azules) que son casi completamente absorbidos por el material de la compuerta.

La fotocompuerta es básicamente la misma estructura utilizada en los dispositivos detectores CCD, ya que no solamente es capaz de acumular cargas, sino que también permite su transferencia lateral, desde el pozo de potencial donde se acumulan, hacia alguna capacitancia situada a una distancia muy próxima.

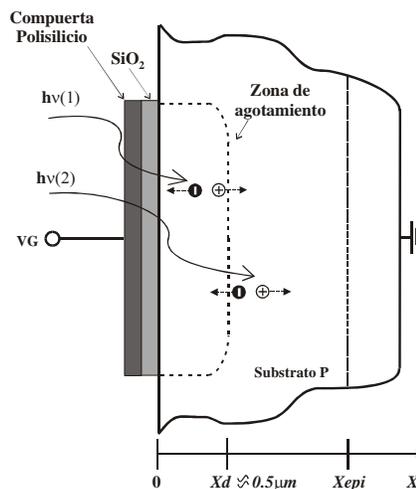


Fig. 2.3. Corte transversal de una estructura de detección de luz de tipo fotocompuerta.

La operación de la fotocompuerta conmuta entre el estado de reset y el estado de integración, tomándose en cuenta lo siguiente:

1. Durante el estado de reset, se asume que no existen cargas libres en la región de agotamiento.
2. En el estado de integración, la difusión de las corrientes fotogeneradas llenan el pozo de potencial.

2.3 Modelo para la Corriente Fotogenerada en una Fotocompuerta

El modelo que describe la corriente de difusión generada en un detector de tipo fotocompuerta, implementado en tecnología CMOS, el cual es iluminado con luz visible de longitud de onda λ , se obtiene resolviendo la ecuación de continuidad en una dimensión, y se expresa mediante:

$$D_n \frac{\partial^2 n_p}{\partial x^2} - \frac{n_p - n_{po}}{\tau_n} + G(x) = 0 \quad (2.9)$$

en donde $G(x)$, se define como la velocidad de generación de los pares electrón-hueco debidos a un flujo de fotones incidentes, ϕ_1 , sobre el material del sustrato, en unidad de área, con un coeficiente de absorción α , dado por:

$$G(x) = \phi_1 \alpha e^{-\alpha x} \quad (2.10)$$

donde, el término ϕ_1 , corresponde al flujo de fotones que llegan a la superficie del sustrato P, y se calcula mediante la siguiente expresión:

$$\phi_1 = \phi_o \alpha e^{-\alpha T_{comp}} \quad (2.11)$$

En la ec. (2.11), T_{comp} , es el espesor del material de compuerta (POLY 1). A su vez, ϕ_o , está definido como:

$$\phi_o = \frac{P_{inc}(1-R)}{h\nu A} \quad (2.12)$$

En la ecuación anterior, R es el coeficiente de reflexión en la superficie del material de compuerta donde incide de manera directa la luz, h es la constante de Planck ($h=6.63 \times 10^{-34}$ J seg), ν es la frecuencia de la luz incidente, A es el área de la compuerta en cm^2 y, P_{inc} , es la potencia luminosa incidente en W/cm^2 ($\text{J}/\text{Seg cm}^2$). Rescribiendo la Ec. (2.9), se tiene:

$$D_n \frac{\partial^2 n_p}{\partial x^2} - \frac{n_p - n_{po}}{\tau_n} + \phi_1 \alpha e^{-\alpha x} = 0 \quad (2.13)$$

La Ec. (2.13), constituye una ecuación diferencial de segundo orden con coeficientes constantes, la cual se reescribe en función del orden de sus derivadas, como:

$$n_p'' + \left(-\frac{1}{L_n^2}\right)n_p = -\frac{\phi_1\alpha}{D_n}e^{-\alpha x} - \frac{n_{po}}{L_n^2} \equiv g(x) \quad (2.14)$$

Donde L_n es la longitud de difusión de los electrones, y está dada por:

$$L_n = \sqrt{D_n\tau_n} \quad (2.15)$$

donde D_n , es el coeficiente de difusión de los electrones.

La solución de la Ec. (2.14) se presenta en el Anexo 4, y sirve para determinar la densidad de corriente fotogenerada, J_{diff} , en la estructura de la fotocompuerta, cuyo resultado se expresa mediante:

$$J_{diff} = \frac{-qD_nC_1e^{\frac{x_d}{L_n}}}{L_n} + \frac{qD_nC_2e^{-\frac{x_d}{L_n}}}{L_n} - qD_n\alpha C_3e^{-\alpha x_d} \quad (2.16)$$

en donde los coeficientes C_1 , C_2 y C_3 , se definen en el Anexo No.4 y x_d es el ancho de la región de agotamiento, ver Fig. 2.3.

La Ec. (2.16), es importante porque se utilizó para poder definir el macromodelo para la simulación en PSpice de la estructura detectora de tipo fotocompuerta[16].

2.4 Pixel Activo de Tipo Fotocompuerta

El corte transversal de un píxel activo de tipo fotocompuerta, operando durante la fase de integración de fotocargas, se presenta en la Fig. 2.4.

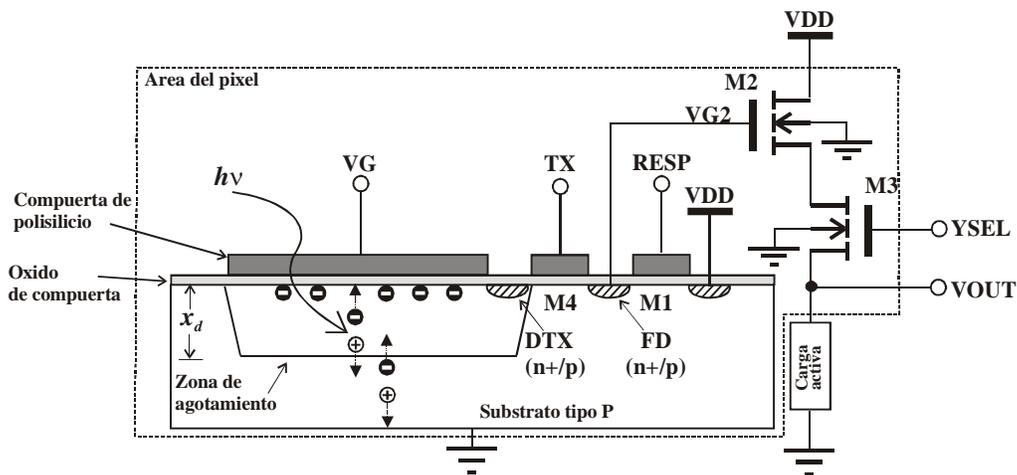


Fig. 2.4. Corte transversal de un píxel activo de tipo fotocompuerta (APS).

Una señal con amplitud igual a VDD aplicada a la terminal V_G , provoca la creación de una zona de deserción de profundidad x_d . Los fotones incidentes, atraviesan el material de compuerta, creando pares electrón-hueco, tanto en el volumen de la región de agotamiento, como en la región neutra del sustrato.

Un detector de imagen debe separar los portadores de carga para evitar que se recombinen de nuevo; en el caso de la fotocompuerta, esto se logra gracias al campo eléctrico interconstruido en la región de agotamiento, el cual se encarga de expulsar a los huecos hacia la zona neutra en el sustrato, y a la vez, atrae hacia la interfaz Si-SiO₂ a los electrones, justo debajo de la terminal de la compuerta, permitiendo así su acumulación mientras la señal V_G permanece en nivel alto, ver. Fig. 2.5

El rol del transistor TX, es el de aislar a los electrones acumulados en la zona de agotamiento, durante el periodo de integración de cargas, mientras permanece inactivo. A su vez, es posible sujetar las compuertas de M4 y M1 en un nivel cercano a $1/2V_{DD}$, con lo cual se logra contar con un mecanismo que evita que las cargas generadas en exceso, debido a una fuerte iluminación local, se desborden hacia píxeles contiguos donde no se originaron (mecanismo de anti-blooming).

Una vez que termina el periodo de integración de fotocargas, el diodo de lectura, FD, se inicializa, activando el transistor M1 mediante una señal de control denominada RESP, ver Fig. 2.6, inmediatamente después, se desactiva a M1, y entonces es posible medir un nivel de referencia a la salida del píxel en la terminal V_{out} . Posterior a la medición de este nivel de referencia, las fotocargas son transferidas hacia el diodo de lectura FD, haciendo la señal $V_G=0$, ver Fig. 2.7. En este momento, las cargas atraviesan M4 y se alojan en la capacitancia C_{FD} , asociada al diodo FD, provocando un cambio de tensión δV_{FD} , expresado mediante:

$$\delta V = N_e \frac{qG_{pix}}{C_{FD}} = N_e C_{vf} \quad (2.17)$$

donde N_e , es el número de electrones fotónicos acumulados en el pozo de potencial asociado a la fotocompuerta y, G_{pix} , es la ganancia dinámica en tensión del seguidor fuente (sistema M2, M3 y carga activa). A C_{vf} (V/e⁻), se le conoce como el factor de conversión de carga a voltaje y es una figura de mérito importante, ya que representa la tensión producida por un fotoelectrón captado por el píxel. Este factor determina la sensibilidad y, por lo tanto, la posible aplicación del sensor (aplicación en condiciones de baja o alta luminosidad).

Al existir solo una etapa de transferencia entre el pozo de potencial y el diodo flotante, se considera que todas las cargas fotogeneradas son transferidas hacia el diodo FD.

Una desventaja del detector de tipo fotocompuerta es que tiene muy baja sensibilidad ante la luz de color azul, ya que como se mencionó, la compuerta de polisilicio absorbe casi todo el espectro visible de longitudes de onda cortas.

Además de lo anterior, en algunos procesos de fabricación CMOS modernos se suelen agregar componentes metálicos (siliciuros) a la compuerta de polisilicio, con el fin de reducir la resistencia de contacto, así como la resistencia de hoja de la compuerta, bloqueando con esto casi todo el espectro visible. Algunas soluciones se pueden abordar, como la apertura de ventanas en la compuerta para permitir el paso de la luz.

En las Figs. 2.5-2.7, se representan las tres etapas de operación típicas de la estructura de tipo fotocpuerta.

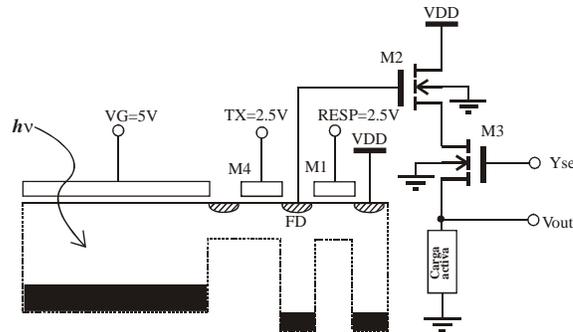


Fig. 2.5. Operación de la fotocpuerta durante el periodo de integración.

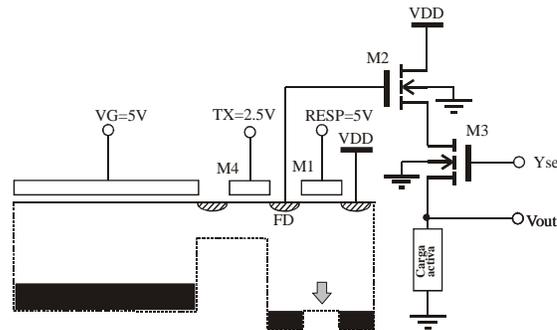


Fig. 2.6. Operación de la fotocpuerta durante el periodo de reset.

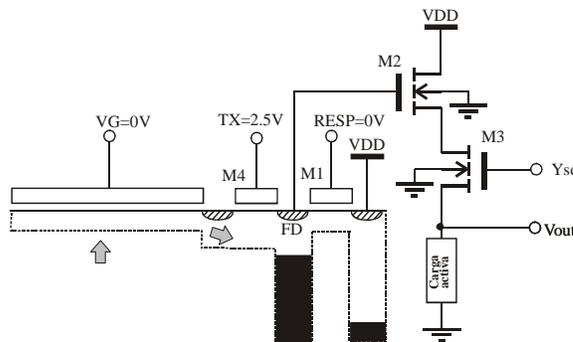


Fig. 2.7. Operación de la fotocpuerta durante el periodo de transvase de fotocargas.

2.5 Macromodelo para PSpice de un Píxel de tipo Fotocompuerta

Mediante la facilidad que brinda el simulador PSpice para realizar modelado de sistemas a nivel comportamiento, se construyó un macromodelo para la simulación de esta estructura [16], el cual se detalla en el Anexo 5. El circuito equivalente propuesto para modelar el potencial del diodo FD se presenta en la Fig. 2.8. El subcircuito tiene tres puertos, en donde I y SUB , corresponden a las terminales de entrada y salida del generador de corriente pulsante. Un puerto de entrada de control, denotado como STX , se utiliza para encender el generador de corriente. El ancho del pulso de la señal de control STX debe ser igual al parámetro TX , capturado en el símbolo del subcircuito del editor de esquemático.

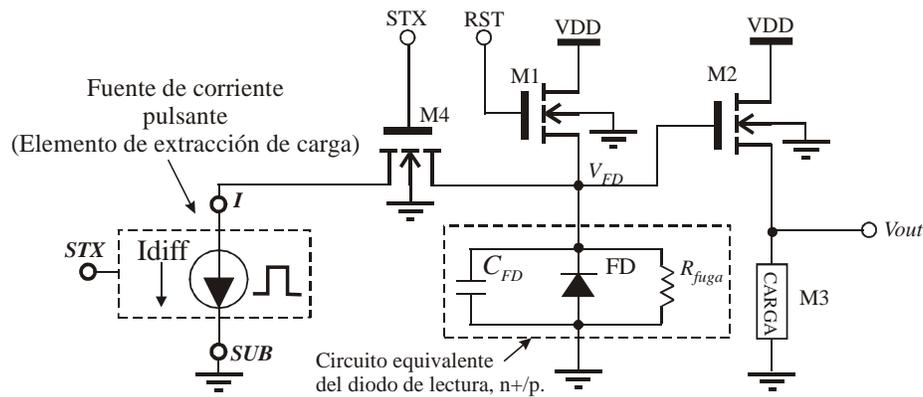


Fig. 2.8. Circuito eléctrico equivalente del píxel de tipo fotocompuerta, utilizado para simulación en PSpice.

El macromodelo asociado a la fuente de corriente pulsante genera una corriente con amplitud I_{diff} , la cual se utiliza para extraer una cierta cantidad de carga del nodo FD, igual a la carga acumulada en la fotocompuerta durante el periodo de integración, simulando el cambio de tensión en el nodo FD.

El presente macromodelo constituye una contribución de este trabajo de tesis, cuya funcionalidad es la de calcular la cantidad de carga que se genera en la fotocompuerta, con base en el modelo de la corriente de difusión para un píxel activo de tipo fotocompuerta, factible de construirse en tecnología CMOS, así como los principales parámetros de operación como son: la longitud de onda, la potencia luminosa incidente, el área de la fotocompuerta, el tiempo de integración de carga y el tiempo asignado para el transvase de fotocargas hacia el diodo de lectura. El uso de este macromodelo, fue de gran importancia en la simulación global del sensor de imágenes. En el CI No. 3, se diseñaron algunas celdas de prueba para caracterizar y validar este macromodelo, cuyos resultados se presentarán, en el Capítulo 4.

Los parámetros que utiliza el macromodelo, se pueden obtener del fabricante de circuitos integrados, razón por la cual, las simulaciones que se llevaron a cabo con la ayuda de este macromodelo, concuerdan razonablemente con las mediciones.

2.6 Ruido en los Píxeles de tipo Fotocompuerta

El desempeño global de un sensor de imagen está limitado por el ruido que se agrega a la señal fotodetectada. De esta manera, la figura de mérito relativa al ruido es una medida de su perfección[36][41][43][56].

El ruido proviene de muchas fuentes y su atenuación requiere de la optimización de muchas partes individuales que componen al sistema. El tratamiento del ruido es un tópico muy complejo, y aún más complejo, la medición de los componentes de sistemas ruidosos.

Los tipos de ruido presentes en un sistema de captura de imagen se clasifican en dos grandes categorías.

- 1) Ruido aleatorio
- 2) Ruido de patrón

El ruido aleatorio no es constante entre cuadros de imagen, razón por la cual, puede ser reducido mediante su promediado entre cuadros de imagen sucesivos, y es descrito mediante distribuciones estadísticas.

El ruido aleatorio puede ser expresado en términos de parámetros que describen una distribución estadística de voltaje o corriente, p.e., si existen n muestras de una señal: $x_1, x_2, x_3, \dots, x_n$, entonces la media es: $x = (x_1 + x_2 + x_3 + \dots + x_n) / n$, que para un conjunto elevado de muestras, tiende a dejar el nivel de DC limpio de ruido. Sin embargo, una descripción más útil del ruido es obtenida mediante la variancia $\langle x^2 \rangle$ o la desviación estándar $\sqrt{\langle x^2 \rangle}$, reportadas en unidades RMS, las cuales miden la dispersión de puntos alrededor de la media, expresada mediante:

$$\langle x^2 \rangle = \frac{1}{n} \left[\sum_{j=1}^n (x_j - x)^2 \right] \quad (2.18)$$

Para sumar las fuentes ruidosas, se tienen que sumar las variancias

$$\langle x^2 \rangle = \langle x_1^2 \rangle + \langle x_2^2 \rangle + \langle x_3^2 \rangle + \dots + \langle x_n^2 \rangle \quad (2.19)$$

La importancia del ruido en el desempeño global del sensor, se puede entender con la ayuda de la Fig. 2.9, en donde se define como el rango dinámico del sensor, a la relación entre el nivel de saturación de la señal y el máximo nivel de ruido rms.

$$\text{Rango dinámico}(dB) = 20 \log \left(\frac{\text{saturación de la señal}}{\text{nivel de ruido rms}} \right) \quad (2.20)$$

Entonces, p.e., para un margen de saturación de píxel, de aproximadamente $200Ke^-$ y un ruido de lectura de aproximadamente $40 e^-$ rms, se tendría un rango dinámico de 74dB. Suponiendo que la corriente de oscuridad sea despreciable, entonces la mínima cantidad de señal registrable está determinada por el ruido del sistema. Ver Fig. 2.9.

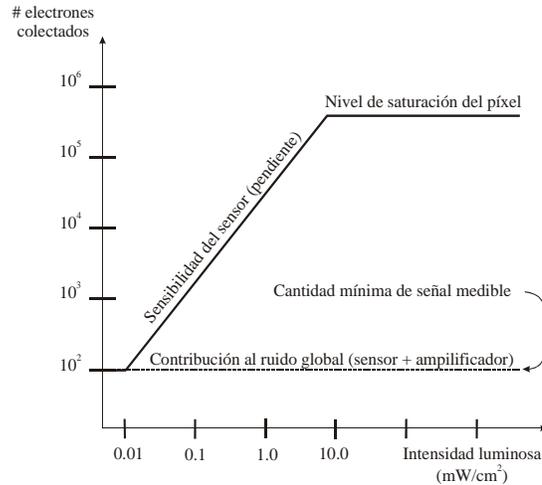


Fig. 2.9. Esquema que ejemplifica la proporción de señal a ruido en un sensor de imagen.

Un modelo apropiado para estimar el ruido global en el sistema está determinado por el siguiente modelo:

$$\langle n_{global} \rangle = \sqrt{\langle n_{shot}^2 \rangle + \langle n_{lectura}^2 \rangle + \langle n_{patrón}^2 \rangle} \quad (2.21)$$

en donde el ruido de lectura es determinado por la circuitería de amplificación de señal, y demás etapas que le sigan, hasta obtener la señal de salida.

El ruido aleatorio es generalmente clasificado en: ruido térmico, ruido “flicker” y ruido “shot”.

2.6.1 Ruido Térmico

El ruido térmico ocurre en cualquier semiconductor provocado por el movimiento aleatorio de los portadores de carga. El ruido térmico es un tipo de ruido blanco, la potencia del ruido es constante sobre todas las frecuencias. Para una resistencia, el ruido cuadrático medio se define mediante:

$$\langle V_{th} \rangle = \sqrt{4kTBR} \quad (2.22)$$

en donde R es la resistencia y B es el ruido equivalente en el ancho de banda. Debido a que el ruido térmico cubre todo el espectro de frecuencias, entonces el ancho de banda determinará la cantidad de ruido real que se puede medir.

El circuito equivalente que modela el ruido térmico, se muestra en la Fig. 2.10.

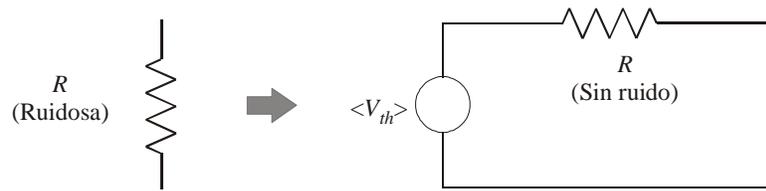


Fig. 2.10. Circuito eléctrico equivalente para modelar el ruido térmico.

Un factor importante es el ruido equivalente en el ancho de banda de operación del dispositivo (NEB), que se define en el caso ideal de un sistema con ganancia en voltaje unitaria como A_0^2 , ver Fig. 2.11(a). Sin embargo, el comportamiento de un sistema real no es tan abrupto. El NEB, se puede entender con ayuda de las áreas sombreadas de Fig. 2.11(b), como el punto B , sobre el eje de la frecuencia, tal que defina dos áreas de igual magnitud entre la curva de respuesta real y la transición abrupta delimitada por el punto B .

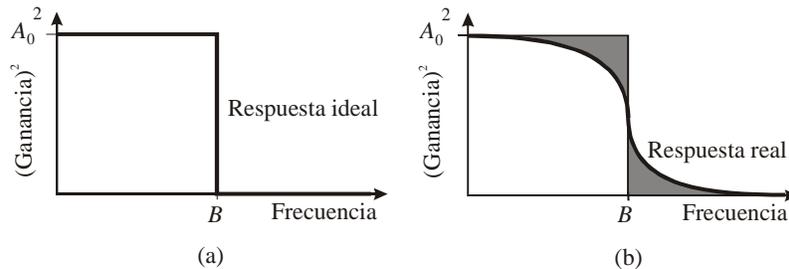


Fig. 2.11. Ruido equivalente en el ancho de banda de operación de un sistema (a) Ganancia unitaria dentro del ancho de banda de operación del dispositivo, y (b) Ganancia real.

$$B = \frac{1}{|A_0|^2} \int_0^{\infty} |A(f)|^2 df \quad (2.23)$$

Considerando un filtro pasa bajos RC, como el que se presenta en la Fig. 2.12,

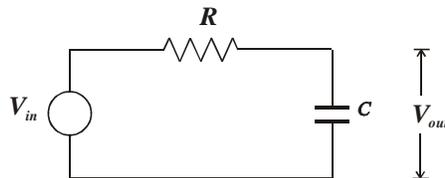


Fig. 2.12. Filtro pasabajos RC

se tiene la siguiente función de transferencia:

$$A(\omega) = \frac{V_{out}}{V_{in}} = \frac{1}{\frac{1}{j\omega C} + R} \quad (2.24-a)$$

$$A(f) = \frac{f_0}{jf + f_0}, \quad \text{donde} \quad f_0 = \frac{1}{2\pi RC} \quad (2.24-b)$$

Calculando el NEB, mediante el uso de la Ec. (2.23) y la Ec. (2.24-b), con $A_0=1$, se tiene:

$$B = \int_0^{\infty} \left(\frac{f_0}{\sqrt{f^2 + f_0^2}} \right)^2 df \quad (2.25)$$

Quedando, finalmente:

$$B = \frac{\pi}{2} f_0 \quad (2.26)$$

Este caso, finalmente, corresponde con el sistema de reset del diodo de lectura (FD) de la fotocpuerta, y sirve para poder determinar la expresión para el ruido provocado por el reset de este diodo, ver Fig. 2.13.

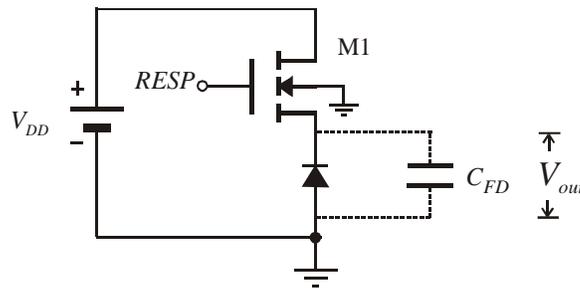


Fig. 2.13. Circuito eléctrico equivalente para la precarga de la capacitancia asociada a la difusión flotante n+/p, donde se realiza la conversión de carga a voltaje en el píxel de tipo fotocpuerta.

Efectivamente, en el sistema de reset del diodo FD, se cuenta con un sistema capacitivo cargado a través de la resistencia asociada (R_I) al canal de M1 como se muestra en Fig. 2.14(a).

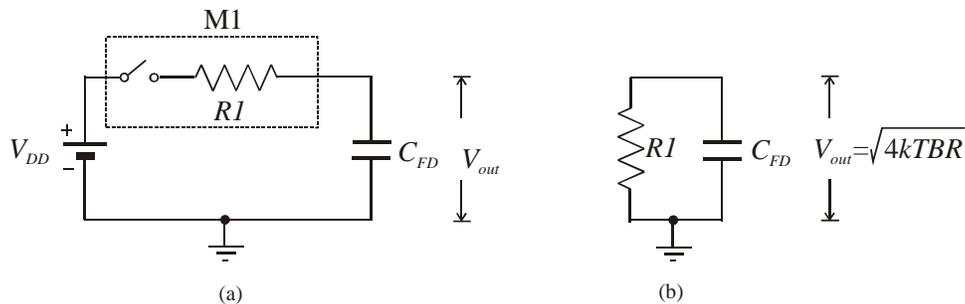


Fig. 2.14. (a) Circuito RC equivalente para la precarga de la capacitancia asociada a la difusión flotante n+/p, (b) Circuito equivalente, correspondiente en AC.

Sustituyendo la Ec. (2.26) en la Ec. (2.22), se determina la expresión para calcular ruido térmico asociado al sistema de reset del diodo de lectura FD, mediante:

$$\langle V_{out} \rangle = \sqrt{\frac{kT}{C_{FD}}} \quad (2.27)$$

Generalmente, las fuentes de ruido se expresan en términos de electrones para compararse directamente con la cantidad de electrones colectados en el pozo de potencial de la estructura MOS iluminada. Si se considera que:

$$n q = C V \quad (2.28)$$

entonces, se tiene la siguiente expresión para el ruido de reset en electrones rms:

$$\langle n_e \rangle = \frac{\sqrt{kTC_{FD}}}{q} \quad (2.29)$$

2.6.2 Ruido Shot

El ruido “shot”, constituye comúnmente la mayor fuente de ruido en los dispositivos semiconductores. Este ruido es independiente de la frecuencia y proviene de la naturaleza discreta de las partículas de carga. El ruido shot, es el resultado de la generación térmica dentro de una región de agotamiento, y en el caso de un dispositivo fotodetector, inclusive por la generación aleatoria de pares electrón-hueco por el impacto aleatorio de fotones.

Una señal de corriente rms, generada por este fenómeno, se modela mediante:

$$\langle i \rangle = \sqrt{2qI_{DC}B} \quad (2.30)$$

Si la distribución de ruido estadístico se puede describir mediante una distribución de Poisson, entonces la variancia es igual a la media.

Considerando una densidad corriente de oscuridad J_{osc} , un área de detección del sensor A , y un tiempo de integración τ_{int} , entonces la variancia del ruido “shot” está determinada mediante:

$$\langle n_{osc}^2 \rangle = n_{osc}^2 = \frac{J_{osc} A \tau_{int}}{q} \quad (2.31)$$

Respecto al ruido shot generado por la aplicación de un flujo luminoso incidente en la fotoc compuerta, ϕ_o (en: fotones/cm² s), se tiene:

$$\langle n_{ilum}^2 \rangle = n_{ilum}^2 = \eta \phi_o A \tau_{int} \quad (2.32)$$

Finalmente, la contribución del ruido shot al sensor, está determinado mediante

$$\langle n_{shot} \rangle = \sqrt{\langle n_{osc}^2 \rangle + \langle n_{illum}^2 \rangle} \quad (2.33)$$

2.6.3 Ruido Flicker (1/f)

En cualquier unión, incluyendo uniones metal-metal, metal a semiconductor, o de semiconductor a semiconductor, existen fluctuaciones de conductividad cuyas causas aún no han sido completamente explicadas. El ruido “flicker” se distingue por su peculiar distribución espectral, que es proporcional a $1/f^\alpha$, en donde α es un factor de proporcionalidad generalmente cercano a 1. En algunos dispositivos semiconductores el ruido flicker es ocasionado por los efectos de superficie. El ruido flicker se calcula mediante:

$$\langle i_{1/f} \rangle \propto I_{DC} \sqrt{\frac{B}{f}} \quad (2.34)$$

A bajas frecuencias este tipo ruido puede ser el componente dominante. Sin embargo, a altas frecuencias, el ruido 1/f disminuye por debajo del ruido térmico.

Convencionalmente las figuras de ruido, son referidas a la salida final donde se tiene la señal amplificada del píxel, o en la salida del detector de imagen, comparándose con el número de electrones generados por el detector, lo que se conoce como ruido referido a la entrada.

2.6.4 Ruido de Patrón

El ruido de patrón, es un tipo de ruido de tipo espacial, el cual no cambia significativamente entre cuadro y cuadro de imagen, y no puede ser reducido mediante promediados de cuadros sucesivos.

El ruido de patrón puede ser dividido en dos componentes:

- 1) Ruido de patrón fijo (FPN)
- 2) Ruido por fotorespuesta no uniforme (PRNU)

El FPN ha sido históricamente el factor que ha limitado la aceptación del los sensores de imagen en CMOS. El FPN es el componente del patrón de ruido que se mide en la ausencia de luz, y se origina principalmente por la variación de los parámetros asociados a los MOSFETS (V_T , W , L , etc), tanto en el circuito asociado al reset del píxel (transistor M1 y FD), como al buffer de salida del píxel (M2 y M3 y carga activa). Además de lo anterior, las irregularidades que puedan suceder en la señal de reloj que determina el tiempo de integración, puede influir en este tipo de ruido.

El FPN es generalmente especificado en términos de las variaciones de las señales entre píxeles individuales, bajo iluminación uniforme, generalmente como un porcentaje de la saturación, vista a la salida del píxel.

Por otra parte, el PRNU es el componente del patrón de ruido que depende de la iluminación, y por consecuencia, de: las dimensiones del detector, las variaciones en los espesores de las capas de pasivación, longitud de onda de la fuente luminosa, etc.

El PRNU es esencialmente un ruido independiente del tiempo, pero es dependiente de la señal. El PRNU puede ser especificado en términos de un valor rms o pico a pico, referenciado a un valor promedio, p.e., a la cantidad de cargas que pueden llenar el pozo de potencial donde se acumulan.

Debido a que el PRNU es comúnmente dependiente de la señal, éste se puede expresar como el producto del número de fotones incidentes n_{fot} , durante el periodo de integración de fotocargas, con un factor de proporcionalidad U . El PRNU, se define mediante:

$$\langle n_{PRNU} \rangle = U n_{fot} \tag{2.35}$$

Un esquema global que muestra las posibles fuentes de ruido existentes en el sistema de captura de imagen se presenta en la Fig. 2.15.

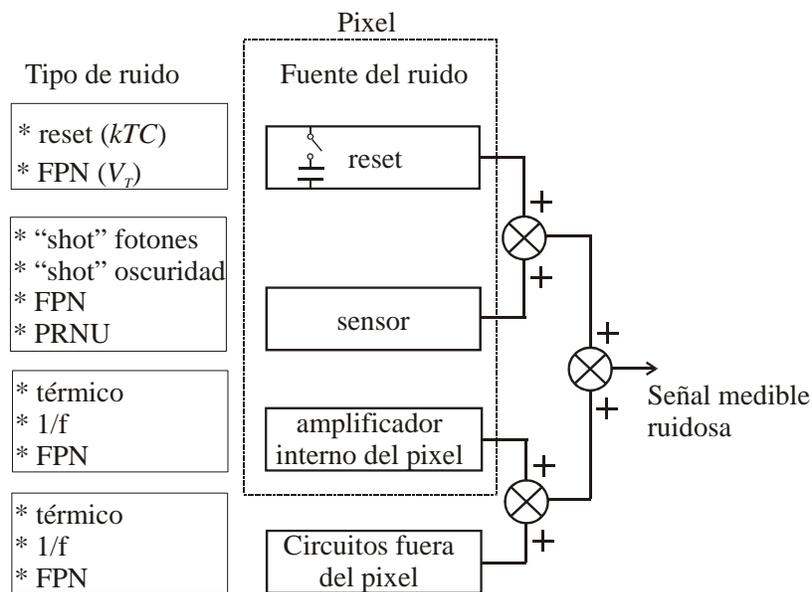


Fig. 2.15. Conjunto de fuentes de ruido existentes en un sistema de captura de imagen CMOS.

2.7 Conclusiones del Capítulo 2

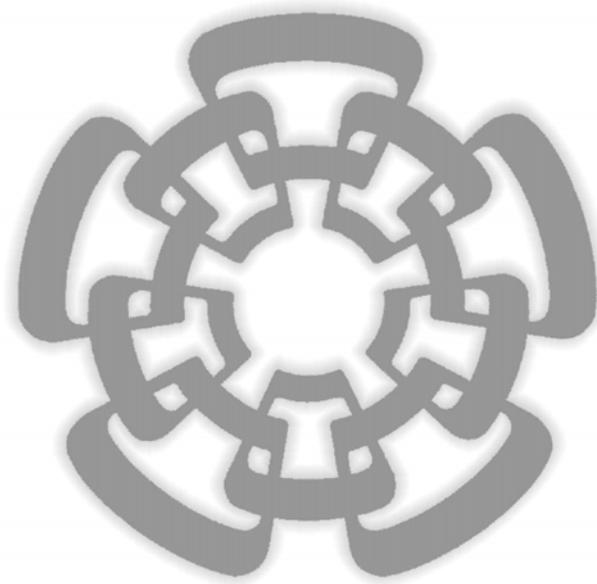
En este capítulo, se presentó la estructura de detección de luz en CMOS, conocida como fotocompuerta, la cual se utilizará como bloque elemental en el diseño de la matriz de detección de imágenes, y que forma parte del sensor de imágenes. Se describieron los conceptos de base para poder diseñar una matriz de detección de imagen en tecnología CMOS, utilizando píxeles de tipo fotocompuerta.

Se mostró el desarrollo de un macromodelo para simulación en PSpice de esta estructura, tomando en cuenta las condiciones de operación, así como los parámetros de proceso, generalmente suministrados por los fabricantes de circuitos integrados. Este macromodelo es una contribución de este trabajo de tesis[16]. El macromodelo, se basó fundamentalmente en el modelo de generación de cargas, resolviendo la ecuación de continuidad, considerándose únicamente el mecanismo de difusión.

Se abordaron algunos aspectos del ruido originado en los píxeles de tipo fotocompuerta, ya que este fenómeno, es uno de los factores que limitan el menor nivel de iluminación que puede detectarse. Las fórmulas planteadas para el ruido en este capítulo, servirán para delimitar algunas figuras de mérito, que permiten determinar el nivel de calidad que se puede alcanzar con esta estructura.

CAPÍTULO 3

DESARROLLO DEL SENSOR DE IMÁGENES



3.0 Contenido del Capítulo 3

En este capítulo se presenta el diseño del sensor de imágenes, el cual integra a los dos bloques principales, a saber, la matriz de píxeles binarios de tipo fotocompuerta, para la captura de imagen, así como los circuitos periféricos para el procesamiento de la imagen capturada. El sensor de imágenes CMOS, como se verá en este capítulo, se tradujo en un diseño compacto y eficiente, en términos de la velocidad de procesamiento, del consumo de energía global, así como del número de transistores ocupados.

Se explica el concepto del centro de masa e histogramas, dentro del contexto de las imágenes que pueden ser proyectadas sobre la matriz de detección de imágenes. Se explica cómo se traslada este concepto al plano circuital, al abordarse la implementación del circuito multiplicador de componentes de histograma.

En este capítulo, se presenta también el diseño y operación del píxel binario de tipo fotocompuerta. En el diseño del píxel, se incluye un inversor CMOS de compuerta flotante de dos entradas, utilizado para brindar al sensor de imágenes, la capacidad de umbralización.

A lo largo del capítulo, se presentan tablas con las geometrías obtenidas para los principales componentes de los circuitos, así como las microfotografías resultantes.

Donde se consideró necesario, para una mejor comprensión, se incluyen gráficas de las simulaciones obtenidas en algunos nodos internos del sensor de imagen.

Las mediciones finales, obtenidas mediante la proyección de patrones de sombra de prueba, se presentarán hasta el Capítulo 4.

3.1 Introducción del Capítulo 3

En el caso que ocupa el objeto de esta tesis, que es el de diseñar un sensor de imágenes CMOS, dedicado a una tarea específica, es necesario definir la tarea que se va a realizar, en el circuito asociado al fotodetector en forma individual y al procesamiento, en forma general. Así, el circuito propuesto incluye las siguientes etapas:

1. Umbralización de imagen a nivel píxel
2. Generación de componentes de histograma
3. Ponderación de componentes de histograma (multiplicación)
4. Cómputo del centro de masa

3.2 Umbralización de la Imagen

El proceso de umbralización de imagen, consiste en convertir una imagen capturada, originalmente en niveles de grises, en una imagen binaria, tomando en cuenta un cierto nivel de umbralización. De esta manera, si un píxel en una cierta imagen, tiene un valor de intensidad menor que un nivel de umbral, el mismo píxel en la nueva imagen resultante, es forzado, en términos de representación de imagen, a un nivel “negro”; de otra manera, si el píxel tiene un nivel igual o mayor que un cierto nivel de umbral, el píxel resultante es forzado a ser “blanco”.

La umbralización de imágenes es importante en el contexto del campo de Visión Artificial, ya que mantiene la parte significativa de la imagen original, desechando aquellas que no son importantes para un determinado contexto de aplicación. Además de lo anterior, la umbralización ayuda a eliminar cierto ruido inherente a la imagen. Para que la umbralización sea útil, es necesario elegir un nivel de umbral conveniente.

En el diseño del sensor de imágenes CMOS (SICMOS), las imágenes captadas se umbralizaron, mediante un inversor CMOS de compuerta flotante de dos entradas, integrado a nivel de píxel. Una de las entradas de este inversor, recibe una señal que sirve para ajustar el umbral de transición intrínseco del inversor CMOS, lo que finalmente permite modificar el nivel de umbralización de la imagen. Esto se detallará más adelante al explicar el circuito del píxel binario.

En los desarrollos en donde se aplica la coordinación visual-motriz de manipuladores robóticos se utilizan generalmente algunas condiciones de iluminación especial, y comúnmente, se hace contrastar al objeto que se está observando, p.e., el efector final de un manipulador robótico de 3GL. Así, el nivel de umbral, puede tener un cierto margen de elección, sin que se llegue a degradar la calidad de la imagen binaria resultante.

3.3 Histogramas

Comúnmente se utiliza el concepto de histograma dentro del contexto del procesamiento de imágenes, para medir la frecuencia de ocurrencia de tonos de gris en una cierta imagen. Entonces, en el eje horizontal se establece una escala que representa los distintos niveles discretos de grises contenidos en la imagen (p.e.: 256 niveles, para una imagen en niveles de gris con resolución de 8 bits), y en el eje vertical, se registra la cantidad de veces que se repite la ocurrencia de un píxel con nivel de gris determinado, dentro de la escala de grises, en toda la imagen y en forma normalizada. Este concepto se ilustra en la Fig. 3.1.

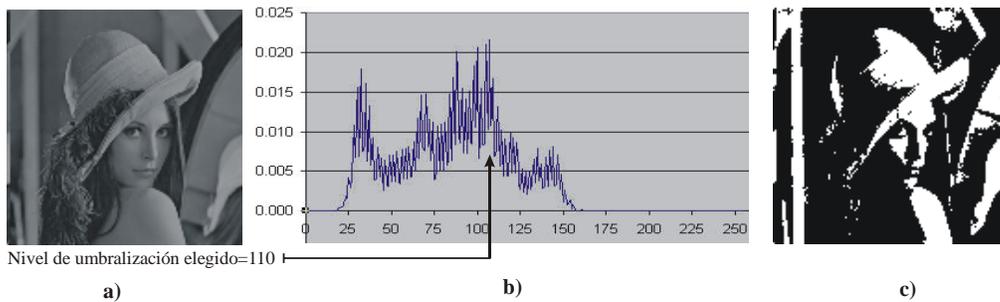


Fig. 3.1. (a) Imagen en escala de grises original, (b) Histograma o distribución de tonos de gris de la imagen original, y (c) La imagen binaria resultante, tomando como nivel de umbral, el valor de 110 en una escala de 256 niveles de gris.

En este trabajo, el histograma de imagen tiene un significado distinto del concepto comúnmente manejado en el área del procesamiento de imágenes. En efecto, en el contexto de este trabajo, un histograma de imagen se formará en función del número de píxeles con salida en nivel alto, asociados a una columna de la matriz de detección de imagen (MDI). En este caso, el eje horizontal del histograma representa un eje coordenado, sobre el cual se ubican las columnas de los píxeles binarios. Cada columna de la MDI poseerá una ubicación fija asignada, y estarán espaciadas a la misma distancia entre ellas.

Es decir, la columna de píxeles ubicada en el extremo izquierdo, corresponderá con un punto $x_1 \in X$, la siguiente columna de píxeles hacia la derecha, corresponderá con $x_2 \in X$, y así sucesivamente, hasta la última columna de píxeles, ubicada en la extrema derecha, que tendrá la ubicación, x_n , en el eje coordenado X ; siendo n igual al número de columnas de píxeles definidas en la MDI.

Esto implica que en cada punto $x_i \in X$, $\forall i=1,2,\dots,n$, podrá existir un cierto número de píxeles binarios, con salidas en estado alto, que se registra como M_i , pudiendo corresponder con cualquier valor, $M_i = \{0, m\}$, siendo m igual al número de filas de la MDI, lo que se visualiza como la altura de la barra sobre X .

El histograma dependerá del objeto que es enfocado sobre el plano focal de la MDI, y contendrá la información que se requiere para poder realizar el cálculo del centro de masa que se explicará en la siguiente sección.

Para ilustrar el concepto de histograma adoptado en este trabajo, se presenta un escenario en donde, mediante una cámara, se observa el extremo del eslabón final de un manipulador de 3GDL, el mismo que ha sido contrastado para facilitar su ubicación en el plano de la cámara, ver Fig. 3.2.

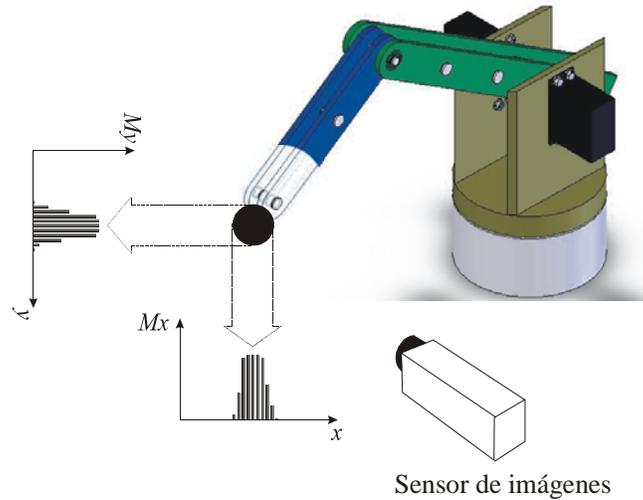


Fig. 3.2. Proyección de los histogramas en los ejes coordenados X y Y, de una esfera colocada en el extremo del eslabón final de un robot de 3GDL, representando la estructura del efector final. Se asume que la esfera es de color negro y el resto de la estructura del robot, que cae dentro del campo visual de la cámara, está pintada de un color distinto a la esfera.

3.4 Centro de Masa

Si al número de píxeles binarios en estado alto, se le denota como M_i , siendo $i=1,2,\dots,n$, y n , corresponde al número de columnas de píxeles ubicadas sobre el eje coordenado X, de la MDI, entonces, el cómputo del centro de masa (COM) se efectúa mediante la siguiente fórmula, ver Fig. 3.3:

$$COM = \frac{\sum_{i=1}^n x_i M_i}{\sum_{i=1}^n M_i} \quad (3.1)$$

El cómputo del centro de masa de un objeto es una operación importante en el campo del procesamiento de imágenes, ya que representa la posición de un objeto referida a un eje coordenado. La operación del centro de masa, también llamada, centro de gravedad, es frecuentemente utilizada con el propósito de hacer seguimiento de objetos en movimiento (*object tracking*).

Algunas aplicaciones que utilizan el cómputo del centro de masa han sido reportadas en la literatura[20][23][25][26][29][53]. Comúnmente, el cómputo del centro de masa, se realiza fuera del área donde se detecta la imagen, mediante el uso de procesadores digitales.

Este es el enfoque clásico “cámara+procesador externo”, que posee ventajas debido a que permite programar y realizar un número ilimitado de tareas de procesamiento de imagen. La mayor desventaja reside en que, para algunas aplicaciones denominadas “de tiempo real”, los retardos debido al tiempo consumido por el proceso son generalmente inadecuados. Por otra parte, el enfoque de: “procesamiento en el lugar de la detección”, comúnmente asociado al término de “sensores inteligentes de imagen”, es el más adecuado, cuando la velocidad de proceso es un factor importante para una determinada aplicación. La desventaja, evidentemente, reside en la dificultad, y las limitaciones que se enfrentan, para poder crear sistemas con capacidad de detección y proceso de imágenes de gran resolución y de programación flexible, en un mismo circuito integrado.

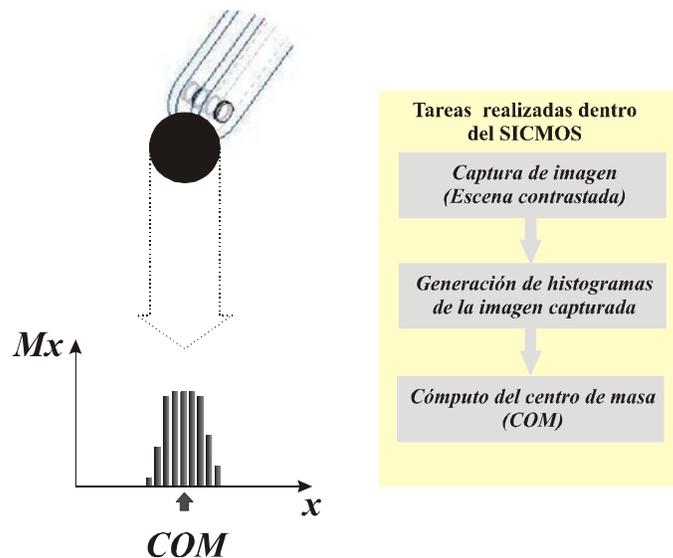


Fig. 3.3. Secuencia de pasos para el cómputo del centro de masa en tiempo real, de una esfera ubicada en el efector final de un robot de 3GDL.

3.5 Arquitectura del Sensor de Imágenes CMOS

Como se mencionó al principio de este capítulo, el diseño del sensor de imágenes CMOS, se divide en dos subsistemas principales:

1. Una matriz de 17×18 píxeles de tipo fotocompuerta (la MDI), y
2. Un bloque de circuitos basados en el TMCF, para el cómputo del centro de masa.

La arquitectura del SICMOS se presenta en la Fig. 3.4.

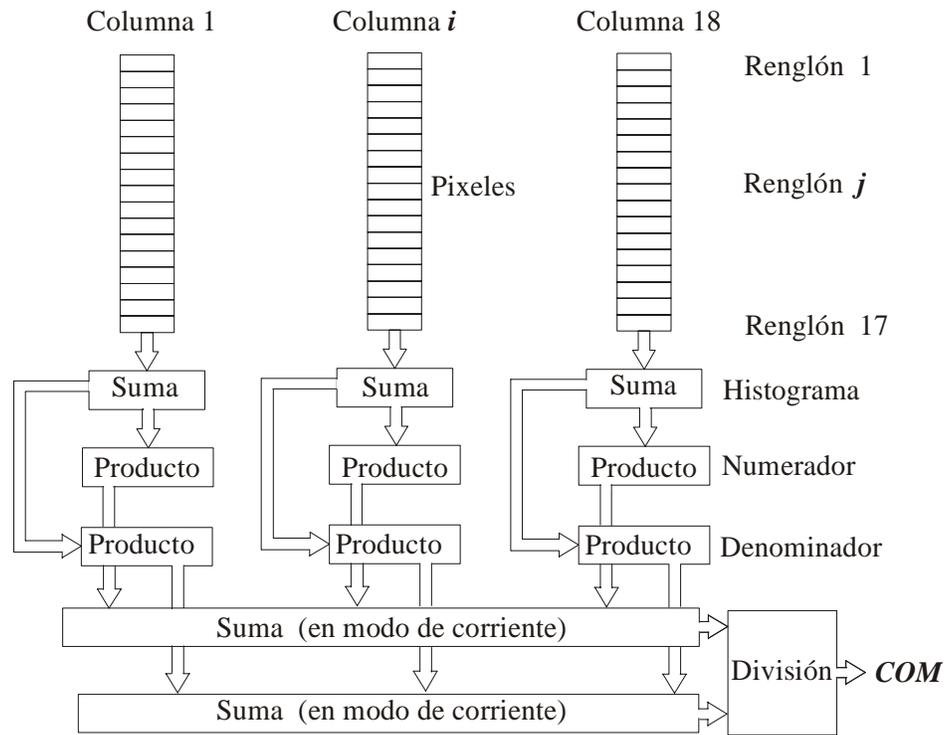


Fig. 3.4. Arquitectura global del sensor de imágenes CMOS para el cómputo del centro de masa.

3.5.1 Matriz de Píxeles

El espacio que ocupa la MDI, de 17×18 píxeles binarios, corresponde en altura con: $H=1173 \mu\text{m}$, y en ancho, con: $W=1328 \mu\text{m}$, ver Fig. 3.5(a-b). La principal razón por la que no se logró un mayor tamaño para la MDI, se debió a las limitaciones del proceso de fabricación al que se tuvo acceso.

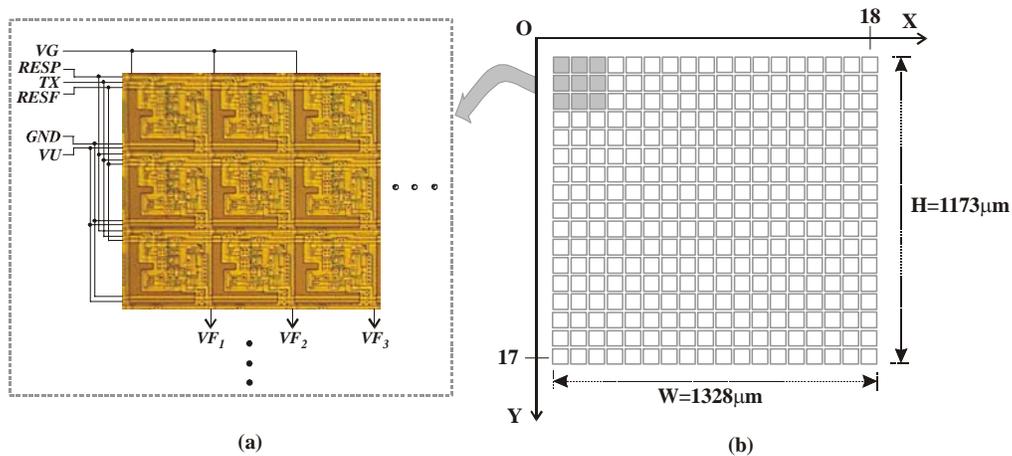


Fig. 3.5. a) Microfotografía de un segmento de (3×3) píxeles de la MDI, y (b) Sistema de coordenadas y dimensiones físicas de la MDI completa (17×18) .

3.5.2 Estructura del Pixel Binario de tipo Fotocompuerta

El diagrama esquemático del píxel binario de tipo fotocompuerta, que se utilizó en el diseño del SICMOS, se presenta en la Fig. 3.6. Las señales que se requieren para su operación se muestran en la Fig. 3.7. El diseño topológico y la microfotografía se muestran en las Figs. 3.8 y 3.9, respectivamente. Las características generales del píxel se enlistan en la Tabla 3.1.

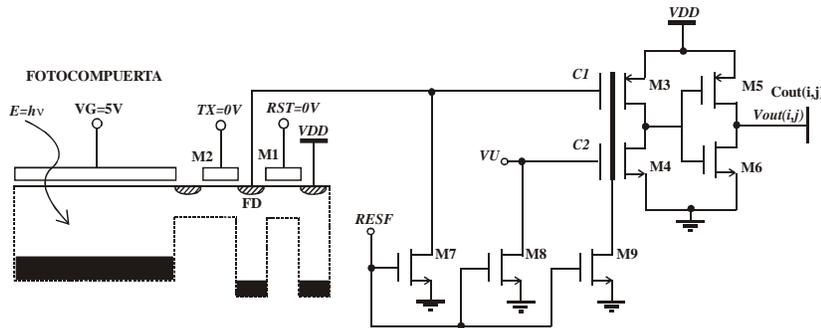


Fig. 3.6. Diagrama esquemático del píxel fotocompuerta binario.

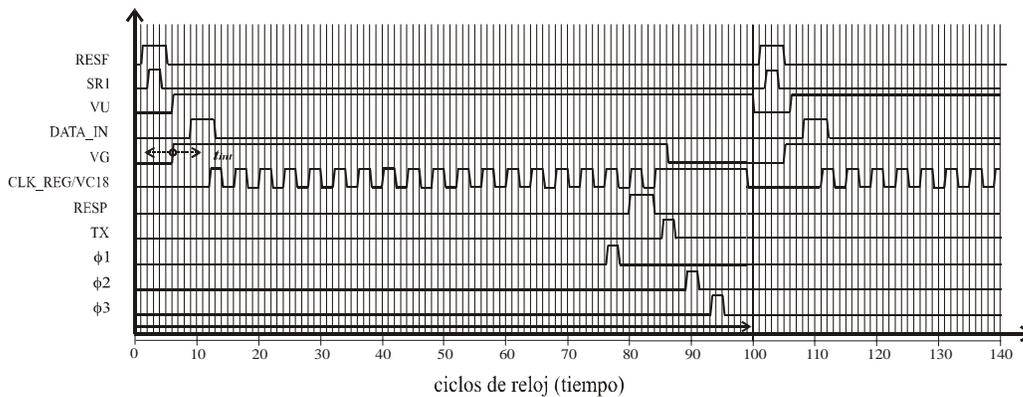


Fig. 3.7. Señales utilizadas para la operación del píxel fotocompuerta binario.

El píxel binario de tipo fotocompuerta con umbral variable, utilizado en la MDI (ver Fig. 3.6), está basado en la estructura básica del píxel de tipo fotocompuerta, que se presentó en la Sección 2.4. En este caso, el área de captación de luz, o área de la fotocompuerta, está separada de un inversor CMOS de compuerta flotante de dos entradas con interruptor de acceso a la CF (InvCMOS_CF2E), mediante la compuerta de transmisión (M2). El píxel hace uso de un transistor de reset (M1), para precargar el capacitor flotante C_{FD} , el cual se forma mediante la suma de las capacitancias parásitas de la difusión n+/p, asociada a la terminal de fuente de M1, y de la difusión n+/p, del drenador de M7.

Mediante el capacitor parásito C_{FD} , se efectúa la conversión de carga a voltaje, como se explicó en la Sección 2.4. Se procuró que esta capacitancia tuviera el mínimo valor posible, para maximizar así la eficiencia de conversión de carga a voltaje.

Los transistores M7, M8 y M9, constituyen los circuitos periféricos del InvCMOS_CF2E, utilizados para establecer la carga inicial de la compuerta flotante en los niveles requeridos. En esta aplicación, la carga inicial en la CF del InvCMOS_CF2E deberá eliminarse para poder operar el circuito del píxel adecuadamente.

A la salida del InvCMOS_CF2E, se conectó un inversor convencional CMOS compuesto de M5 y M6, para reforzar el nivel de voltaje de salida del píxel y, además, para hacer corresponder la respuesta del píxel, de tal manera que:

- A) Cuando un píxel no reciba la suficiente cantidad de potencia luminosa, P_{inc} , éste responda con un nivel de salida alto ($V_{outj}=VDD$), en caso contrario,
- B) Si un determinado píxel recibe la suficiente cantidad de potencia luminosa, la salida de ese píxel conmute a un nivel bajo ($V_{outj}=GND$).

El inversor de salida del píxel binario se acopla con la compuerta flotante de toda una columna de píxeles, mediante un capacitor denotado como C_{outj} , donde $j=1,2,\dots,m$, siendo $m=17$, el número de renglones de la MDI, en nuestro caso.

En el circuito del píxel, la primera entrada del InvCMOS_CF2E, (C_1), ha sido colocada para registrar la variación de voltaje, δV_{FD} , en el potencial del diodo flotante de conversión, mismo que es proporcional, entre otros tantos factores, a la potencia luminosa que incide sobre la fotocompuerta.

En esta aplicación, se determinó utilizar imágenes binarias, por lo que el InvCMOS_CF2E, se utilizó gracias a la propiedad que presenta de permitir el ajuste de su umbral de transición. Precisamente, la umbralización de la imagen colectada, se logra mediante la aplicación de un potencial externo de ajuste, V_u , conectado al segundo capacitor de entrada (C_2). Entonces, modificando la amplitud de la señal V_u , se logra el ajuste del umbral intrínseco del inversor CMOS de compuerta flotante. Un ejemplo de la señal V_u , utilizada en las mediciones del SICMOS, se presenta en la Fig. 3.10.

Mediante una simulación en PSpice se muestra cómo se modifica el umbral de transición intrínseco V_{sp} del InvCMOS_CF2E, ver Fig. 3.11. Si, p.e., se considera un periodo de integración de fotocargas de $t_{int}=80\mu s$, y si al iluminar la fotocompuerta existe una variación en el potencial de la difusión flotante de $\delta V_{FD}=1.2V$, entonces, un intervalo de valores para el ajuste de la amplitud de $V_u = [2.5, 3.7]$ en volts, permitirá desplazar linealmente el umbral de transición del InvCMOS_CF2E (V_{sp}), desde $V_{sp}=1.7V$ (con $V_u=2.5V$) hasta $V_{sp}=3V$ (cuando $V_u=3.7V$).

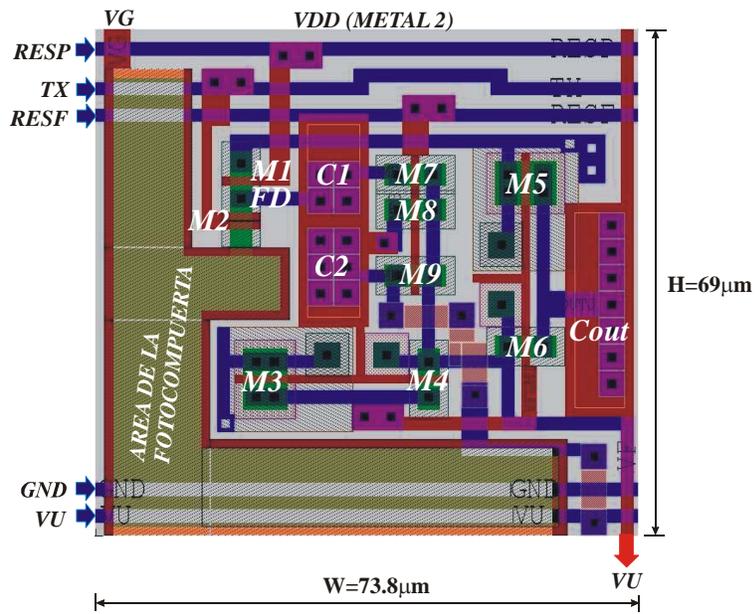


Fig. 3.8. Diseño topológico del píxel binario de tipo fotocopierra.

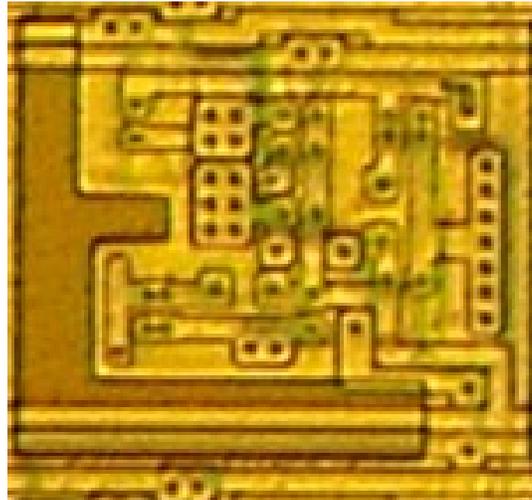


Fig. 3.9. Microfotografía del píxel binario de tipo fotocopierra.

Componente	Característica
M1	$W=3\mu\text{m}$, $L=1.2\mu\text{m}$ (canal N)
M2	$W=3\mu\text{m}$, $L=2.4\mu\text{m}$
M3, M5	$W=6\mu\text{m}$, $L=2.4\mu\text{m}$
M4, M6, M7, M8, M9	$W=3\mu\text{m}$, $L=2.4\mu\text{m}$
$C1, C2$	51.8fF
C_{out_j}	107.95fF
Area total píxel	$5092.2\mu\text{m}^2$
Foto MOS	$1279\mu\text{m}^2$
Factor de relleno	25.11%

Tabla 3.1 Características generales del píxel binario de tipo fotocompuerta

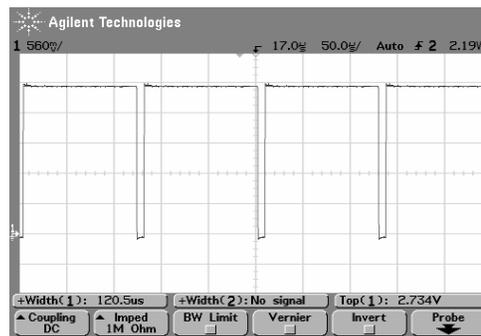


Fig. 3.10. V_U , señal para el ajuste del umbral intrínseco del inversor de dos entradas de compuerta flotante CMOS, utilizado en los píxeles binarios.

Debido a lo anterior, es posible ajustar el nivel de V_u para generar imágenes binarias bajo un ambiente de iluminación, típico de laboratorio, con $P_{inc} \approx 0.146 \text{ mW/cm}^2$.

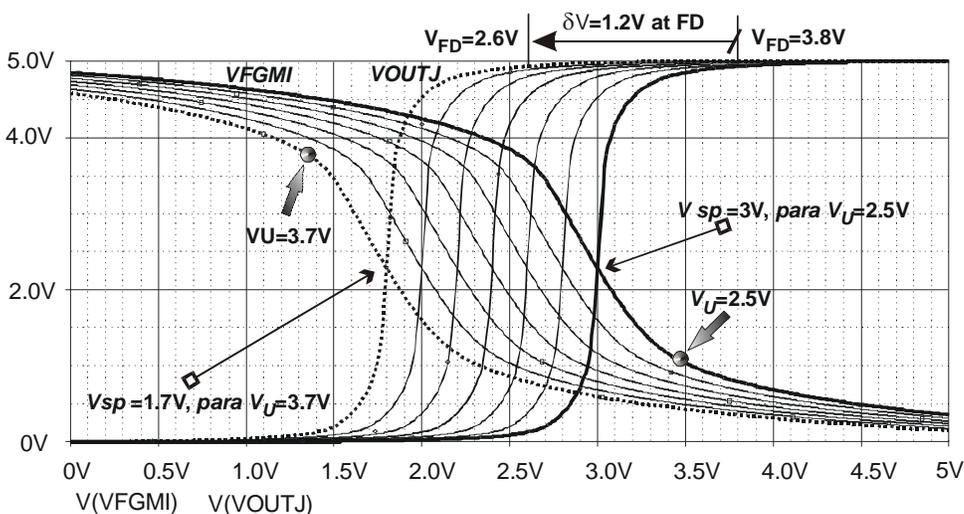


Fig. 3.11. Análisis de DC para el píxel fotocompuerta, barriendo a V_u , desde 2.5V hasta 3.7V.

3.5.3 Operación del Píxel Binario de Tipo Fotocompuerta

La secuencia básica de operaciones, que se efectúan en la estructura básica de un píxel de tipo fotocompuerta, son: *integración* de fotocorriente, *reset* del píxel y *transferencia* de carga, procesos que se ilustran en la Fig. 3.12 (a-c), considerando las señales de operación mostradas en la Fig. 3.7.

Durante la integración de fotocorriente, los transistores M2 y M1 pueden permanecer en estado de corte, mientras se polariza la fotocompuerta en $V_G=V_{DD}$. Durante este tiempo, un cierto número de fotoelectrones creados son atraídos y se acumulan en la superficie del sustrato, justo debajo de la compuerta de la estructura MOS. Durante el periodo de integración de fotocorriente, también es posible mantener un cierto nivel de voltaje en las terminales de los transistores M2 y M1, siempre y cuando que éste, sea inferior al voltaje aplicado en la terminal de fotocompuerta. Lo anterior si desea contar con un mecanismo de control de antidesbordamiento de cargas (antiblooming). Ver Fig. 3.12 (a).

Después de un periodo de integración de fotocargas, se aplica un pulso de voltaje de corta duración a la compuerta de M1, con lo cual, el diodo flotante (FD), se polariza en un nivel aproximado de $V_{FD}=0.75V_{DD}$. El valor final que alcanza el diodo flotante, será de: $V_{FD}=V_{DD}-V_T(M1)$. Donde $V_T(M1)$ es el voltaje de umbral de MOSFET M1. Ver Fig. 3.12 (b).

Finalmente, durante la fase de transferencia de fotocargas, el voltaje V_G cambia a nivel bajo, mientras que el voltaje, V_X , aplicado a M2, cambia a nivel alto. Esto da origen a un transvase de carga desde el pozo de potencial, asociado a la fotocompuerta, hacia el pozo de potencial, asociado al diodo flotante; en donde se realiza la conversión de carga a voltaje. Ver Fig. 3.12 (c).

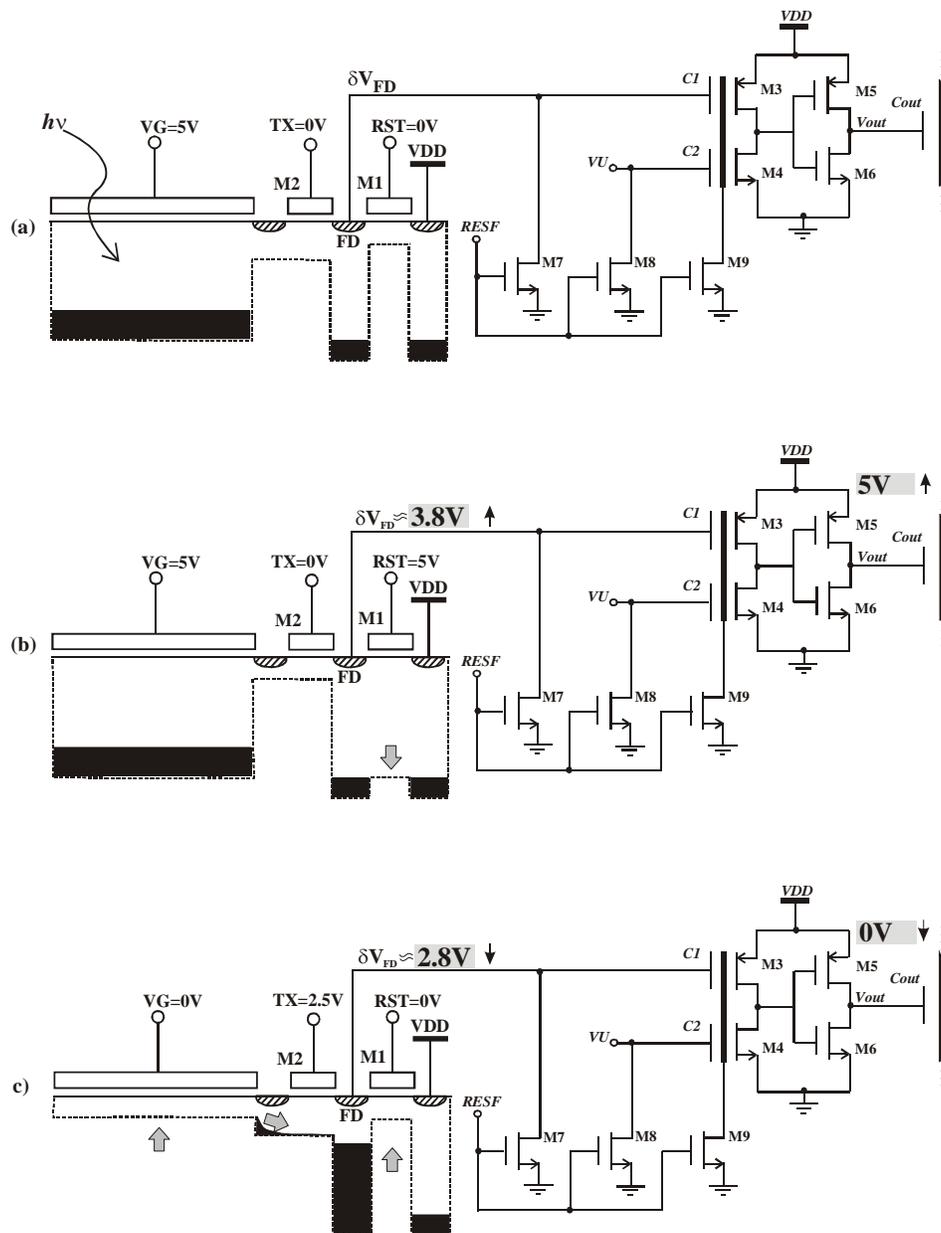


Fig. 3.12. Secuencia de operaciones del píxel binario de tipo fotocompuerta (a) Integración, (b) Reset, y (c) Transferencia de carga con lectura.

La compuerta flotante del InvCMOS_CF2E en cada píxel, debe ser borrada en periodos de tiempo regulares. Es por esto que en el SICMOS se borran al mismo tiempo todas las compuertas flotantes de los píxeles de la MDI, junto con las compuertas flotantes del circuito generador de componentes de histograma, que se explicará más adelante. Este proceso ocurre con la aplicación de las señales *RESF* y *SRI*, mostradas en diagrama de tiempos presentado en la Fig. 3.7. Se debe cuidar que el nivel del voltaje V_u , permanezca en el nivel bajo, durante el periodo de reset de las compuertas flotantes.

3.5.4 Generación de Histogramas

En el diseño del bloque multiplicador de componentes de histograma, el elemento de circuito, común a un conjunto de píxeles organizados en una columna, es una compuerta flotante. En efecto, en cada una de las columnas de la MDI, los voltajes de salida, V_{outj} , de todos los píxeles se acoplan capacitivamente a través de la capacitancia de control C_{outj} con la CF de un TMCF de 18 entradas, canal N, configurado en modo de seguidor fuente, que se denotará como: FGSF.

La función requerida para la generación de los componentes de histograma, es la suma de las contribuciones de voltaje de toda una columna de píxeles, que permita construir el histograma de la imagen enfocada. De esta manera, en la i -ésima columna de píxeles de la MDI se producirá una señal V_{SF_i} , proporcional a la suma ponderada de todos los voltajes V_{outj} , presentes a la salida de los píxeles, más un término constante, producido por el potencial VC_{18} , que ayuda a mantener polarizado al $FGSF_i$ en la región de saturación, aún cuando todos los píxeles en la columna tengan una salida de nivel bajo. El principio de operación para el cómputo de los componentes de histograma, se ilustra en la Fig. 3.13, a continuación:

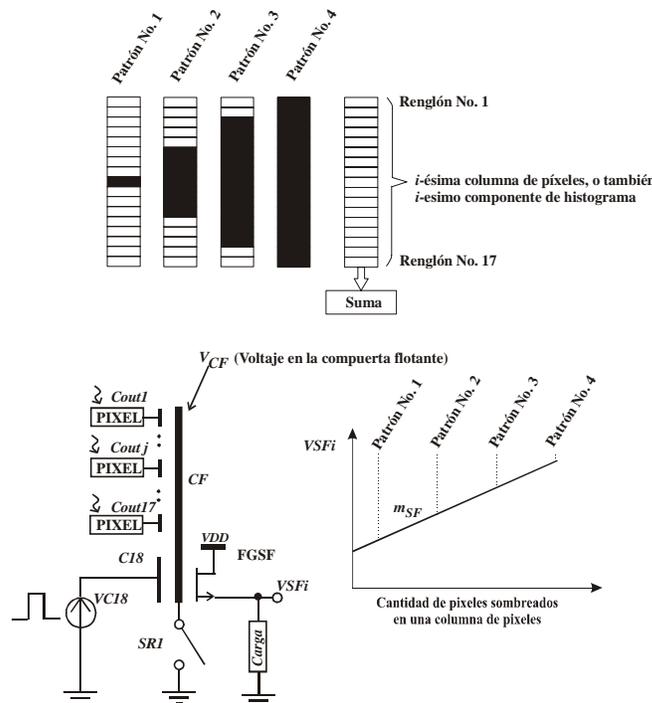


Fig. 3.13. Secuencia de patrones de prueba aplicados en la i -ésima columna de píxeles, de la MDI, y gráfica del voltaje resultante en la terminal de fuente del FGSF.

El potencial VC_{18} , aplicado a través de la capacitancia de control de entrada C_{18} , se implementa mediante una señal periódica de amplitud variable, que se mantiene en su nivel alto, durante el periodo de evaluación del centro de masa del SICMOS, y se conmuta a cero durante el periodo de reset de la compuerta flotante del $FGSF_i$, de manera periódica. Con esta acción, se permite borrar la carga de la CF del $FGSF_i$ y se descarta el desvanecimiento de la contribución del voltaje de polarización, VC_{18} , en el potencial de CF del $FGSF_i$; por las razones expuestas en la Sección 1.13.

En la Fig. 3.14, se presenta el diagrama esquemático completo del circuito generador de componentes de histograma, y en la Tabla 3.2, se muestran los parámetros del circuito utilizados.

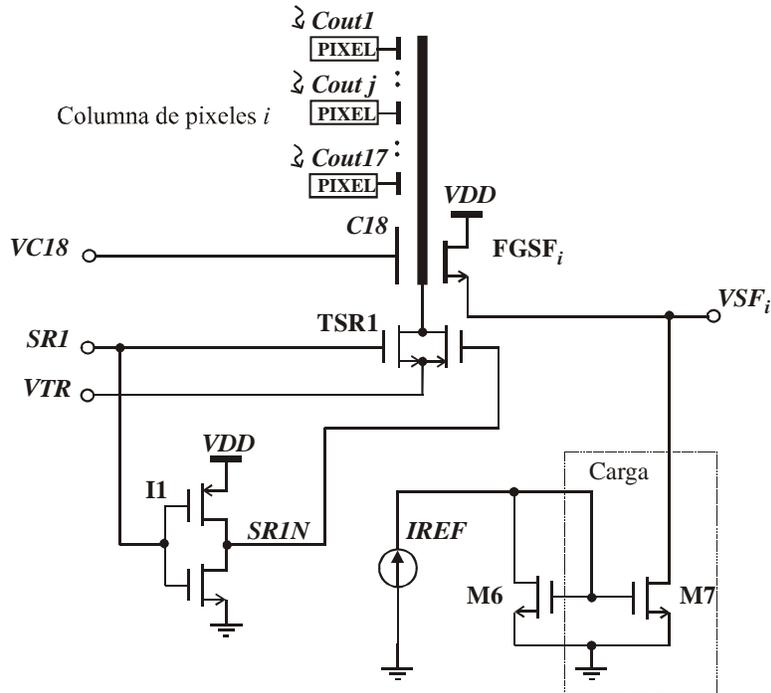


Fig. 3.14. Diagrama esquemático completo del circuito generador de componentes de histograma.

Componente	Valor
C_j	$0.10796\text{pF}, \forall j=1,2,\dots,17$
C_{I8}	1.8506pF
C_{TOR}	3.9740pF
γ_{IN}	0.4618
FGSF	$W=36\mu\text{m}, L=1.2\mu\text{m}$
M7=M6	$W=6.6\mu\text{m}, L=5.4\mu\text{m}$
TRS1	$WP=3\mu\text{m}, LP=1.2\mu\text{m}, WN=3\mu\text{m}, LN=1.2\mu\text{m}$
I1	$WP=6\mu\text{m}, LP=1.2\mu\text{m}, WN=3\mu\text{m}, LN=1.2\mu\text{m}$
IREF	$10\mu\text{A}$.

Tabla 3.2 Principales parámetros del circuito generador de componentes de histograma (Fig. 3.14)

La amplitud de VC_{I8} , que permitió obtener los mejores resultados durante la simulación y las pruebas eléctricas, fue de $VC_{I8}=VDD$, con lo cual se logra inducir teóricamente un voltaje en la CF del $FGFSF_i$ de $V_F= 2.34\text{V}$.

En la Fig. 3.15, se presenta una simulación en PSpice del circuito presentado en la Fig. 3.14, al cual se le aplica la serie de patrones indicados.

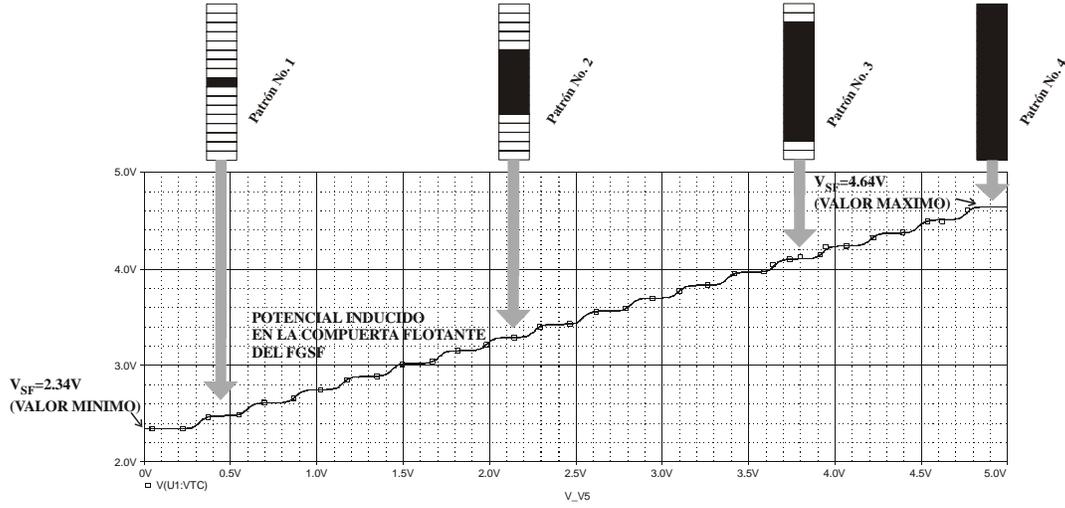


Fig. 3.15. Simulación en PSpice del potencial de compuerta flotante V_{CF} , del circuito generador de histogramas, respondiendo ante una secuencia de patrones de sombra proyectados.

La ganancia en voltaje del FGSF, se deduce con base al análisis del circuito a pequeña señal, que se presenta en la Fig. 3.16, y se expresa mediante:

$$AV_{FGSF} = \frac{V_{SF}}{V_{IN}} = \frac{g_{mFGSF}^S}{g_{dFGSF}^S + g_{d7}^S + g_{mFGSF}^S(1 + \eta_{FGSF})} \approx \frac{1}{(1 + \eta_{FGSF})} \quad (3.2)$$

Donde, g_{mFGSF}^S y g_{dFGSF}^S , son la transconductancia y conductancia del FGSF en la región de saturación. A su vez, g_{d7}^S , es la conductancia del transistor de carga M7, en la región de saturación, y η_{FGSF} , está definida mediante la siguiente fórmula:

$$\eta_{FGSF} = \frac{K1}{2\sqrt{PHI + V_{SB,FGSF}}} - K2 \quad (3.3)$$

Donde, el voltaje $V_{SB,FGSF}$ de la Ec. (3.3), es el voltaje desarrollado entre la terminal de fuente y el substrato del FGSF. El resto de los términos de la Ec. (3.3), son parámetros reportados en el modelo BSIM, para un MOSFET canal N.

Considerando que el espejo de corriente M6-M7, establece una corriente de polarización fija $IDS_7=10\mu A$, que se hace circular entre el drenador y fuente del FGSF. Entonces, la ganancia en voltaje AV_{FGSF} , se puede calcular en función de la variación de los voltajes aplicados a las compuertas de control: C_1 a C_{17} , con $VC_{18}=5V$ constante. Para esto, se sustituyen las Ecs. (1.17) y (1.18) en la Ec. (3.2), para el caso del FGSF. A su vez, se toman en cuenta las ecuaciones conocidas para la transconductancia y conductancia de un transistor MOSFET ordinario [14], para el caso de M7, y se sustituyen, también, en la Ec. (3.2).

Por lo tanto, la ganancia en voltaje para la estructura del transistor MOS canal N de compuerta flotante de 18 entradas, utilizado para la formación de los componentes de histograma en el SICMOS, resulta en: $AV_{FGSF} = 0.78V$. Este resultado se aproxima a la pendiente del voltaje V_{SF} , $m_{V_{SF}} = 0.86$, medida mediante la simulación presentada en la Fig. 3.17.

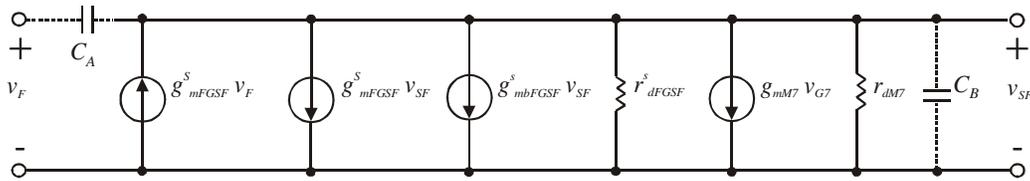


Fig. 3.16. Modelo a pequeña señal para el circuito de la Fig. 3.14.

En el modelo de pequeña señal, v_F , es el potencial a pequeña señal inducido en la terminal de compuerta flotante; el capacitor C_A , representa la capacitancia parásita de acoplamiento entre la CF y la terminal de fuente del FGSF. A su vez, el capacitor C_B , se forma con la suma de las contribuciones de las capacitancias de fuente del FGSF y drenador de M7, referidas a tierra.

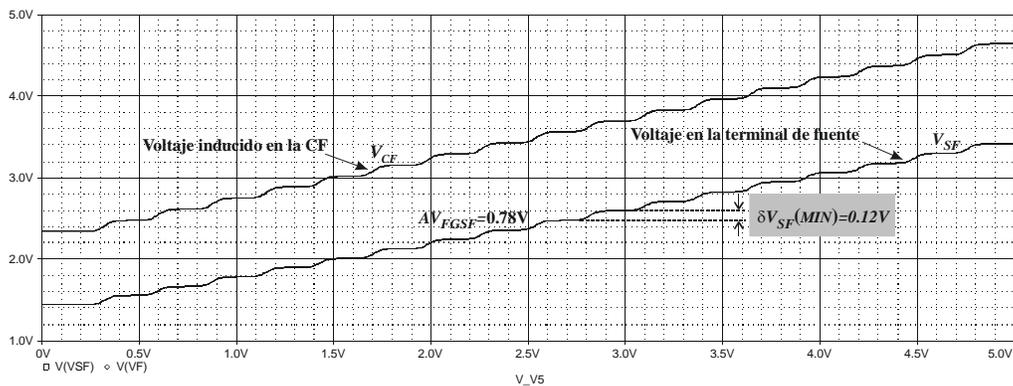


Fig. 3.17. Simulación en PSpice del potencial de compuerta flotante V_{CF} , del circuito generador de componentes de histogramas, junto con la curva de respuesta medida en la terminal de fuente, V_{SF} , del FGSF. Se muestra el incremento de voltaje, δV_{SF} , como resultado del cambio en el estado de salida de un solo píxel, respondiendo a la secuencia de patrones de sombra proyectados mostrados en la Fig. 3.18.

Como se aprecia en la Fig. 3.17, si en una columna de píxeles, existe un cambio en el estado de un píxel, este cambio representa una variación de $\pm \delta V_{SF}(\text{MIN}) = 0.12V$. Es evidente que esta variación de voltaje sería cada vez menor si se incrementará la cantidad de píxeles en las columnas de la MDI, con una consecuente mejora en resolución del cómputo del centro de masa.

La máxima excursión de voltaje, $\delta V_{SF}(\text{MAX})$, medida en simulación, que se puede obtener aplicando una secuencia de patrones de prueba de llenado de píxeles, desde el patrón P1, hasta el patrón P17, como los que se muestran en la Fig. 3.18, es de $\delta V_{SF}(\text{MAX}) = 1.97\text{V}$.

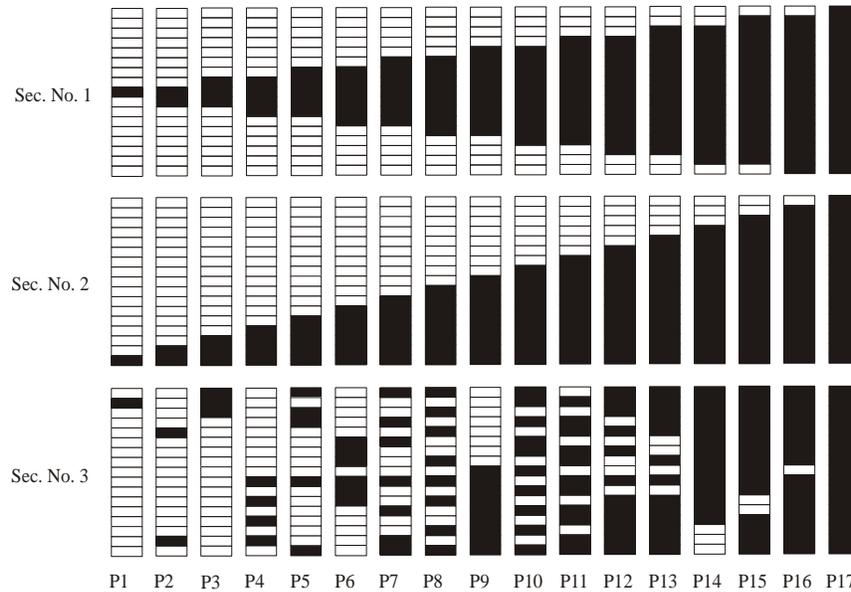


Fig. 3.18. Tres secuencias de patrones de prueba, utilizados para medir δV_{SF} en el circuito generador de componentes de histograma.

Parámetro	Valor
KP	$7.04 \times 10^{-5} \text{ A/V}^2$
K1	$0.9538243 \text{ V}^{1/2}$
K2	-0.0828391 (SD)
PHI	0.7 V.
VTO	0.5980057 V.
CGDO	$1.68 \times 10^{-10} \text{ F/m}$
CGSO	$1.68 \times 10^{-10} \text{ F/m}$
CGBO	$1 \times 10^{-10} \text{ F/m}$
LD	0 m
WD	$6.197233 \times 10^{-7} \text{ m}$
NSUB	$2.2619 \times 10^{15} \text{ 1/cm}^2$
TOX	$0.0319 \times 10^{-6} \mu\text{m}$

Tabla 3.3 Algunos parámetros del modelo BSIM de PSpice, reportados por MOSIS, para el proceso AMI, corrida: *T48S-SCN15*, que se usó en la fabricación del SICMOS.

Conviene que $\delta V_{SF}(\text{max})$ sea lo más grande posible. Una manera de lograrlo, es disminuyendo el área del capacitor C_{I8} , con lo que se incrementa el parámetro γ_{IN} del FGSF. Sin embargo, el control del punto de polarización para mantener al FGSF en la región de saturación, disminuiría. El mismo efecto, se lograría si se incrementa el tamaño de los capacitores de control a la salida de los píxeles (C_{out}) de la MDI.

Esta acción, desafortunadamente, implicaría un incremento en el área del píxel, reduciendo el factor de relleno. Otra posibilidad, es la de programar la compuerta flotante del FGSF para operarlo dentro la región de saturación, usando técnicas de inyección de portadores calientes, como se mencionó en la Sección 1.8. Esta última solución, evitaría el uso del capacitor C_{18} . Sin embargo, esta acción incrementaría la complejidad del SICMOS.

3.5.5 Circuito Multiplicador de Componentes de Histograma

Cada componente de histograma, V_{SF_i} , generado en las columnas de la MDI, debe ser ponderado en función de su ubicación dentro del sistema de coordenadas adscrito. Es decir, el potencial V_{SF_1} , será multiplicado por un factor x_1 , que corresponde a la posición de la primera columna, proyectada en el eje coordenado X. Similarmente, x_2 , será el factor de ponderación de V_{SF_2} , y así sucesivamente.

Los factores multiplicativos, deben cumplir la siguiente condición: $0 < x_1 \dots < x_i < \dots < x_n < V_{DD}$, donde $x_i \in X$, siendo X, un intervalo de voltajes que aseguren la operación de los transistores MN_i y MD_i en la región de operación lineal del MOSFET.

El diagrama a bloques del circuito que lleva a cabo esta tarea, se presenta en la Fig. 3.19. Para el caso del circuito multiplicador, correspondiente a la primera columna, el diagrama esquemático se muestra en la Fig. 3.21. A partir de la segunda columna, y hasta la columna No. 18, el diagrama esquemático correspondiente se muestra en la Fig. 3.22. El diseño topológico, así como la microfotografía del circuito multiplicador de componentes de histograma, se muestra en la Fig. 3.23 (a-b).

La estrategia de diseño que se aplicó para poder implementar esta ponderación, es la de aprovechar la característica que presenta el modelo de corriente de drenador de un transistor MOSFET ordinario, operando en la región lineal, Ec. (1.6); misma que se reescribe a continuación para el caso de los circuitos de multiplicación de componentes de columna para el término numerador, Ec. (3.4a) y denominador, Ec. (3.4b), respectivamente.

$$I_{DN_i} = \frac{\mu_o C_{ox} W}{L} \left[(V_{SF_i} - V_T) - \frac{V_{DL_i}}{2} \right] V_{DL_i} (1 + \lambda V_{DL_i}), \quad 0 < V_{DL_i} \leq (V_{SF_i} - V_T) \quad (3.4a)$$

$$I_{DD_i} = \frac{\mu_o C_{ox} W}{L} \left[(V_{SF_i} - V_T) - \frac{V_{DL_i}}{2} \right] V_{DL_i} (1 + \lambda V_{DL_i}), \quad 0 < V_{DL_i} \leq (V_{SF_i} - V_T) \quad (3.4b)$$

El factor ponderante, x_i se aplica a través de la diferencia del potencial entre el drenador y fuente de los transistores MN_i y MD_i , mismo que se denotará como: V_{DL_i} y V_{DL_i} respectivamente. Si se considera despreciable al parámetro de modulación del canal λ , entonces las señales de corriente I_{DN_i} e I_{DD_i} obtenidas en ambos transistores, representarán el producto buscado, excepto por el término del error cuadrático, $ErrI_{DN(DD)_i}$ asociado al modelo de corriente en la región lineal, expresado mediante:

$$ErrI_{DN(DD)i} = \frac{\mu_o C_{ox} W}{L} \frac{V_{DLi(DLI)}^2}{2} \quad (3.5)$$

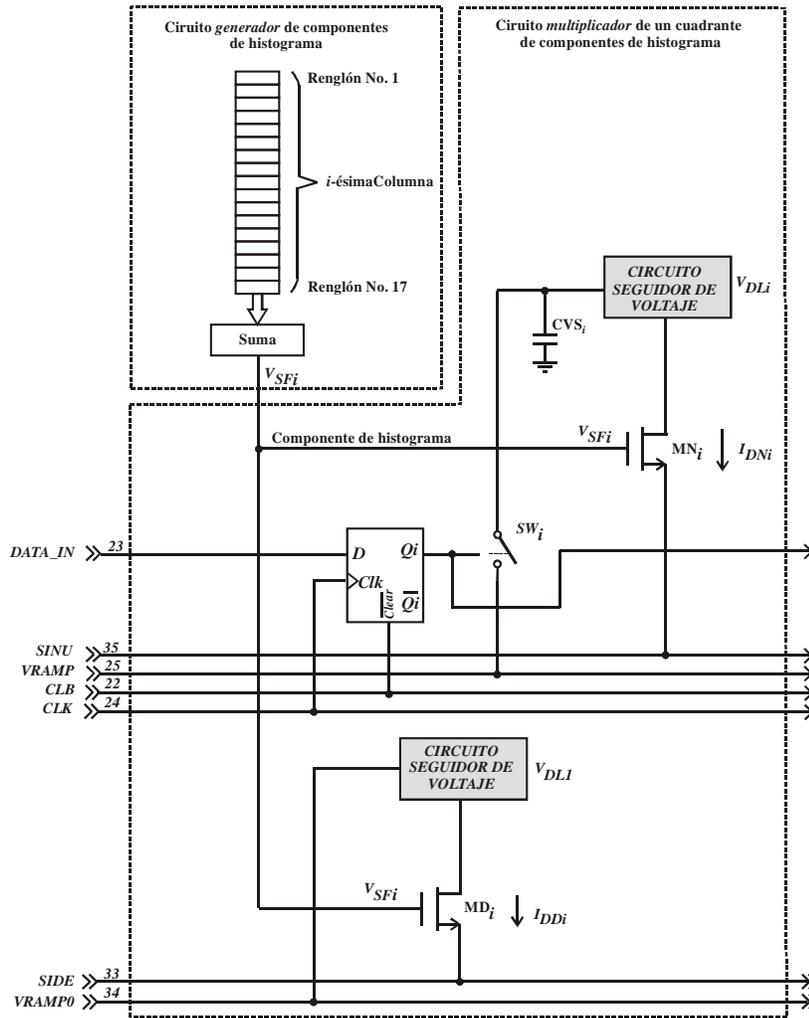


Fig. 3.19. Arquitectura del circuito multiplicador de componentes de histograma.

Para eliminar el término, citado en la Ec. (3.5), se procede de la siguiente manera: Después de que se elimina la carga inicial de la compuerta flotante del InvCMOS_CF2E del píxel binario, el voltaje de salida de los píxeles de la MDI cae a cero. Entonces, el voltaje de polarización V_{C18} , además de asegurar la operación del FGFSF en la región de saturación, se aplica para producir un voltaje de referencia en el terminal de fuente de los FGFSF, V_{SF_i} . Este voltaje, a su vez, se aplica a las compuertas de los transistores MN_i y MD_i , en cada columna, cuyo nivel es de $V_{REF} = V_{SF_i}(min) \cong 1.44V$, según el valor estimado en simulación.

Las corrientes resultantes, I_{NUM_REF} e I_{DEN_REF} , que circulan en cada transistor MN_i y MD_i , se sumarán con las corrientes equivalentes generadas en el resto de las columnas de toda la MDI.

Para esto, todas las terminales de fuente de los transistores MN_i se conectan en un nodo común denotado como $SINU$, y a la vez, las terminales de fuente de los transistores MD_i , se conectan juntas en otro nodo común denotado como: $SIDE$, resultando en:

$$I_{NUM_REF} = \beta_{MN} \left[\sum_{i=1}^n (V_{REF} - V_T) V_{DLi} - \sum_{i=1}^n \frac{V_{DLi}^2}{2} \right], \quad n = 18. \quad (3.6)$$

$$I_{DEN_REF} = \beta_{MD} \left[\sum_{i=1}^n (V_{REF} - V_T) V_{DLi} - \sum_{i=1}^n \frac{V_{DLi}^2}{2} \right], \quad n = 18. \quad (3.7)$$

Donde, $\beta_{MN} = \mu_o C_{ox} (W_{MN}/L_{MN})$, $\beta_{MD} = \mu_o C_{ox} (W_{MD}/L_{MD})$, y $\beta_{MN} = \beta_{MD} = \beta$.

Ambas corrientes, presentadas en las Ecs. (3.6) y (3.7), son convertidas a voltaje, mediante un amplificador de transresistencia externo, con un factor de ganancia k y muestreadas mediante un par de capacitores, también externos, denotados como $C_1\phi_1$ y $C_2\phi_1$, respectivamente, durante el pulso denotado como ϕ_1 , mostrado en la Fig. 3.7. Esto es, I_{NUM_REF} se convierte a V_{NUM_REF} e I_{DEN_REF} se convierte a V_{DEN_REF} .

Posteriormente, durante el pulso TX , presentado en la Fig. 3.7, todos los píxeles de la MDI, actualizan su estado. Entonces, los voltajes resultantes en las terminales de fuente en todas las columnas de la MDI, son de nuevo aplicados en las terminales de compuerta de los transistores MN_i y MD_i , lo que resulta en el siguiente par de expresiones:

$$I_{NUM_ERR} = \beta_{MN} \left[\sum_{i=1}^n (V_{SFi} - V_T) V_{DLi} - \sum_{i=1}^n \frac{V_{DLi}^2}{2} \right], \quad n = 18. \quad (3.8)$$

$$I_{DEN_ERR} = \beta_{MD} \left[\sum_{i=1}^n (V_{SFi} - V_T) V_{DLi} - \sum_{i=1}^n \frac{V_{DLi}^2}{2} \right], \quad n = 18. \quad (3.9)$$

Las corrientes con el error asociado al término cuadrático, I_{NUM_ERR} e I_{DEN_ERR} , se convierten en los voltajes V_{NUM_ERR} y V_{DEN_ERR} , respectivamente, y se almacenan también en los capacitores externos $C_1\phi_2$ y $C_2\phi_2$, durante el pulso ϕ_2 , mostrado en la Fig. 3.7.

En una tercera fase, ϕ_3 , se subtrae V_{REF_NUM} de V_{NUM_ERR} y V_{REF_DEN} de V_{DEN_ERR} , almacenándose los resultados respectivos, en capacitores externos denotados como $C_1\phi_3$ y $C_2\phi_3$. Con esta acción, se consigue cancelar el término de orden cuadrático, así como el término originado por el voltaje de umbral de los transistores. Cualquier desacoplamiento existente entre los transistores idénticos MN_i y MD_i es eliminado, debido a que las corrientes de referencia y señal, circulan por el mismo transistor. Los voltajes muestreados que se obtienen con esta estrategia, quedan expresados mediante:

$$V_{NUM} = k\beta \left[\sum_{i=1}^n (V_{SF_i} - V_{REF}) V_{DL_i} \right], \quad n = 18. \quad (3.10)$$

$$V_{DEN} = k\beta \left[\sum_{i=1}^n (V_{SF_i} - V_{REF}) V_{DL_i} \right], \quad n = 18. \quad (3.11)$$

Finalmente, el cómputo del centro de masa (COM), se determina mediante:

$$COM = \frac{V_{NUM}}{V_{DEN}} = \frac{\sum_{i=1}^n (V_{SF_i} - V_{REF}) V_{DL_i}}{\sum_{i=1}^n (V_{SF_i} - V_{REF}) V_{DL_i}}, \quad n = 18. \quad (3.12)$$

La Ec. (3.12) es equivalente a la Ec. (3.1), y se puede reescribir de la siguiente manera:

$$COM = \frac{\sum_{i=1}^n (V_{SF_i} - V_{REF}) \frac{V_{DL_i}}{V_{DL_1}}}{\sum_{i=1}^n (V_{SF_i} - V_{REF})} = \frac{\sum_{i=1}^n M_i x_i}{\sum_{i=1}^n M_i}, \quad n = 18. \quad (3.13)$$

De la Ec. (3.13), se desprende que la magnitud de los componentes del histograma, o altura de la i -ésima barra del histograma, se expresa en términos de circuito como:

$$M_i = (V_{SF_i} - V_{REF}) \quad (3.14)$$

A su vez, el factor ponderante de los componentes de histograma, podrá ser modelado mediante la razón de voltajes:

$$x_i = \frac{V_{DL_i}}{V_{DL_1}} \quad (3.15)$$

Se establece que el incremento de voltaje de ponderación, entre columnas adyacentes de píxeles, sea constante, es decir, que: $\delta V_{DL} = V_{DL(i+1)} - V_{DL_i}$, $\forall i=1,2,\dots,n$. Suponiendo que se elige, p.e., $V_{DL_1} = 0.4V$, con $\delta V_{DL} = 20mV$, entonces, el factor ponderante para la primera columna es: $x_1 = 1$, para la segunda: $x_2 = 1 + \delta V_{DL} / V_{DL_1} = 1.05$, para la tercera: $x_3 = 1 + 2\delta V_{DL} / V_{DL_1} = 1.1$, para la i -ésima: $x_i = 1 + (i-1)\delta V_{DL} / V_{DL_1}$. Finalmente, para la última columna: $x_{18} = 1 + 17\delta V_{DL} / V_{DL_1} = 1.85$. El resultado del COM, en este caso, quedará definido en el intervalo $X = [1, 1.68]$, lo que requerirá el siguiente intervalo de valores de voltaje, $V_{DL_i} = [0.4, 0.74]$, aplicado a los drenadores de los transistores MN_i , con $\delta V_{DL} = 20mV$. Se debe cuidar que la condición $V_{DL_i}(\text{MAX}) < [V_{FS_i}(\text{MIN}) - V_T]$ se cumpla, para asegurar la operación de MN_i y MD_i en la región lineal.

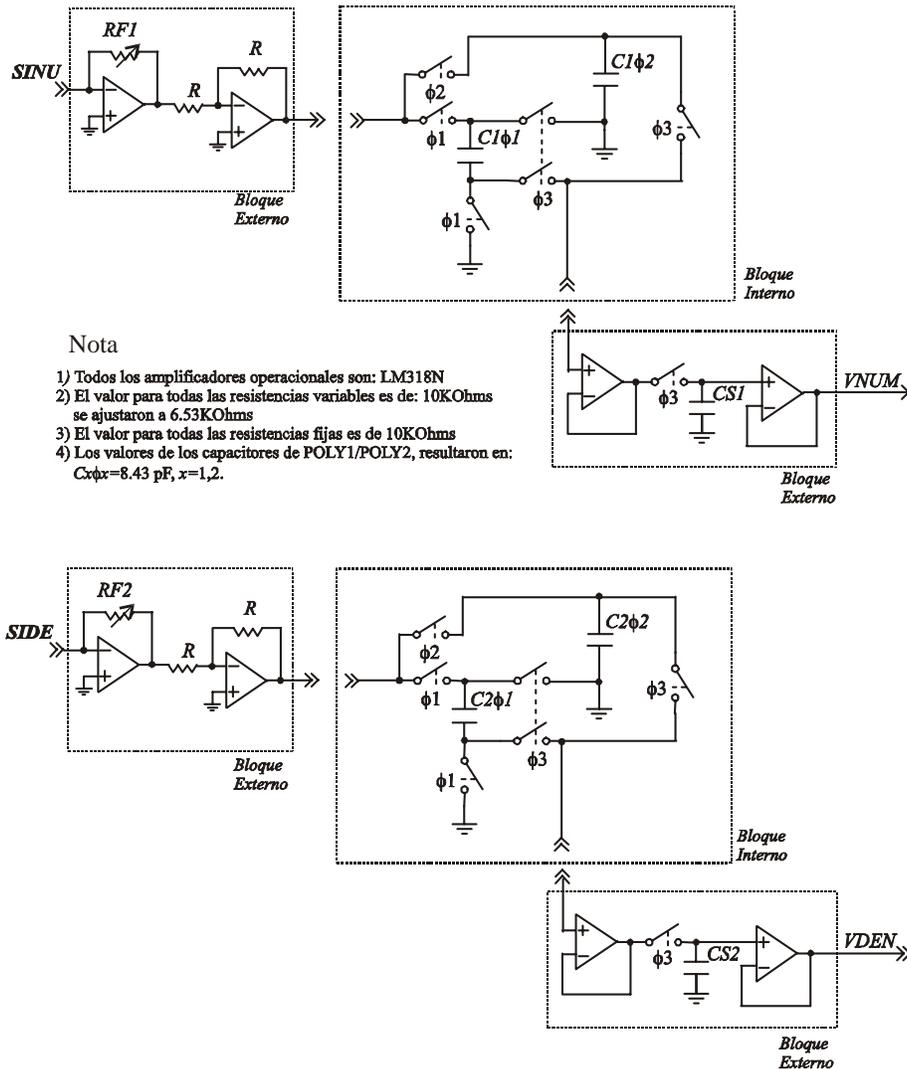


Fig. 3.20. Circuito externo de soporte del SICMOS

En efecto, así como los transistores dentro del bloque de generación de componentes de histograma $FGSF_i$, deben operar en la región de saturación, los transistores MN_i y MD_i deben de operar en la región lineal. Este compromiso implica que la diferencia de voltaje $V_{SF_i}(\text{min}) - V_T$, sea lo más grande posible, para mantener a MN_i , y MD_i operando en la región lineal. Sin embargo, esto disminuye la excursión de salida del transistor $FGSF_i$. Otra posibilidad que se tiene es la de operar al bloque multiplicador de componentes de histograma con voltajes muy pequeños, aplicados entre el drenador y fuente de los transistores MN_i y MD_i . No obstante, se procura que este voltaje sea lo más grande posible, siempre que se asegure la operación en la región lineal, con el fin de generar la mayor cantidad de corriente ($SINU/SIDE$), mejorando así, el margen de ruido.

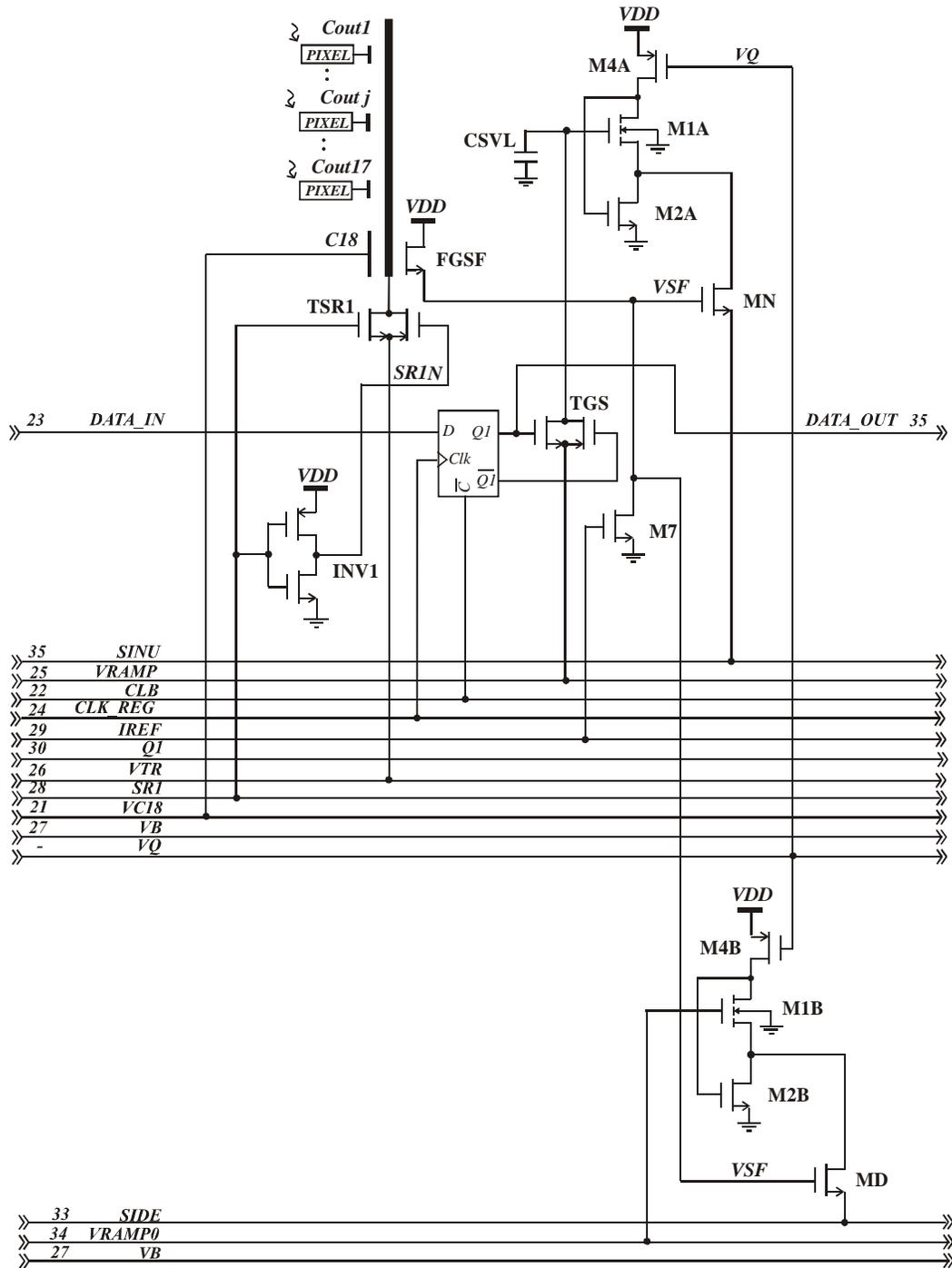


Fig. 3.22. Diagrama esquemático detallado del circuito multiplicador de componentes de histograma, para las columnas: $i=2,3,\dots,18$.

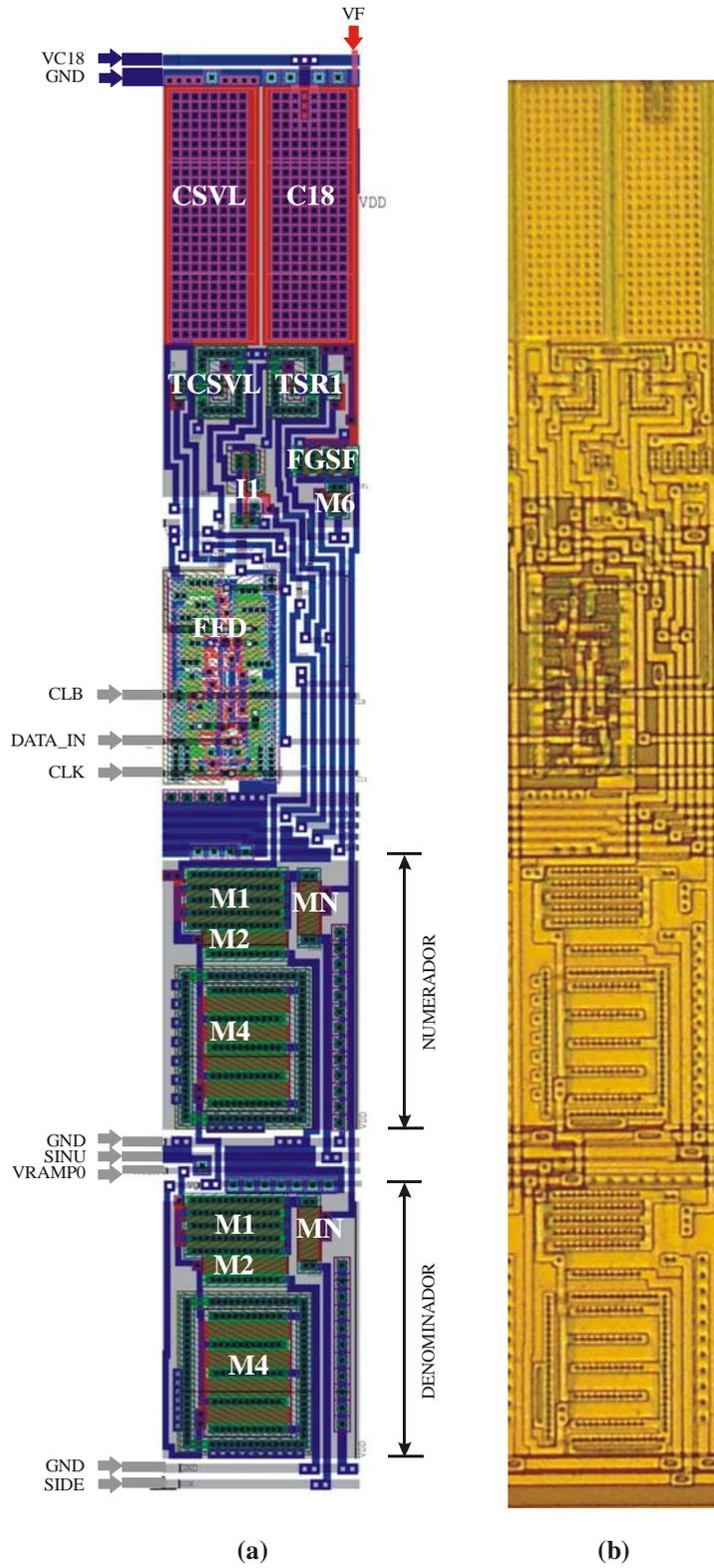


Fig. 3.23. (a) Diseño topológico del circuito generador de componentes de histograma, (b) Microfotografía correspondiente (columnas $i=2,3,\dots,18$)

3.5.6 Circuito Seguidor de Voltaje con Capacidad de Manejo de Carga Resistiva

Los voltajes de ponderación que son aplicados en las terminales de drenador de los transistores de multiplicación MN_i y MD_i , son generados mediante el circuito seguidor de voltaje que se presenta en la Fig. 3.24.

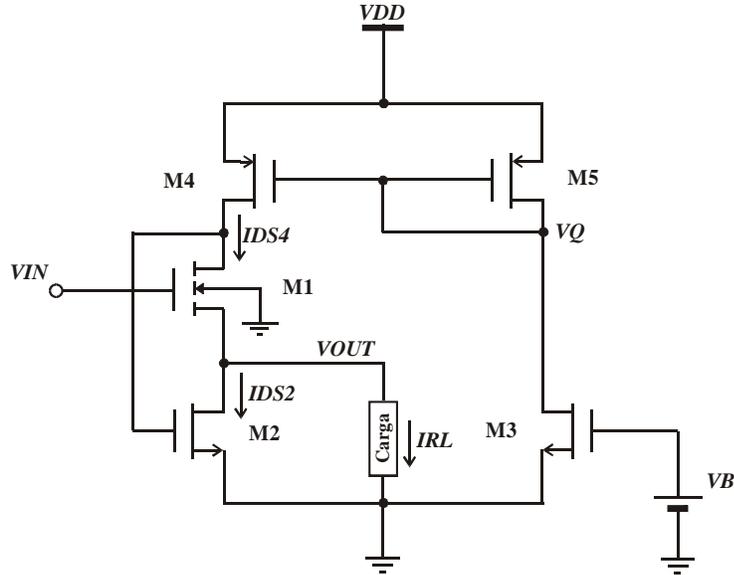


Fig. 3.24. Diagrama esquemático del circuito seguidor de voltaje con capacidad de manejo de cargas resistivas, utilizado para suministrar los voltajes de drenador de los transistores MN y MD.

En la Fig. 3.25, se presenta el circuito equivalente a pequeña señal, obtenido a partir del circuito de la Fig. 3.24.

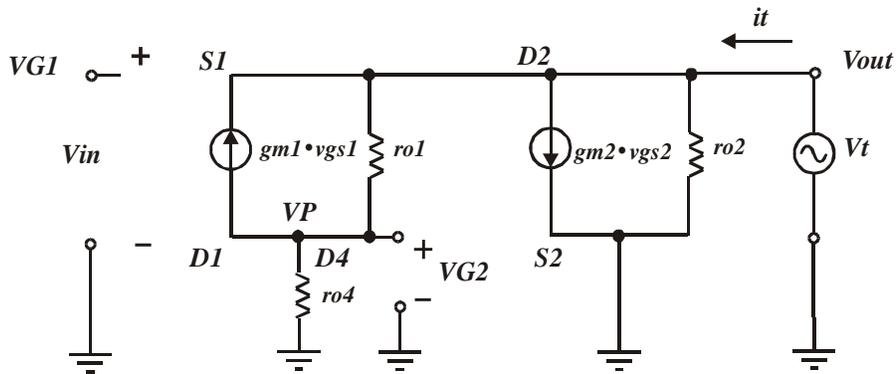


Fig. 3.25. Circuito equivalente a pequeña señal del seguidor de voltaje de la Fig. 3.24.

Finalmente, la resistencia de salida del circuito seguidor de voltaje, se expresa mediante:

$$R_0 = \frac{g_{ds1} + g_{ds2}}{g_{m1}g_{m2} + g_{ds4}(g_{m1} + g_{ds1} + g_{ds2}) + g_{ds1}(g_{m2} + g_{ds2})} \quad (3.16)$$

Sustituyendo los valores de los parámetros extraídos del proceso de fabricación de los transistores, así como los valores de las geometrías en la Ec. (3.16), se calcula la una resistencia de salida de $R_o=80\Omega$.

Debido a lo anterior, este circuito puede suministrar los niveles de corriente que demandan los transistores MN_i y MD_i , sin que disminuya considerablemente el voltaje entre el drenador y fuente en estos transistores. Este valor es importante que se sostenga ya que establece la programación de la ponderación de los componentes del histograma. Las caídas de voltaje, registradas a partir de la simulación eléctrica del circuito multiplicador de componentes de histograma, son de $\sim 2mV$.

3.6 Diseño del SICMOS

En la Fig. 3.26 se presenta la microfotografía completa del prototipo desarrollado en este trabajo, sistema que consta de 3,124 transistores, fabricado en tecnología CMOS de $1.2\mu m$, pozo "N", con dos niveles de polisilicio y dos niveles de metal.

En la Fig. 3.27, se muestra la ubicación aproximada de los principales subsistemas que componen al SICMOS.

El área total del dado de silicio es de $2mm \times 2mm$, fabricado mediante el servicio de multiproyecto que ofrece la organización MOSIS (www.mosis.org), proceso AMI, corrida T48S-SCN15.

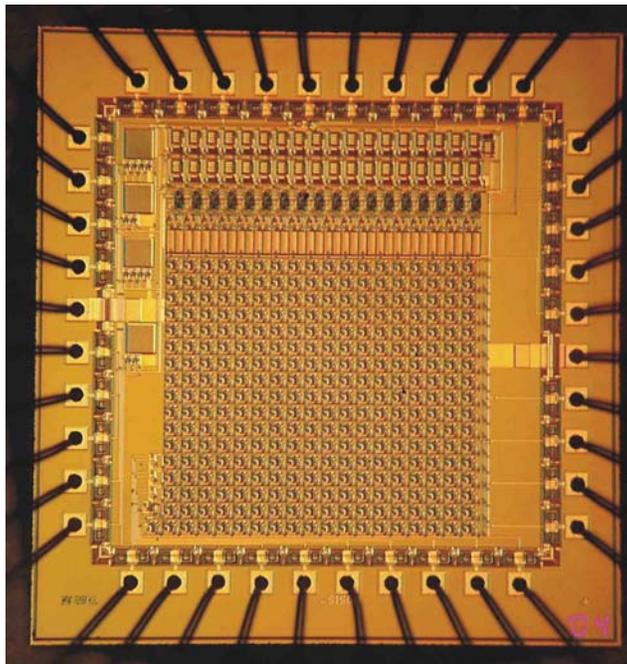


Fig. 3.26 Microfotografía del SICMOS, CI No. 3.

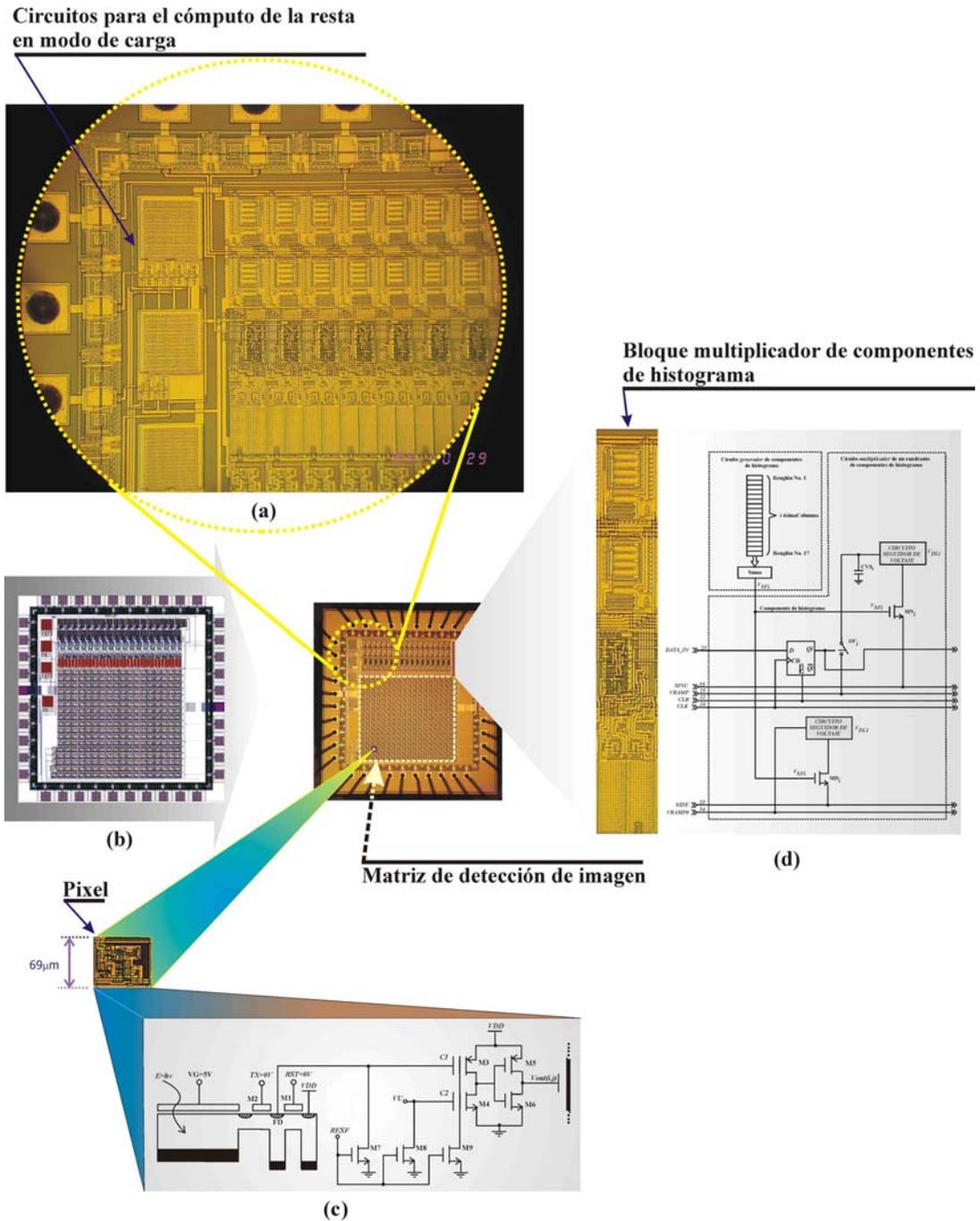


Fig. 3.27. Ubicación de los principales bloques funcionales del SICMOS, (a) Bloque para la realización de la resta en modo de carga, (b) Diseño geométrico realizado mediante el Programa L-Edit de Tanner Research, (c) Píxel binario de tipo foto compuerta y (d) Circuito multiplicador de componentes de histograma (18 celdas repetidas).

3.7 Conclusiones del Capítulo 3

En este capítulo se presentó el diseño completo del sensor de imágenes en tecnología CMOS.

El diseño del sistema, consistió fundamentalmente en un sensor que incluye la detección y la umbralización de imágenes, procesándolas en el dominio analógico, para el cómputo en tiempo real del centro de masa de la escena capturada. Uno de los principales retos de diseño, fue el de desarrollar un sistema que ocupara la menor cantidad posible de transistores, para poder integrar in situ, la mayor cantidad de elementos de proceso, junto con una matriz de detección de imágenes con el mayor formato posible, tomando en cuenta las restricciones del proceso de fabricación CMOS disponible.

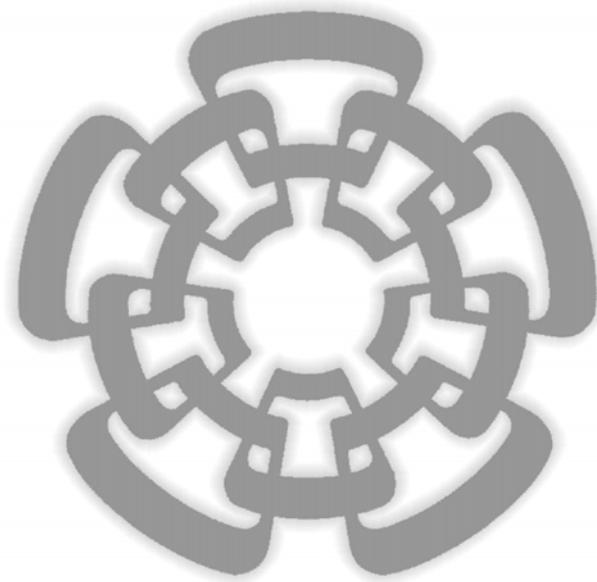
La arquitectura del sensor de imágenes en tecnología CMOS, propuesta en este trabajo de tesis, es original[17][18], y se basa en una estrategia de simplificación de diseño apoyada en el uso del TMCF, considerándose la estructura diseñada como modular y factible de extenderse a formatos de imagen aún mayores, con lo que se lograría la utilización de este sensor en una gran variedad de aplicaciones prácticas[19].

Las condiciones de iluminación en las que puede operar el dispositivo, no son muy estrictas, ya que corresponden con las que comúnmente se obtienen en ambientes cerrados con iluminación artificial, típicamente de 500 LUX. Esta es otra característica ventajosa del sensor de imágenes CMOS y se debe a la incorporación de los píxeles binarios de tipo fotocompuerta de umbral ajustable.

En el Capítulo siguiente, se presentarán los resultados de algunas mediciones llevadas a cabo al sensor de imágenes presentado en este capítulo, mediante la proyección de patrones de sombra.

CAPÍTULO 4

MEDICIONES



4.0 Contenido del Capítulo 4

Se presentan las mediciones que de manera individual se realizaron a tres tipos de celdas de prueba incluidas en el diseño del CI No. 3, configuradas con píxeles de tipo:

1. Píxel de tipo fotocompuerta binaria de umbral ajustable, con transistor MOSFET canal N, como elemento de compuerta para el transvase de carga entre el pozo de potencial donde se genera la carga y el diodo de lectura.
2. Píxel de tipo fotocompuerta analógica con transistor MOSFET canal N, como elemento de compuerta para el transvase de carga entre el pozo de potencial donde se genera la carga y el diodo de lectura.
3. Píxel de tipo fotocompuerta analógica con traslape entre POLY1 y POLY2, para el transvase de carga entre el pozo de potencial donde se genera la carga y el diodo de lectura.

A continuación se presentan los resultados de las mediciones eléctricas del SICMOS, mediante la aplicación de patrones de prueba de sombra para el cómputo del centro de masa.

4.1 Introducción del Capítulo 4

Durante el desarrollo de este trabajo de tesis, se diseñaron y construyeron tres circuitos integrados. Al primero, que contiene celdas de prueba basadas en el transistor TMCF, se le denominará como el CI No. 1. Al segundo circuito integrado, que contiene una versión preliminar del SICMOS, se le denominará a su vez como el CI No. 2, y, al diseño final del SICMOS, CI No. 3.

Cabe aclarar que en cuanto al CI No. 2, se midió y se probó únicamente para comprobar el algoritmo de cómputo del centro de masa, en donde la polarización de los transistores de ponderación de componentes de histograma, se realizó a través de pines externos. Esto dio lugar a diseñar en forma integrada, el bloque de circuitos de polarización dentro del CI, sea el CI No.3.

Así, se consideró innecesario presentar las mediciones de ajuste del CI No. 2, ya que en realidad, constituyó solamente un paso intermedio, aunque útil y necesario.

4.2 Pruebas Realizadas al Píxel de Tipo Fotocompuerta

La medición de la fotocorriente generada para el píxel de tipo fotocompuerta, se realizó iluminando la MDI del SICMOS con luz de longitud de onda y potencia conocidas, la cual se generó mediante el uso de un monocromador modelo Instruments S.A., Inc. El montaje que se utilizó para ésta aplicación, se presenta en la Fig. 4.1 (a-b), y en la Fig. 4.2, se presenta una fotografía del montaje realizado en el cuarto oscuro.

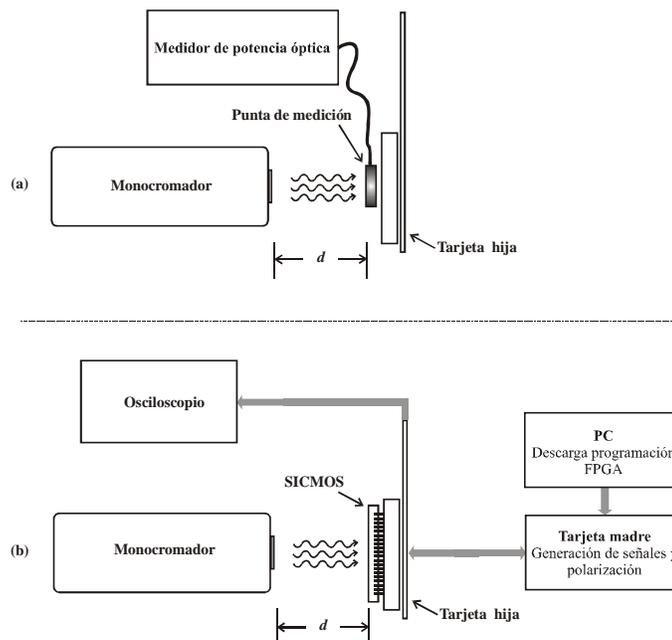


Fig. 4.1. Diagrama a bloques del montaje realizado para la medición de la respuesta espectral de las celdas de prueba de la estructura de tipo fotocompuerta. (a) Medición de la potencia luminosa incidente en la superficie de las celdas de prueba, (b) Montaje del sistema de caracterización.

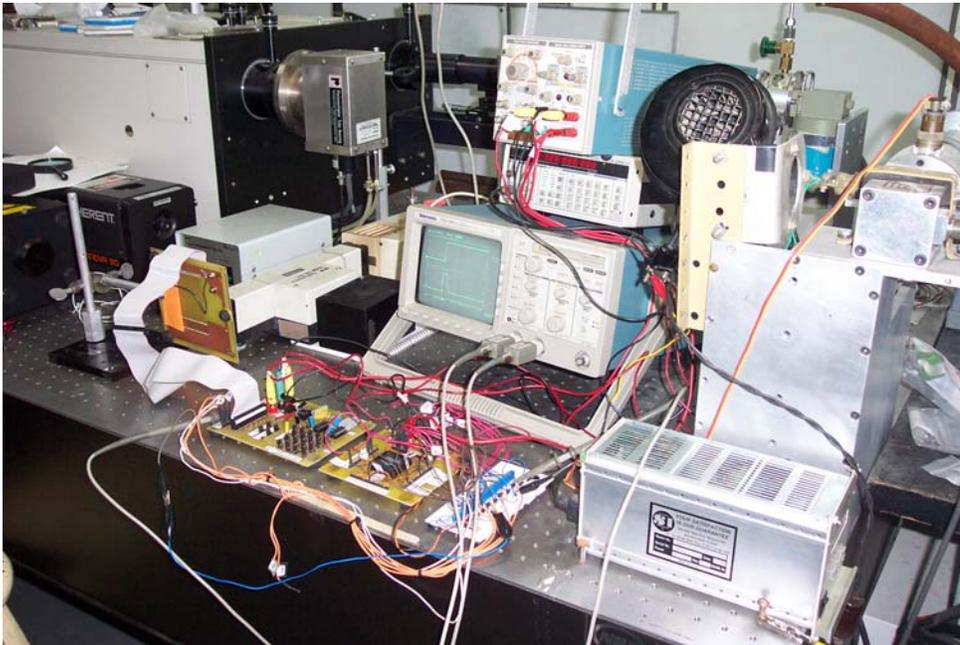


Fig. 4.2. Montaje físico implementado en el cuarto oscuro, para determinar la respuesta espectral de la fotoc compuerta con salida analógica (Celdas de Prueba No. 1 y No. 2, del CI No. 3).

4.2.1 Medición de la Respuesta Espectral del Píxel de Tipo Fotocompuerta

En el CI No. 3 se incluyó una celda de prueba aislada, de un píxel de tipo fotoc compuerta con salida analógica (Celda No.1), aislada del resto de la circuitería del SICMOS, para poder realizar mediciones de eficiencia cuántica. El corte transversal de la Celda No.1, así como el diagrama esquemático correspondiente, se muestra mediante la Fig. 4.3. El diseño geométrico se muestra en la Fig. 4.5 (a).

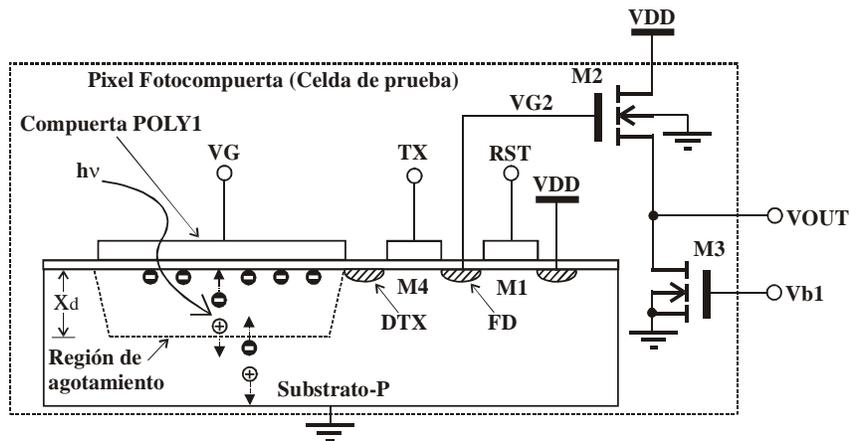


Fig. 4.3. Píxel de tipo fotoc compuerta analógico, utilizado para medir la respuesta espectral. (Celda de prueba No. 1, incluida en el CI No.3).

Para medir la cantidad de potencia luminosa recibida por esta celda de prueba, se procedió a colocar la punta de medición del instrumento a una distancia d , entre la fuente luminosa y el lugar en donde se colocó el circuito integrado SICMOS. Conocida la potencia luminosa incidente en el CI, ésta se multiplica por el área de la fotocpuerta, con lo cual se determina la potencia luminosa por unidad de área, incidente en la fotocpuerta.

Utilizando el modelo de generación de fotocorriente para el píxel de tipo fotocpuerta, discutido en la Sección 2.3, a continuación se presenta una simulación hecha en MatLab, de la variación del potencial de salida, V_{out} , para la estructura mostrada en la Fig. 4.3, en función de la longitud de onda de la fuente luminosa incidente (λ_{inc}), la cual se compara con los resultados de las mediciones, para un intervalo de longitudes de onda dentro del espectro visible.

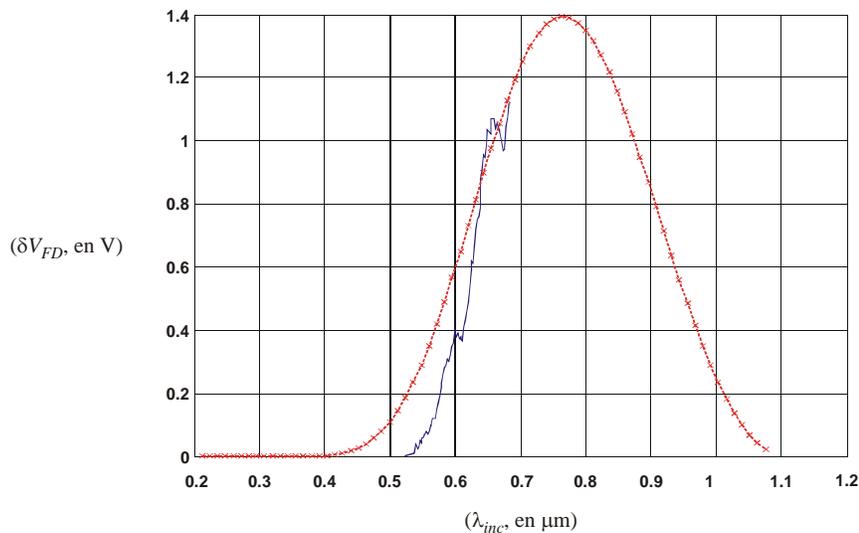


Fig. 4.4. Variación en el potencial de salida del píxel fotocpuerta. Respuesta espectral simulada (×), y respuesta espectral medida (línea continua).

En la Tabla 4.1, se presentan los principales parámetros utilizados para la simulación y las mediciones. La respuesta simulada de la figura 4.4, muestra que la sensibilidad de la fotocpuerta, ante longitudes de onda cortas, dentro del espectro visible, es pobre. Debido a que el intervalo de longitudes de onda dentro del espectro visible, que el monocromador utilizado puede generar sin producir componentes armónicos es limitado, sólo se midió el desempeño de la estructura en el intervalo de longitudes de onda de $\lambda_{inc}=[520, 690]$ nm. Otro problema que se desprende de las limitaciones del equipo, es que no se puede asegurar que la potencia luminosa emitida por el monocromador utilizado, sea constante en todo el intervalo de longitudes de onda producidas. Por esta razón, la medición de δV_{out} en función de la longitud de onda incidente, presentada en la Fig. 4.4, contiene un cierto margen de incertidumbre. Sin embargo, la tendencia en la curva de respuesta, se aproxima al tipo de respuestas que han sido reportadas en otros trabajos[57].

Parámetro	Valor
M1, M2 y M4	W=3μm, L=1.2μm (canal N)
M3	W=6.6μm, L=5.4μm
Area de la fotocompuerta	$8.64 \times 10^{-10} \text{ m}^2$
Area total de píxel	$42.27 \times 10^{-10} \text{ m}^2$
C_{FD}	10.95fF
$N_{sat}(\text{fotocompuerta})$	77.82Me ⁻
$N_{sat}(C_{FD})$	300Ke ⁻
C_{vf}	$11.38 \times \mu\text{V}/e^-$
Factor de relleno	20.43 %

Tabla 4.1. Principales parámetros utilizados en las simulaciones y mediciones de la celda de prueba No. 1, correspondiente al píxel de tipo fotocompuerta analógico, incluida en el CI No. 3.

En el diseño del píxel fotocompuerta, se utilizó el nivel de Metal 2 para cubrir las áreas donde no se desea que la luz penetre, ver Fig. 4.5. Debido a este blindaje óptico, no fue necesario utilizar un sistema de enfoque puntual, como lo sería la proyección de un haz de luz sobre el área de la fotocompuerta, p.e., mediante el uso de fibra óptica.

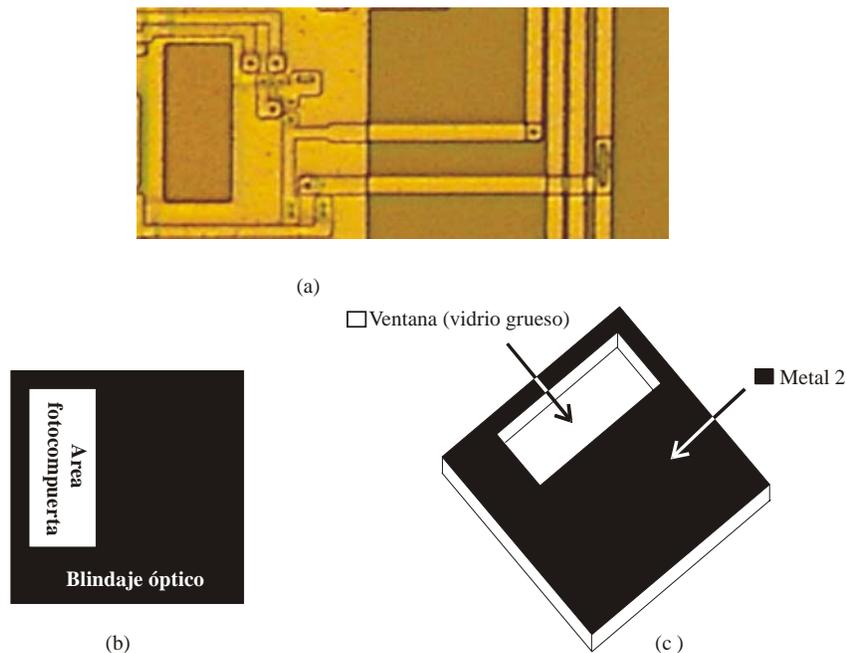


Fig. 4.5. Blindaje óptico del píxel de tipo fotocompuerta analógico, (a) Microfotografía del píxel, (b) Esquema que muestra el área por donde penetra la luz en el píxel (área en blanco), contrastada con la región blindada (área en negro), y (c), Vista en isométrico del blindaje óptico.

4.2.2 Simulación y Medición de la Fotocompuerta Analógica (Celda No. 1)

Para poder comparar los resultados que predice el macromodelo desarrollado para simular la estructura de la fotocompuerta, discutida en la Sección 2.3, con los datos obtenidos a partir de las mediciones, se realizaron dos mediciones de la variación en el potencial del diodo de lectura, δV_{FD} , visto a la salida del píxel (Fig. 4.3, V_{out}), eligiéndose para esto, una longitud de onda incidente de $\lambda_{inc}=650\text{nm}$, registrada con un medidor de potencia luminosa modelo LPM-5673 de Sanwa, el cual, está entonado para medir longitudes de onda de alrededor de $\lambda_{inc}=633\text{nm}$. La potencia luminosa registrada fue de $P_{inc}=0.1\text{ mW/cm}^2$.

A continuación, se presentan los resultados de las mediciones en ausencia de iluminación, Fig. 4.6, y con iluminación, Fig. 4.7. Las simulaciones en PSpice se muestran en las Figs. 4.8-4.9, respectivamente.

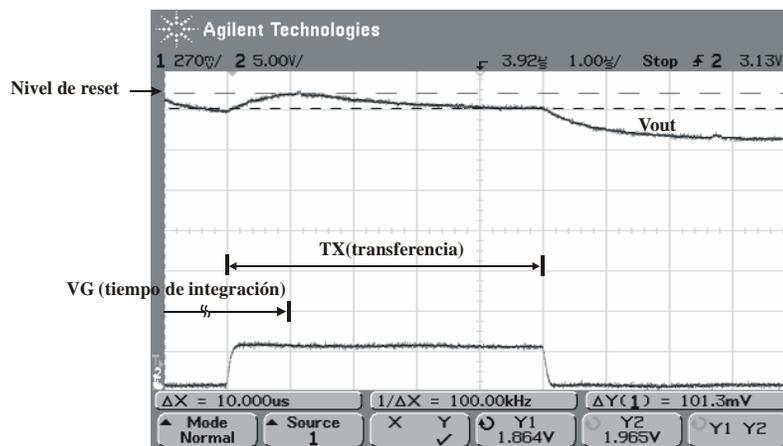


Fig. 4.6. Respuesta medida del píxel de tipo fotocompuerta analógico en condiciones de oscuridad total ($P_{inc}=0\text{ mW/cm}^2$).

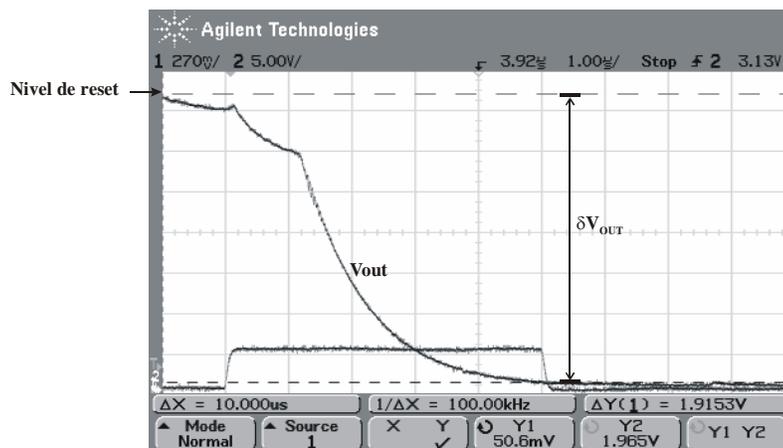


Fig. 4.7. Respuesta medida del píxel de tipo fotocompuerta analógico aplicando una fuente luminosa de $P_{inc}=0.1\text{ mW/cm}^2$ y $\lambda_{inc}=650\text{nm}$. Se obtuvo: $\delta V_{out}=1.91\text{V}$

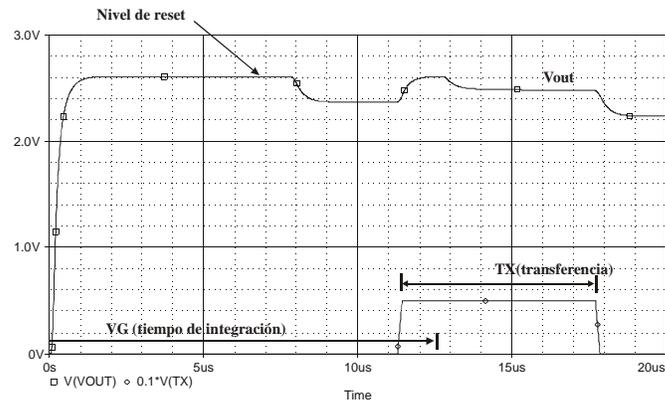


Fig. 4.8. Simulación en PSpice del píxel de tipo fotocpuerta analógico en condiciones de oscuridad total ($P_{inc} = 0 \text{ mW/cm}^2$).

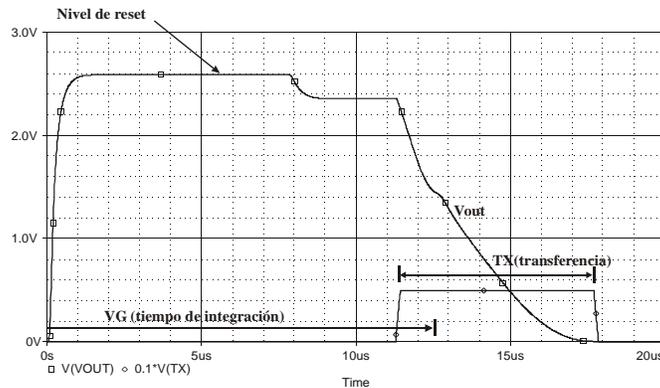


Fig. 4.9. Simulación en PSpice del píxel de tipo fotocpuerta analógico, aplicando una fuente luminosa de $P_{inc} = 0.1 \text{ mW/cm}^2$ y $\lambda_{inc} = 650 \text{ nm}$. Se obtuvo: $\delta V_{out} = 2.5 \text{ V}$

La comparación de la respuesta medida con la respuesta simulada, para la estructura bajo prueba, muestra una razonable concordancia. La variación en el voltaje de salida del píxel, δV_{out} , se puede medir entre diferentes referencias de voltaje. El valor de δV_{out} que se extrae de las mediciones, se forma a partir de la contribución que las fotocargas acumuladas producen en el potencial de reset del píxel $V_{out}(\text{reset})$, más una variación parásita de voltaje que se denotará como δV_{FDp} , provocada por la contribución de tres fenómenos que ocurren durante:

- 1) El flanco de bajada de la señal *RESP* (δV_{FDp1}), ver. Fig. 4.10.
- 2) El flanco de subida de la señal *TX* (δV_{FDp2}), ver. Fig. 4.11.
- 3) El flanco de bajada de la señal *TX* (δV_{FDp3}), ver. Fig. 4.14.

Básicamente, δV_{FDp} , se debe al fenómeno de redistribución de carga y al “clock feedthrough”, producidos durante la conmutación de los transistores M1 y M4, mismos que afectan al nodo flotante FD (Fig. 4.3), donde se realiza la conversión de carga a voltaje, debido a la alta sensibilidad que éste posee ($C_{vf} = 11.38 \text{ } \mu\text{V/e}^-$), ante las variaciones de la carga acumulada en su capacitancia asociada, C_{FD} .

Al momento de realizar mediciones del cambio en el voltaje de salida del píxel, los resultados involucrarán a δV_{FDp} , por lo cual, este cambio puede verse como un nivel de corrimiento en DC integrado en el voltaje medido, cuya magnitud se mantendrá constante bajo ciertas condiciones de iluminación y tiempo de integración, τ_{int} .

En las Figs. 4.10-4.14, se presenta una secuencia de los cambios medidos, para el voltaje de salida del píxel analógico, en función de las señales de control *RESP*, *VG*, y *TX*, considerando luz visible de longitud de onda de $\lambda_{inc}=650\text{nm}$. Se aplicó una potencia luminosa y un tiempo de integración de $\tau_{int}=80\mu\text{s}$, tal que se evitara que el potencial de reset establecido en el nodo FD, disminuyera a cero al final del periodo de transferencia de fotocargas (*TX*).

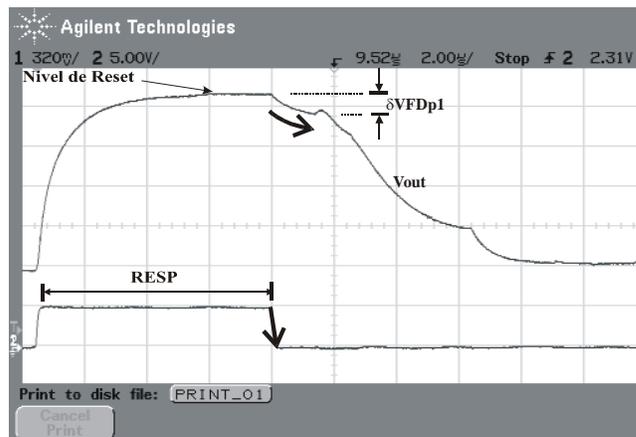


Fig. 4.10. Efecto espurio que afecta el potencial del nodo flotante V_{FD} , ocurrido durante el flanco de bajada de la señal de control del píxel: *RESP*.

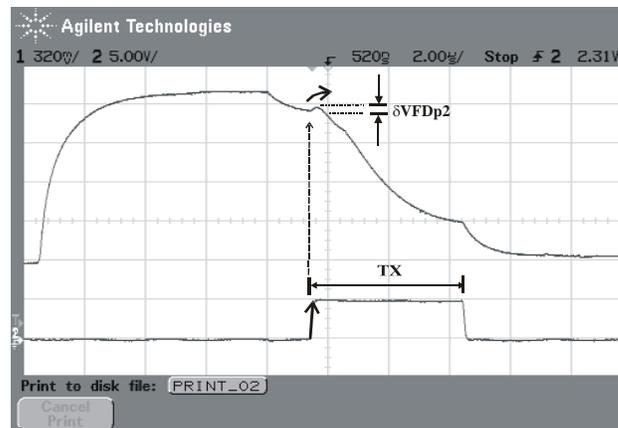


Fig. 4.11. Efecto espurio que afecta el potencial del nodo flotante V_{FD} , ocurrido durante el flanco de subida de la señal de control del píxel: *TX*.

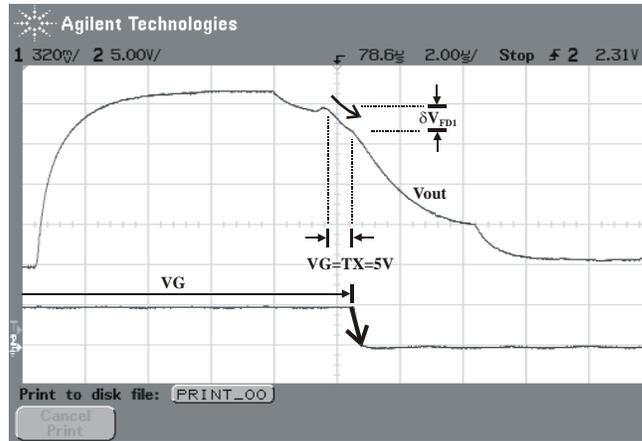


Fig. 4.12. Previo al periodo principal de transferencia de fotocargas (TX), las señales de control VG y TX , permanecen en nivel alto, entonces el canal de M4 se forma, por lo que se redistribuye la carga entre las difusiones n+/p denotadas como DTX y FD, asociadas a la estructura del píxel de tipo fotocpuerta, resultando en δV_{FD1} .

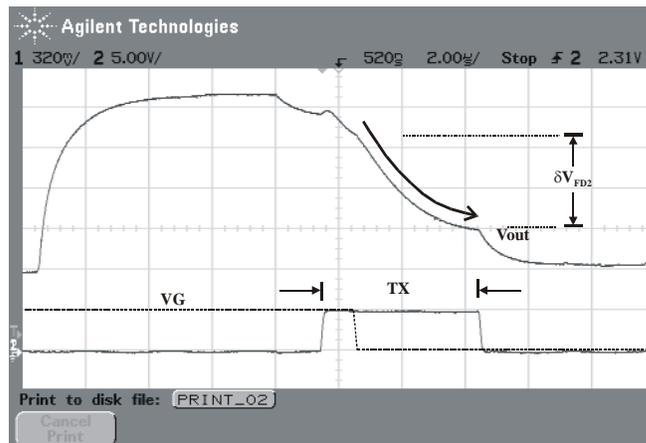


Fig. 4.13. Durante el flanco de bajada de la señal de control VG , se inicia el periodo principal de transferencia de fotocargas (TX activo), desde el pozo de potencial, situado debajo del área de integración de fotocargas, hacia el pozo de potencial asociado a la difusión n+/p, denotada como FD, resultando en δV_{FD2} .

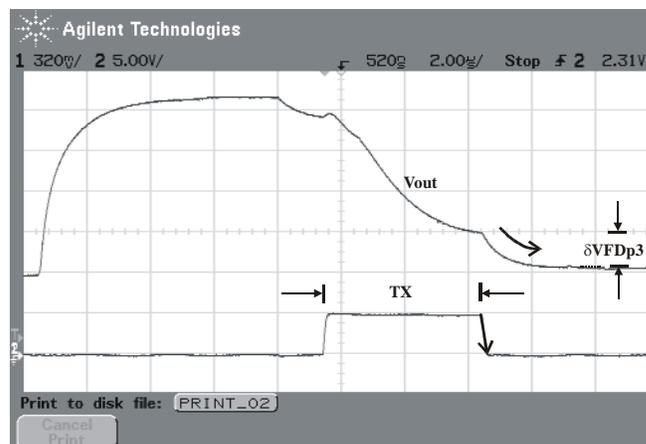


Fig. 4.14. Efecto espurio que afecta el potencial del nodo flotante V_{FD} , ocurrido durante el flanco de bajada de la señal de control del píxel: TX .

El efecto de la redistribución de carga en el flanco de subida de la señal TX, que está presente en el caso de la celda de prueba No. 1, y que se mostró en la Fig. 4.12, se desvanece en el caso de la celda de prueba No. 2. Debido a que en la estructura del píxel fotoc compuerta con traslape de POLY2 sobre POLY1, no existe la difusión flotante n+/p, denotada como DTX en la Fig. 4.3, por lo cual, durante el flanco de subida de la señal TX, se hace más notorio el efecto del “clock feedthrough” en la modificación del potencial del nodo FD.

4.2.4 Mediciones del Píxel Binario de tipo Fotoc compuerta (Celda No. 3)

La celda de prueba No. 3, incluida en el CI No. 3, constituye el píxel que se utilizó para la fabricación de la MDI. El funcionamiento de este píxel binario, se describió en la Sección 3.5.2.

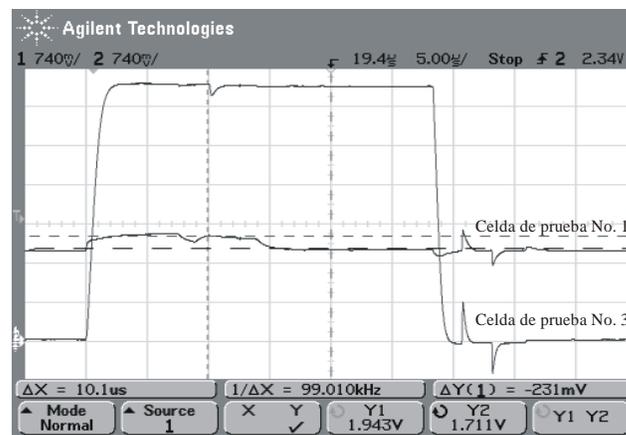


Fig. 4.18. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, bajo condiciones de oscuridad total y $\tau_{ini}=80\mu s$

Como se aprecia en la Fig. 4.18, las salidas de ambos píxeles permanecen en nivel alto debido a que no reciben energía luminosa. Evidentemente, el nivel de voltaje de salida del píxel fotoc compuerta binario es mayor en estado alto. Lo que se aprovecha para generar un mayor nivel de señal al momento de generar los componentes de histograma.

En las Figs. 4.19-4.23, se presenta una comparación de la excursión de voltaje en la salida de ambos tipos de píxeles a distintos niveles de iluminación. Se aprecia que el píxel de tipo fotoc compuerta, conmuta su salida a nivel bajo para potencias luminosas incidentes del orden de $P_{inc}=0.1mW/cm^2$. El voltaje de umbral de ajuste se fijó para todas las mediciones en $V_u=3V$, cuya señal se muestra en la Fig. 4.24. El voltaje V_u , debe ser una señal periódica, para ser compatible con la operación del inversor CMOS de compuerta flotante de dos entradas, utilizado en el píxel fotoc compuerta binario como elemento de umbralización.

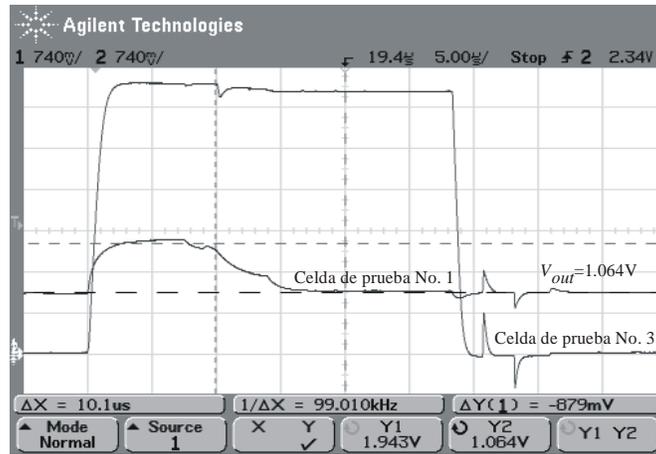


Fig. 4.19. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una potencia luminosa: $p_1 < 0.1 \text{ mW/cm}^2$, $\tau_{im} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.

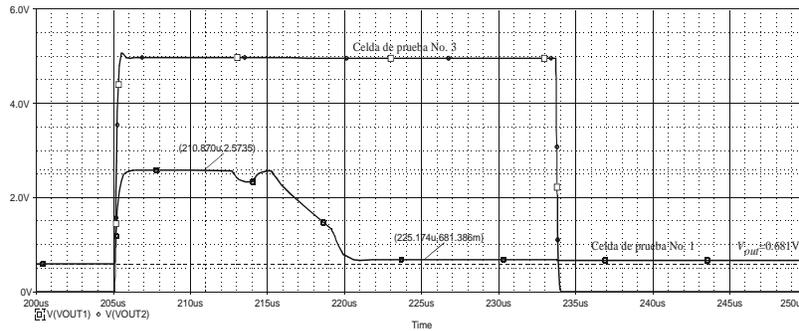


Fig. 4.20. Comparación de las simulaciones en PSpice de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una potencia luminosa: p_2 , tal que $p_1 < p_2 < 0.1 \text{ mW/cm}^2$, $\tau_{im} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.

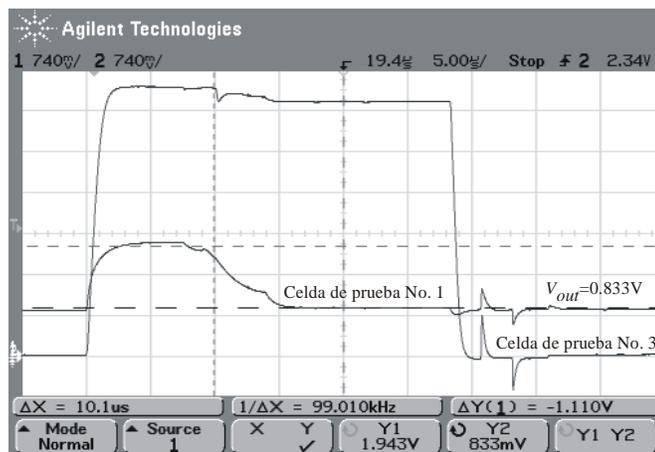


Fig. 4.21. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una potencia luminosa: p_2 , tal que: $p_1 < p_2 < 0.1 \text{ mW/cm}^2$, $\tau_{im} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.

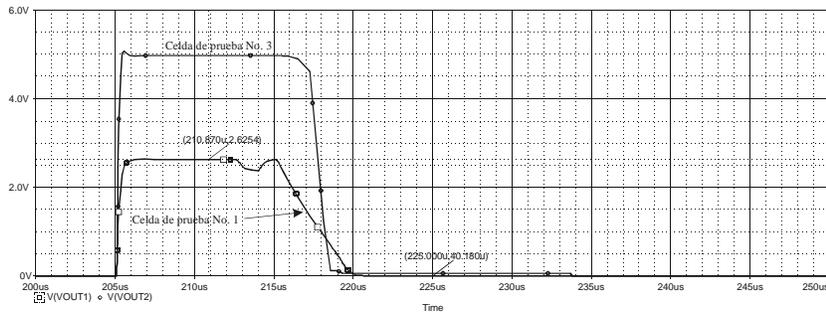


Fig. 4.22. Comparación de las simulaciones en PSpice de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una $P_{inc} = 0.1 \text{ mW/cm}^2$, $\tau_{ini} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.

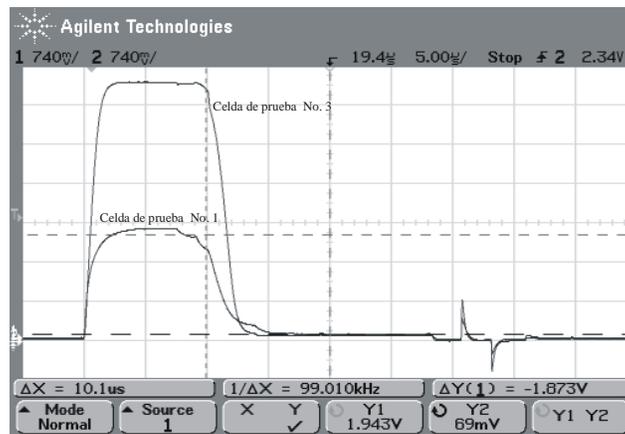


Fig. 4.23. Comparación de las respuestas medidas de la celda de prueba No. 1 y la celda de prueba No. 3, aplicando una $P_{inc} = 0.1 \text{ mW/cm}^2$, $\tau_{ini} = 80 \mu\text{s}$ y $\lambda_{inc} = 650 \text{ nm}$.

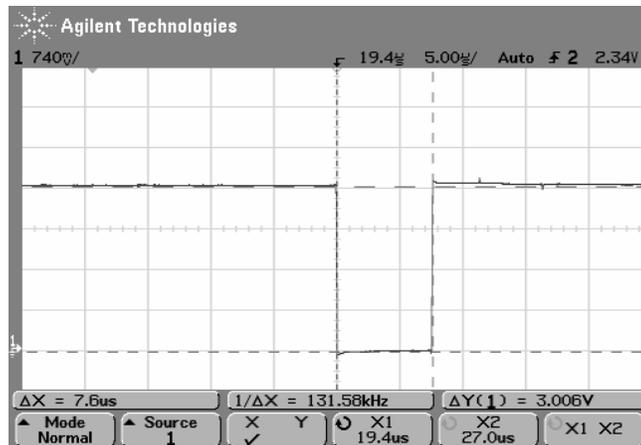


Fig. 4.24. Señal de voltaje V_{in} , aplicada a la segunda entrada del elemento umbralizador del píxel fotocpuerta binario.

4.2.5 Proyección de Patrones de Prueba y Medición del Centro de Masa

Las pruebas de la operación del centro de masa del SICMOS (CI No. 3) se llevaron a cabo mediante el uso de un conjunto de patrones de sombra, proyectados en la MDI. Cada patrón se aplicó mediante el uso de un microscopio cuyo sistema de lentes se aprovecha para sombrear selectivamente los píxeles que se desean cubrir de la luz. La iluminación, se efectuó mediante el uso de una lámpara fluorescente de 40W (luz fría).

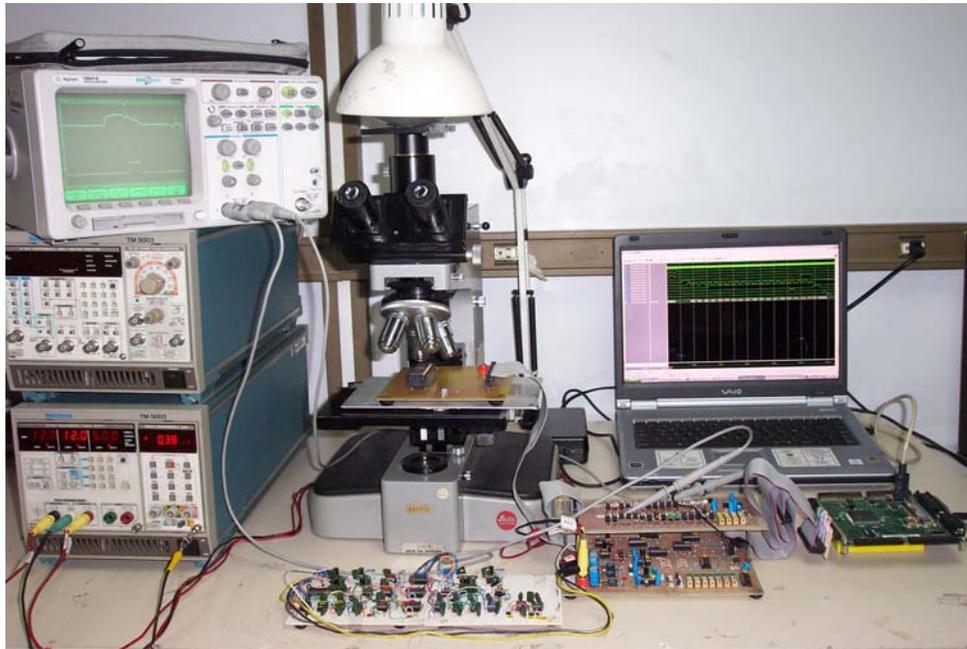


Fig. 4.25. Montaje realizado para proyectar los patrones de sombra sobre el SICMOS

De la Fig. 4.26 a la Fig. 4.33, se presentan las mediciones de diversos casos en los que se cubrió la MDI mediante patrones de sombra cuyo centro de masa es conocido, lo que se indica en la misma figura. Se presenta una fotografía del patrón aplicado, así como una representación en relieve del mismo, que ayuda a distinguir la posición del patrón aplicado sobre la matriz, con mayor realce.

La escala que indica la posición del centro de masa, se estableció a partir del primer patrón de prueba aplicado (caso No. 1). La gráfica que aparece en la Fig. 4.26, indica que un valor cercano a 5.3, en el eje de las abscisas, significa que el centro de masa reside en la columna de extrema derecha del SICMOS. Un valor cercano a 3.15, significa que el centro de masa reside en la columna No. 9. Y un valor de 1, significa que el centro de masa está ubicado en la columna No. 1. La escala o intervalo de valores resultantes, dependerá, entre otras cosas, de la plantilla de voltajes aplicados para ponderación del circuito de multiplicación de componentes de histograma.

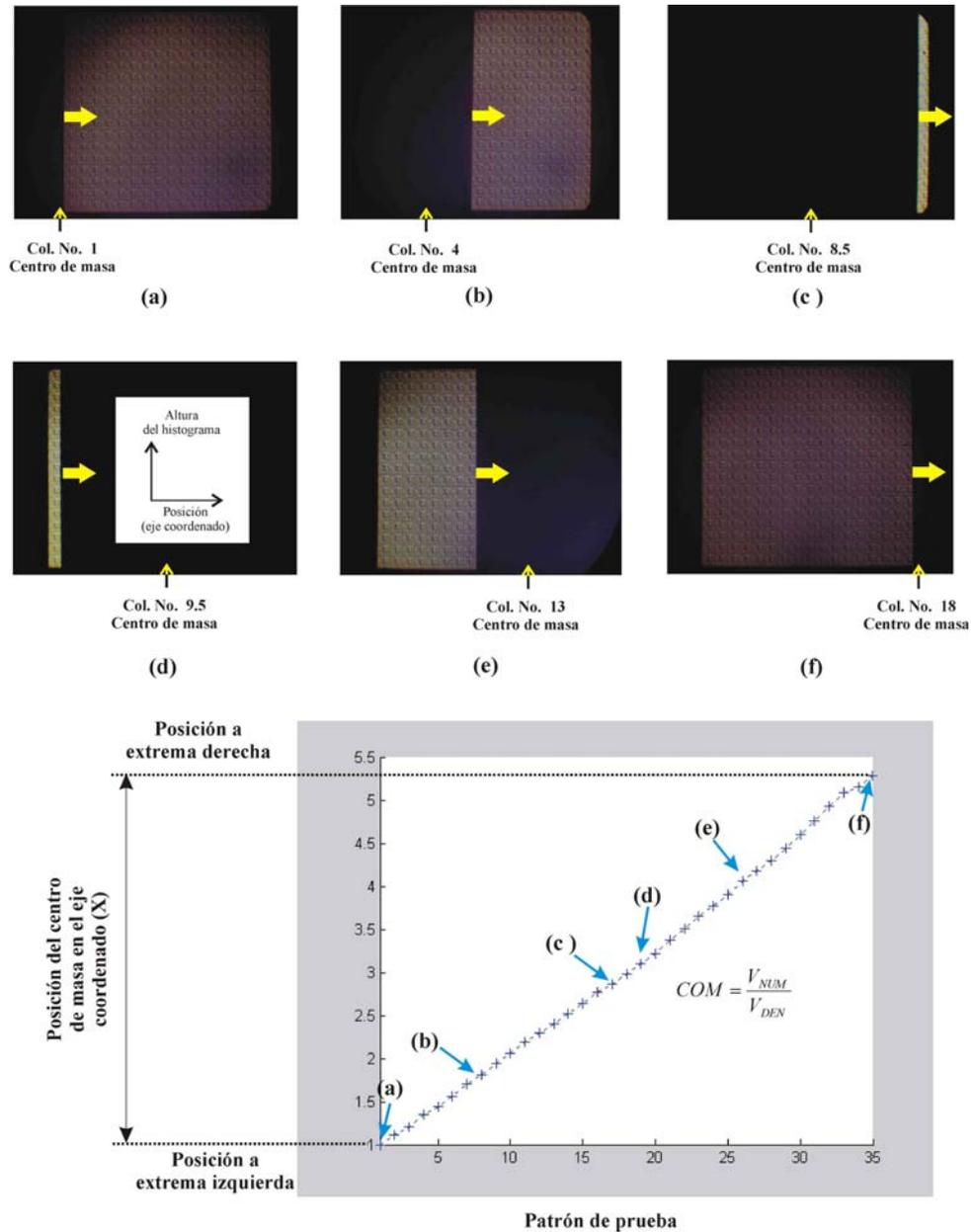


Fig. 4.26. Caso 1. Barrido de sombra total por columna.

En el Caso No. 1, se aplicó un patrón de sombreado que consistió en ir cubriendo con una sombra, cada una de las columnas de la MDI. El primer patrón, cubre la primera columna, el segundo patrón cubre la segunda columna y la primera, hasta que se han cubierto todas las columnas. En este momento, el centro de masa reside en el centro de la escala de salida. Posteriormente, se descubre la primera columna, enseguida, se descubre la segunda y la primera columna, hasta que finalmente, se descubren todas las columnas, excepto la última columna, en cuyo caso, el centro de masa reside en la columna de extrema derecha. Este patrón de sombra brinda la mejor respuesta debido a que se cubre la mayor cantidad de columnas y se tomó como patrón de escala para el resto de las mediciones.

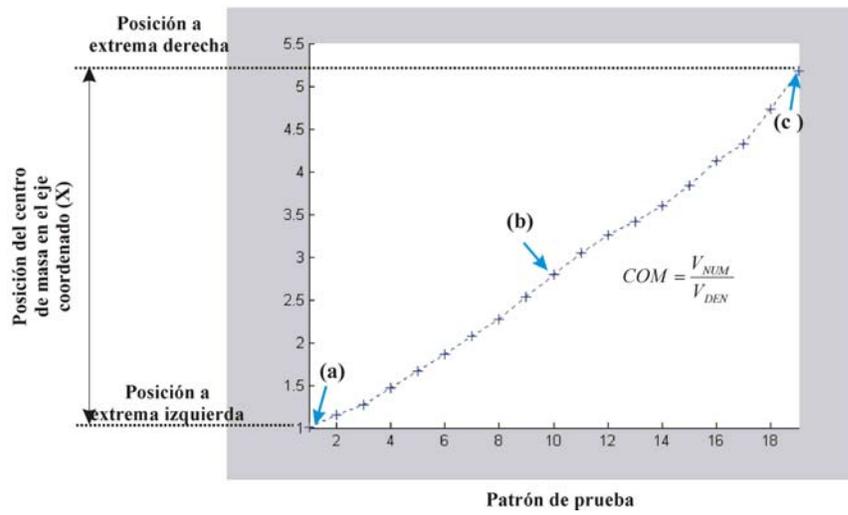
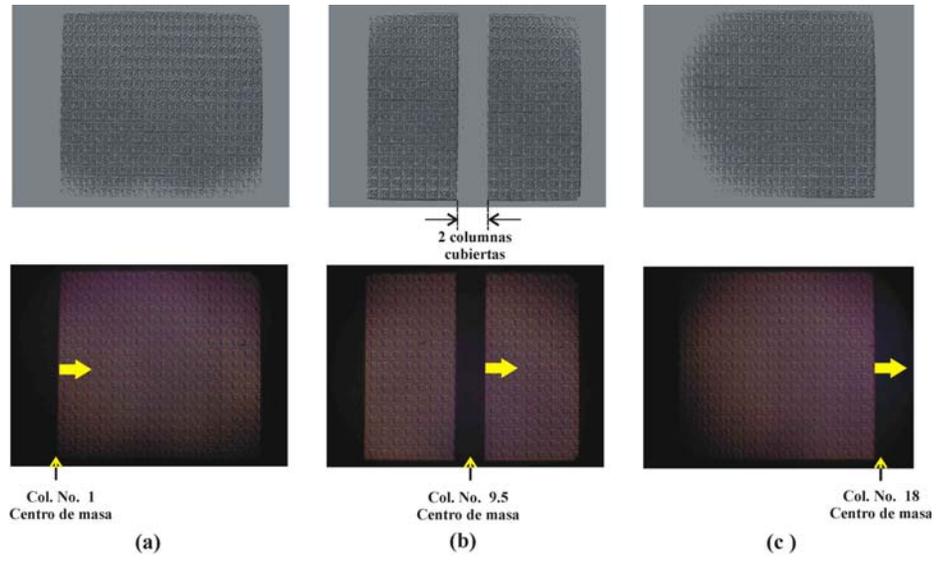


Fig. 4.27. Caso 2. Barrido de sombra que abarca dos columnas a la vez.

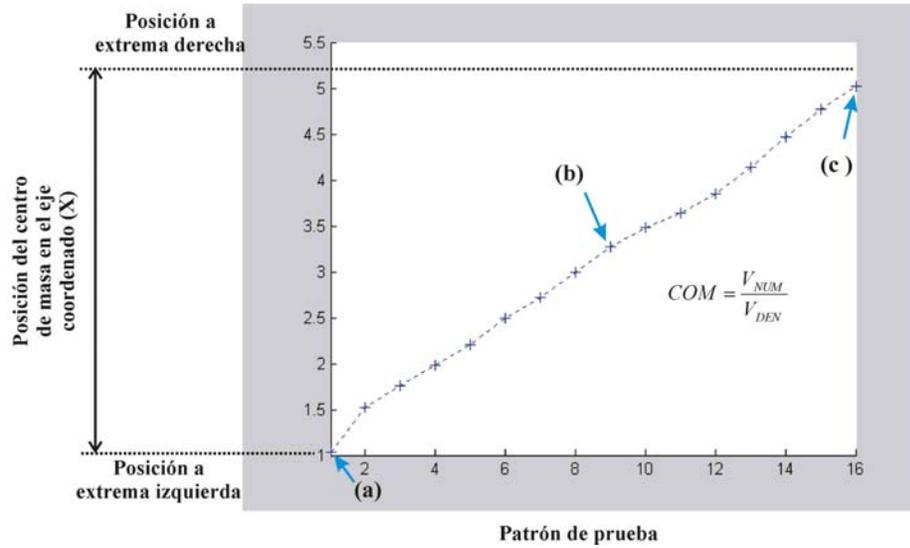
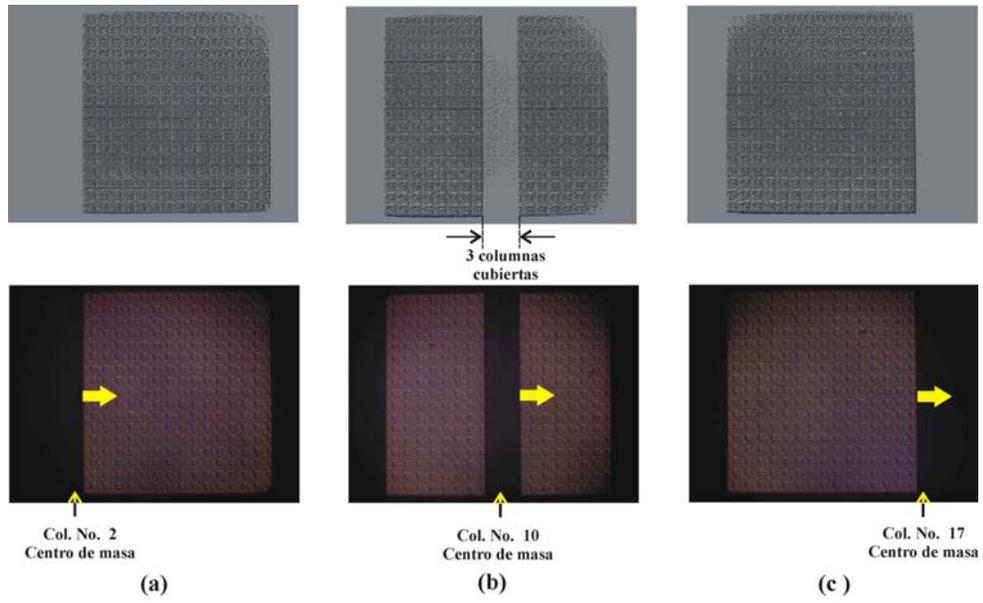


Fig. 4.28. Caso 3. Barrido de izquierda a derecha de un patrón de sombra que cubre a tres columnas.

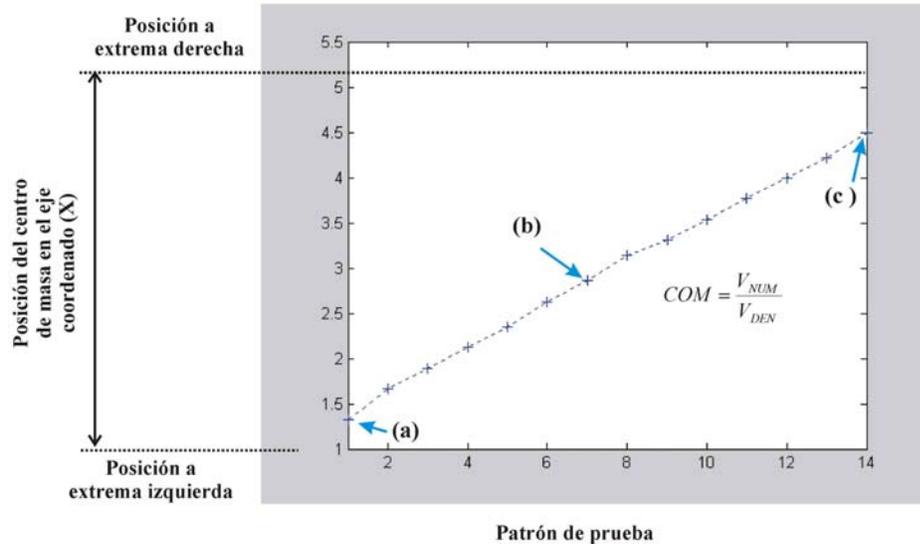
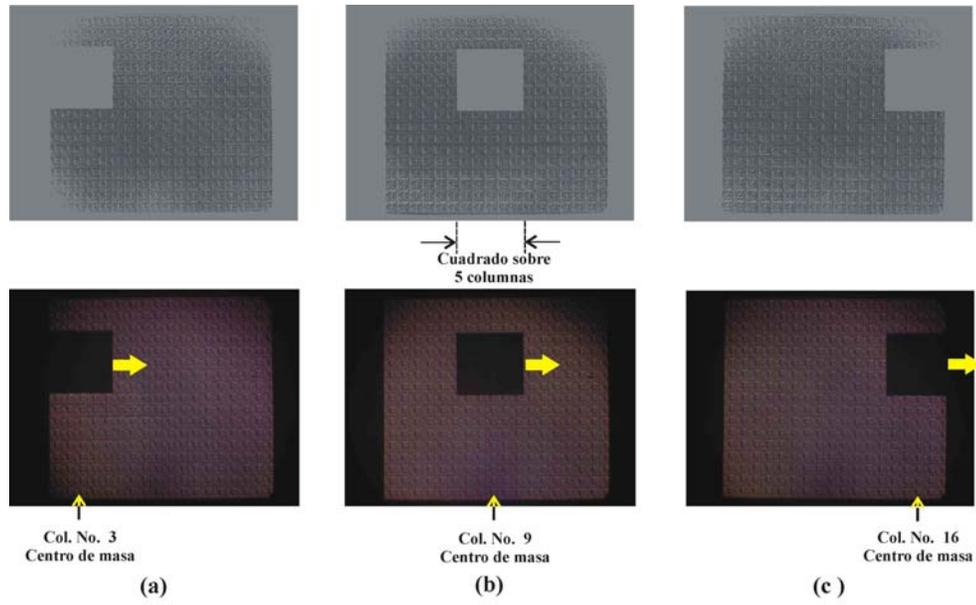


Fig. 4.29. Caso 4. Barrido de izquierda a derecha de un patrón de sombra cuadrado, abarcando 4x4 píxeles a la vez.

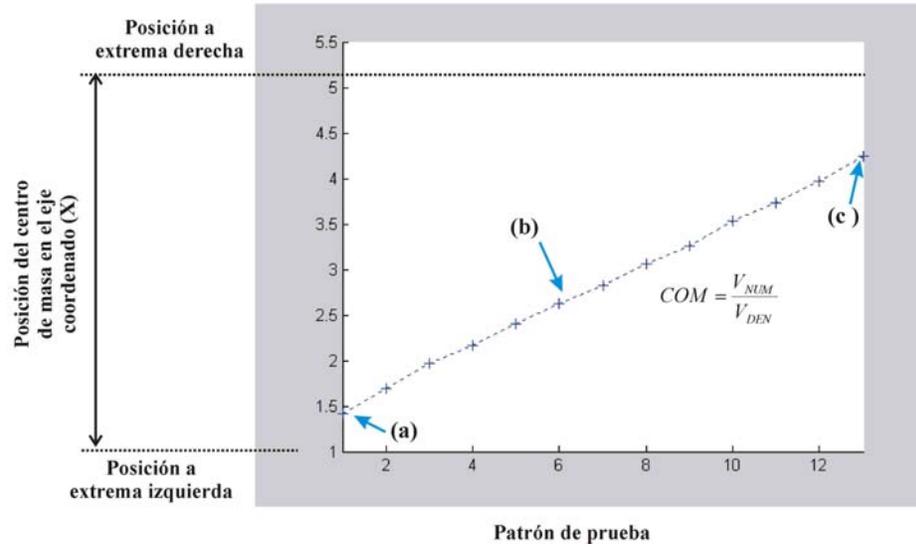
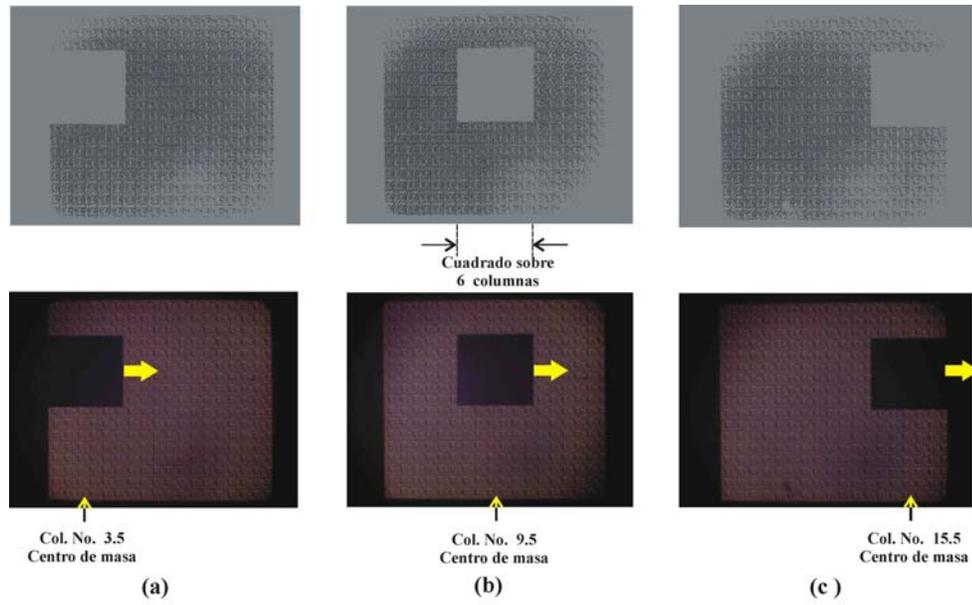


Fig. 4.30. Caso 5. Barrido de izquierda a derecha de un patrón de sombra cuadrado, abarcando 6×6 píxeles a la vez.

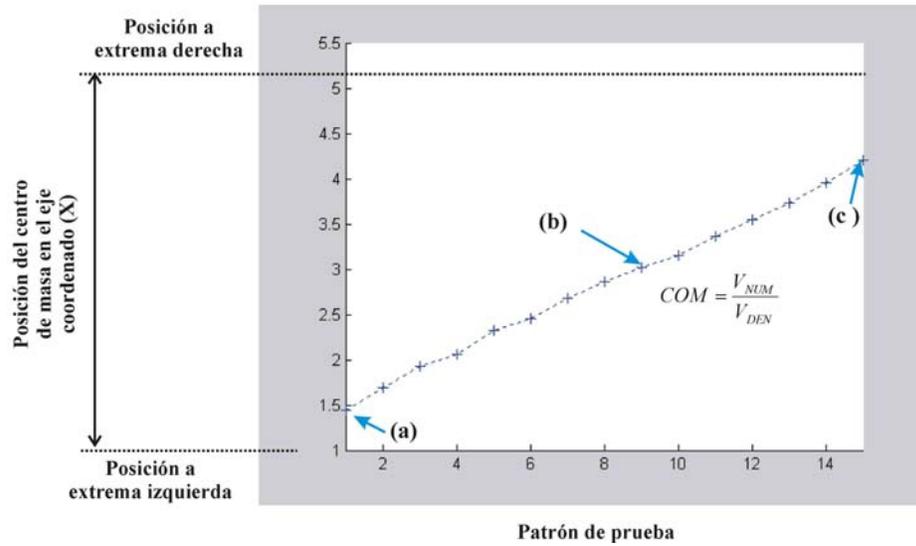
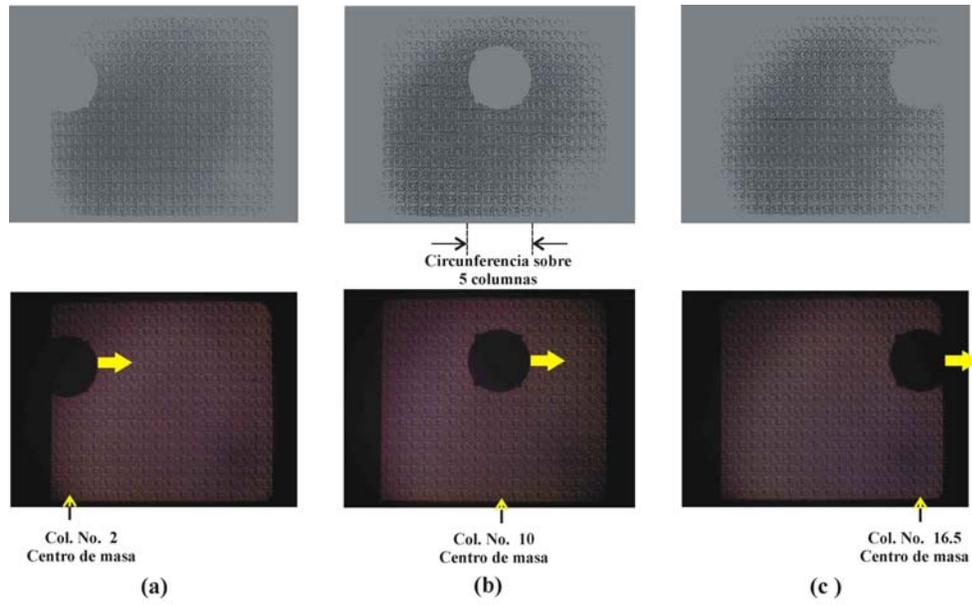


Fig. 4.31. Caso 6 Barrido de izquierda a derecha de un patrón de sombra circular, abarcando aproximadamente 5x5 píxeles a la vez.

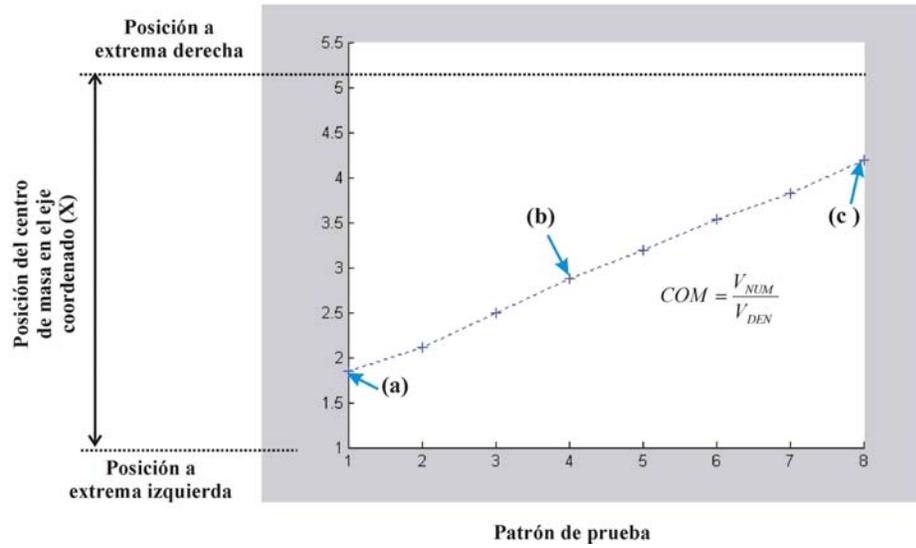
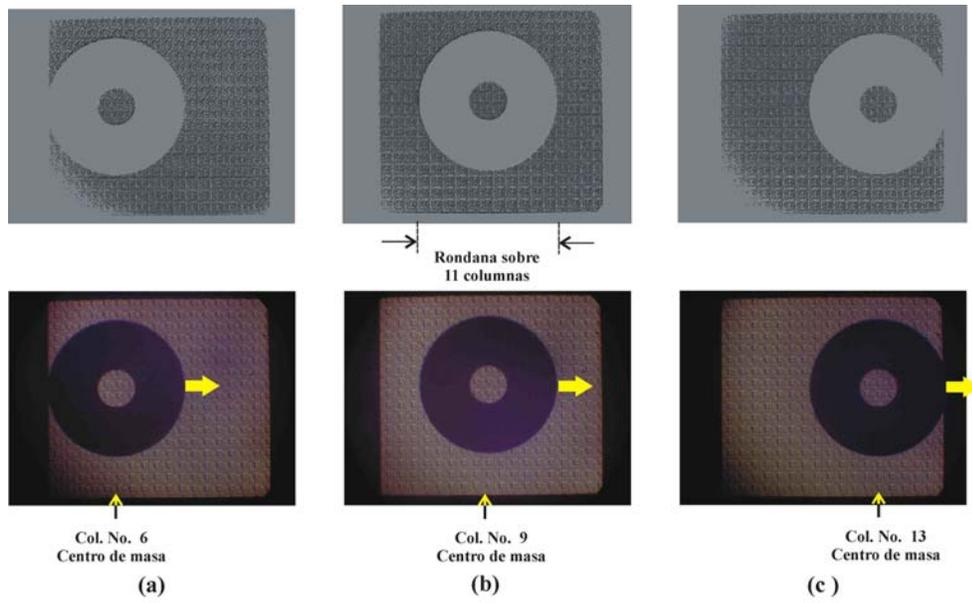


Fig. 4.32. Caso 7 Barrido de izquierda a derecha de un patrón de sombra generado mediante la proyección de una rondana.

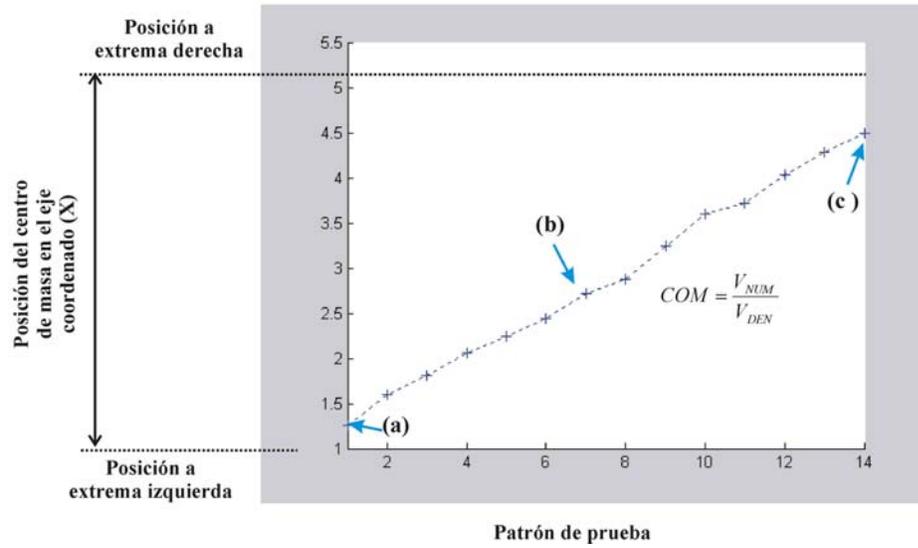
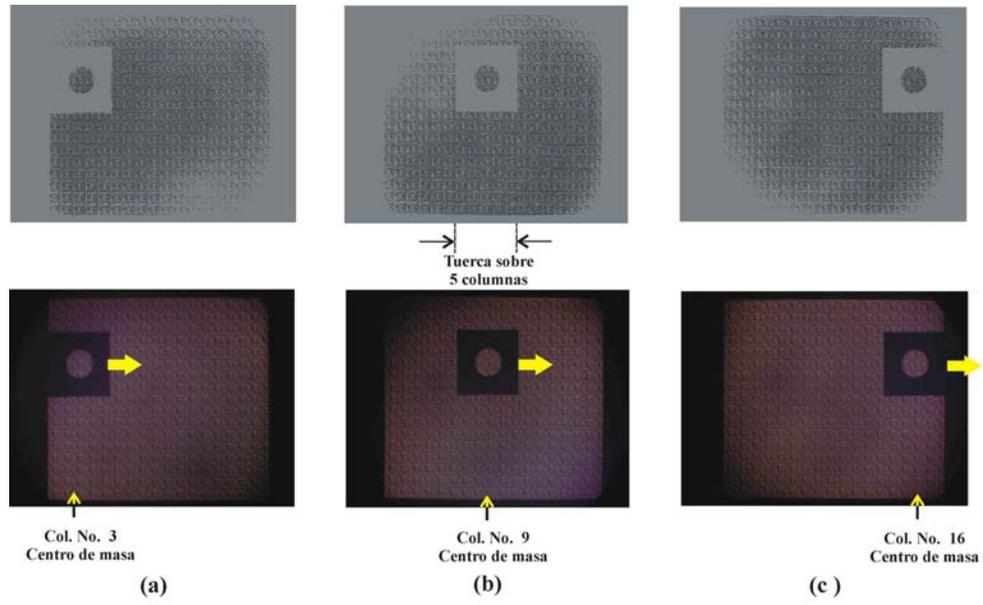


Fig. 4.33. Caso 8 Barrido de izquierda a derecha de un patrón de sombra generado mediante la proyección de una tuerca cuadrada.

En la Fig. 4.34, se muestra una simulación realizada mediante PSpice, para el caso de un patrón de sombra proyectado sobre la MDI, cuyo centro de masa se ubica en la columna No. 14, del eje coordenado, ver Fig. 4.33. La medición correspondiente se presenta en la Fig. 4.35.

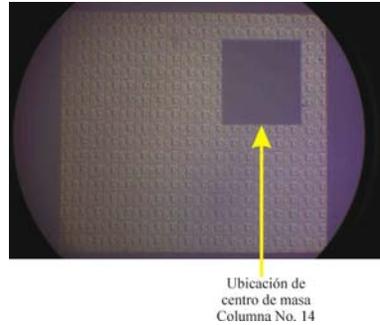


Fig. 4.34 Proyección de un patrón de sombra cuadrado de 6×6 píxeles.

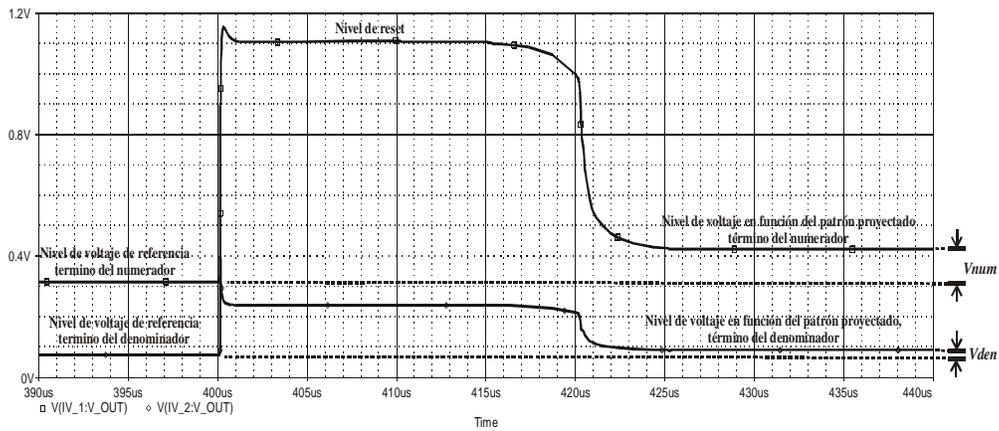


Fig. 4.35. Simulación del centro de masa de un patrón de sombra cuadrado de 6×6 píxeles, proyectado sobre la MDI del SICMOS, con centro de masa en la columna No. 14, resultando en:
 $COM = V_{num}/V_{den} = 106.63/15.49 = 6.88$, dentro de la escala respectiva.

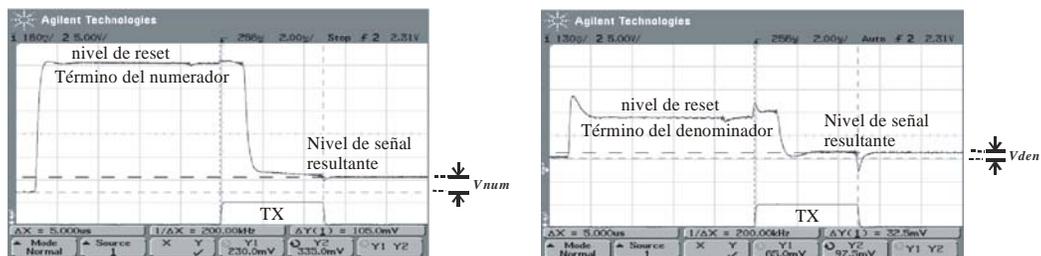


Fig. 4.36. Medición del centro de masa de un patrón de sombra cuadrado de 6×6 píxeles, proyectado sobre la MDI del SICMOS, con centro de masa en la columna No. 14, resultando en: $COM = V_{num}/V_{den} = 105/32.5 = 3.23$, dentro de la escala respectiva.

La escala para determinar la posición del centro de masa, obtenida mediante la simulación varía respecto a la que se obtiene en las mediciones, sin embargo, en ambos casos, se conserva una razonable linealidad en la respuesta del cómputo del centro de masa, cuando se aplican patrones que emulan objetos desplazándose con incrementos constantes de un píxel, sobre el eje coordenado.

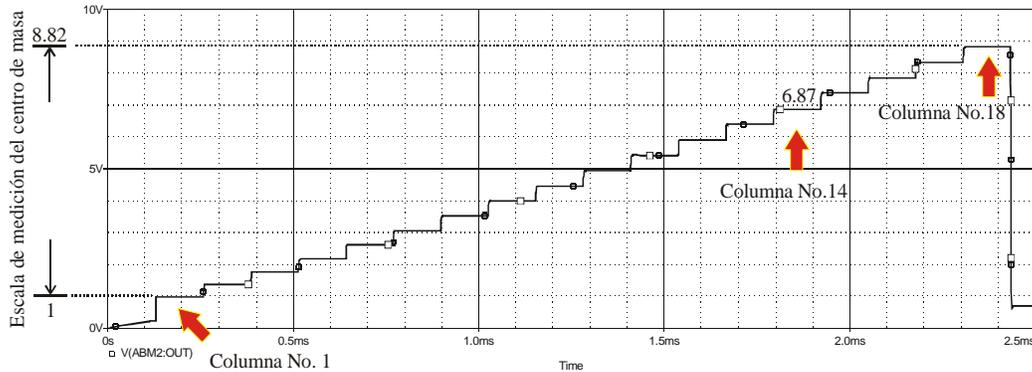


Fig. 4.37. Simulación en PSpice del centro de masa para una secuencia de patrones, emulando el recorrido de un objeto sobre el eje coordenado de izquierda a derecha proyectado sobre la MDI. Se considera un tiempo de integración de fotocargas de $\tau_{int}=80\mu s$. El retardo en el cómputo del centro de masa se estableció en $128\mu s$.

Un factor que influye en las diferencias del cómputo del centro de masa para un determinado patrón de prueba obtenido mediante simulación, respecto a los resultados obtenidos a partir de las mediciones, utilizando la misma plantilla de voltajes de polarización, es el hecho de que el conjunto de voltajes de polarización, VDL_i , aplicados a los drenadores de los transistores MN_i y MD_i , que a su vez sirven para implementar la ponderación de los componentes de histograma, presenta variaciones debido a las fugas y efectos de redistribución de carga en los capacitores, CVS_i , y que actúan como elementos de almacenamiento de los voltajes de ponderación de los componentes de histograma, ver Fig. 3.19; cuya relación con el cómputo del centro de masa se verifica mediante la Ec. (3.12).

En la Fig. 4.38, se presenta una simulación en PSpice del circuito multiplicador de componentes de histograma. Se simuló el encendido secuencial de los píxeles en cada una de las columnas, utilizándose como circuito auxiliar en la simulación, un comparador de voltaje con 17 salidas. Las salidas del comparador se conectaron a cada una de las compuertas de control, C_j , $j=1,2,\dots,17$, del $FGSF_i$, mostrado en la Fig. 3.21 y Fig. 3.22. Se aplicó un barrido en DC a la entrada del comparador, y como barrido secundario, el incrementó en el voltaje de polarización para producir la ponderación de los componentes de histograma, con un paso de $\Delta VDL=40mV$, considerando el intervalo de voltajes de ponderación: $VDL=[0.6, 1.28]V$.

De esta manera, la primera gráfica de la Fig. 4.38, de abajo hacia arriba, corresponderá con la ponderación del componente de histograma de la primera columna (columna ubicada a la extrema izquierda), la siguiente gráfica hacia arriba, con la ponderación de la segunda columna, y así sucesivamente, hasta la gráfica en la parte superior del conjunto de curvas, que corresponde con la ponderación de la última columna (columna ubicada a la extrema derecha).

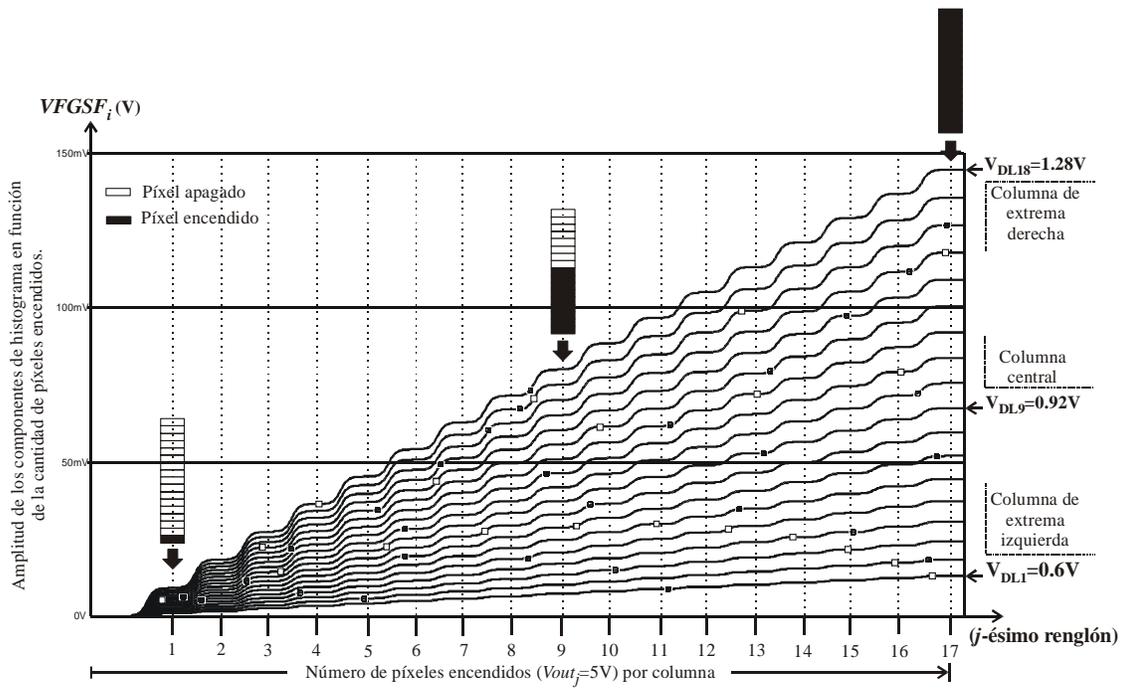


Fig. 4.38. Simulación del multiplicador de componentes de histograma

Ruido térmico + shot en el píxel en electrones	555 e ⁻
Ruido térmico + shot en volts rms	0.018 V rms
Saturación del pozo (fotocompuerta)	114M e ⁻
Saturación del pozo de lectura (FD)	113K e ⁻
Corriente de oscuridad	0.25fA
Intervalo de tiempos de integración utilizados	60µs a 100µs
Velocidad de cómputo del COM/segundo	7000 a 10000
Rango dinámico	106dB
No. de transistores utilizados en el SICMOS	3,124
Consumo de potencia (aprox.)	80mW
Tipo de encapsulado	DIP40

Tabla 4.2. Algunos parámetros de interés del SCICMOS

4.3 Conclusiones del Capítulo 4

En este capítulo se presentaron las mediciones que se realizaron al prototipo SICMOS para el cómputo del centro de masa, a través de la aplicación de patrones de sombra de objetos enfocados por dicho SICMOS. Los resultados obtenidos, demuestran que el dispositivo diseñado puede ser de utilidad en diversos ámbitos de aplicación, donde se requiera tener una estimación de la posición en tiempo real de objetos estáticos y/o en movimiento.

El tiempo de integración de fotocargas que se fijó en $\tau_{int}=80\mu s$, es el factor que más influye en la latencia para el cómputo del centro masa del SICMOS, que se midió en 7,800 cálculos del centro de masa, por segundo. No obstante, se puede operar con tiempos de integración menores, por lo que la velocidad de proceso puede incrementarse hasta un orden de 10,000 cálculos del centro de masa por segundo. Estos órdenes de magnitud, superan a los esquemas tradicionales: “cámara+procesador”, en donde la información se procesa fuera del lugar donde se captura, debido al cuello de botella de información, que se origina durante la transmisión de las imágenes de la cámara a la plataforma de proceso.

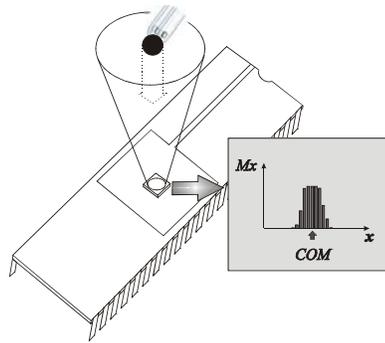
El consumo de potencia del SICMOS es otro factor importante, debido a que permite la utilización de este dispositivo en aplicaciones remotas y/o aplicaciones donde se requiere un bajo consumo de energía, además de las aplicaciones denominadas como sistemas embebidos.

La resolución del SICMOS, puede incrementarse a formatos mayores, si se accede una tecnología más avanzada que la que se utilizó, y a una mayor área de silicio. El esquema presentado en este trabajo para la ponderación de componentes de histograma, puede ser expandido bajo un esquema jerárquico para el cómputo de centro de masa; esto es, que la cantidad de elementos discretos del eje coordenado, cantidad de columnas en este caso, se pueden agrupar en k grupos de i elementos cada uno, cuyo centro de masa, se podría calcular utilizando la metodología presentada en este trabajo. De esta manera, los centros de masa locales, que resultan en cada grupo constituiría la entrada de otro bloque idéntico para el cómputo del centro de masa de mayor jerarquía de k entradas, con lo que se podría expandir el cómputo del centro de masa para un sistema de n columnas (o renglones) cuya magnitud sería de: $n=i \times k$.

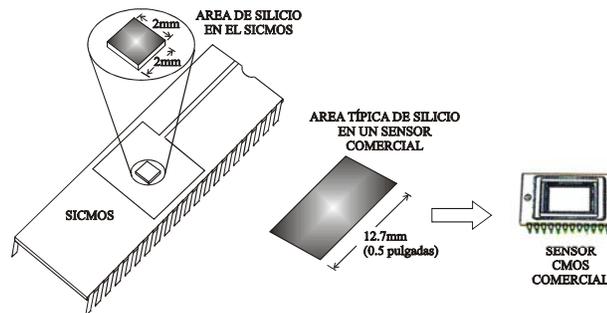
Conclusiones Generales.

La contribución de este trabajo, fue el diseño de un CI de visión con una arquitectura original[17], para el cómputo del centro de masa, aplicable en tareas de seguimiento de objetos en tiempo real, sujeto a las siguientes restricciones:

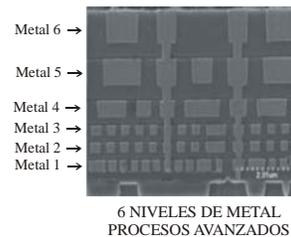
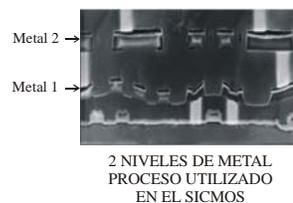
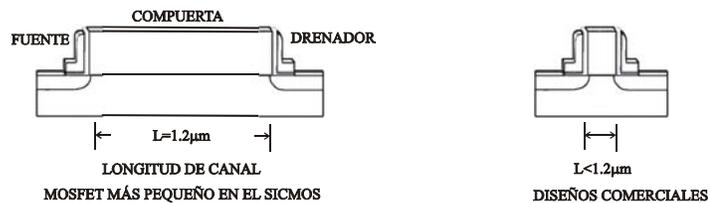
1. Procesamiento in situ



2. Área total del diseño, limitada



3. Tecnología de longitud mínima con dos niveles de metal, accesible al laboratorio

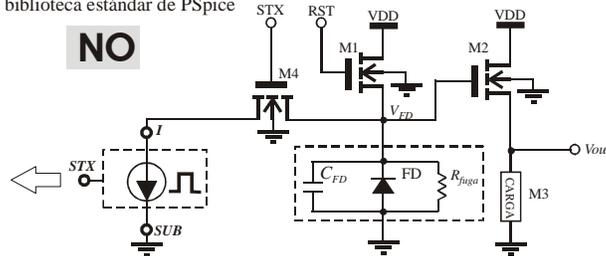


4. Escasez de modelos para simulación de dispositivos fotosensibles, viables de ser implementados en tecnología CMOS

```

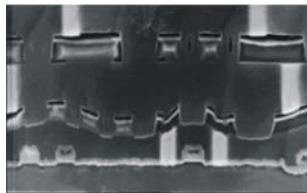
.SUBCKT PhotoGate STX I SUB
+params: tint=0 tx=0 area=0 poprt=0 ...
* (tin) Tiempo de integración de ...
* (tx) Tiempo de transvase de ca ...
* (area) Área de la fotoconpuerta [cm^2] ...
* (poprt) Potencia luminosa incide ...
* (lambda) Longitud de onda inci ...
.
.
.
* Parámetros de modelo
.param h=6.62617e-34 Constante de...
.param R=0.0 Coeficiente ...
.param xpci=152e-4 Espesor de la...
.param Nd=1e17 Concentración...
.
.
.
.param jtot=(abs((-q*(Dn*Ln)*C1*exp(xd/Ln)+
+ q*(Dn*Ln)*C2*exp(-xd/Ln)-
+ q*Dn*C3*alfa*exp(-alfa*xd))))
.
.
.ends PhotoGate
    
```

Modelo contenido en la biblioteca estándar de PSpice



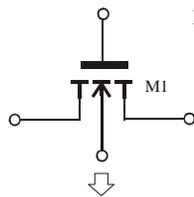
NO

5. Escasez de parámetros extraídos de procesos de fabricación CMOS, que pudieran ser útiles para la simulación de dispositivos fotodetectores en tecnología CMOS.



Esesor de las capas de óxido

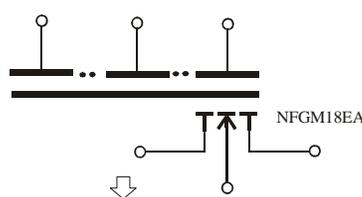
6. Escasez de modelos para la simulación de dispositivos de compuerta flotante



M1 DN CF SN BN MN L={LN} W={WN} AD={ADN}...

Modelo contenido en la biblioteca estándar de PSpice

SI



FGMOS (18 entradas)

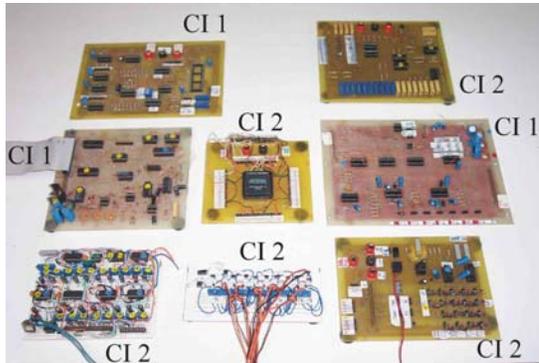
```

.SUBCKT NFGM18EA DN SN BN G1 G2 G3 G4 G5 G6 ...
+ SFGM VTC VIM
.
.
.
* SUMA DE LAS CAPACITANCIAS DE CONTROL
.VCT1 CT1 0 {C1 + C2 + C3 + C4 + C5 + C6 + C7 + C8 + C9 +
+ C10 + C11 + C12 + C13 + C14 + C15 + C16 + C17 + C18}
.RVCT1 CT1 0 {RGDE}
.
.
* CAP. PARASITA ENTRE: CF Y CANAL, *COXN*, MOSFET-N
.VCT2 CT2 0 {(EPSI/TOXN)*[LN-2*LDN]*[WN-2*WDN]}
.RVCT2 CT2 0 {}
.
.
M1 DN CF SN BN MN L={LN} W={WN} AD={ADN}...
.
.ends NFGM18EA
    
```

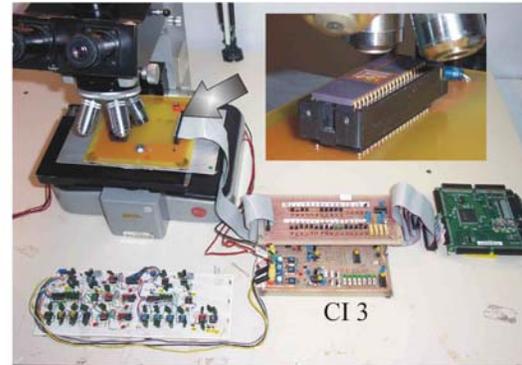
Modelo contenido en la biblioteca estándar de PSpice

NO

-
7. Diseño a la medida de un sistema de medición para el SICMOS que incluye, el diseño de tarjetas de circuito impreso, de cierto grado de complejidad, para la inyección y extracción de señales al SICMOS.



TARJETAS DE CIRCUITO IMPRESO
UTILIZADAS EN EL CI 1 Y CI 2



TARJETAS DE CIRCUITO IMPRESO
UTILIZADAS EN EL CI 3 (SICMOS)

En efecto, en este trabajo se desarrolló un prototipo de sensor inteligente de imágenes CMOS. Las mediciones llevadas a cabo para este dispositivo, muestran que su uso se puede extender hacia una diversidad de aplicaciones de la robótica[19].

El diseño resultante, permitió la integración en una sola pieza de silicio de $2\text{mm}\times 2\text{mm}$, bajo un proceso de fabricación CMOS estándar de $1.2\mu\text{m}$, tanto del componente detector de imagen, como de los circuitos asociados para el cómputo del centro de masa, en el dominio analógico. Se hizo énfasis en una estrategia de simplificación de la arquitectura global del dispositivo, mediante el uso del TMCF, para poder obtener un prototipo con capacidad de cómputo en tiempo real del centro de masa y escalable a formatos de imagen superiores.

Sobre una amplia diversidad de opciones que se consideraron para el diseño de estructuras fotosensibles en CMOS[57], tales como los fotodiodos, fototransistores u otras estructuras más complejas[47], se eligió el APS de tipo fotoc compuerta como estructura fotosensible para el diseño de la MDI, debido a que en esta estructura fotosensible, se realiza la transducción directa de las cargas fotónicas en voltaje, acoplándose, de manera natural, con la entrada del circuito de generación de componentes de histograma, el cual opera en modo de voltaje para disminuir el consumo de energía global.

Se consideran alcanzadas las metas establecidas al inicio del trabajo.

Productos obtenidos

Congresos

1. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava y M.A. Reyes-Barranca, “Modelo para PSPICE de transistores neuMOS con acceso temporal a la compuerta flotante,” presentado en la 9ª. Conferencia de Ingeniería Eléctrica, *CIE 2003*, Cd. de México. ***
2. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava, “Motion detection sensor based on CMOS floating-gate devices”, presentado en la 1st. International Conference on Electrical and Electronics Engineering and X Conference on Electrical and Electronics Engineering (*ICEEE/CIE 2004*), del 8 al 10 de septiembre del 2004, Acapulco, México. ***
3. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, A. Reyes-Barranca y L. Flores-Nava, “*Object Location Sensor Based on CMOS Floating-Gate Devices*”, *IBERSENSOR2004*, Congreso Iberoamericano de Sensores, 27,28 y 29 de octubre del 2004, Pue. México. *
4. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava, M.A. Reyes-Barranca, “Position detection sensor based on CMOS floating-gate devices”, presentado en *ANNIE2004—Smart Engineering System Design: Neural Networks, Fuzzy Logic, Evolutionary Programming, Complex Systems and Data Mining*, del 7 al 10 de noviembre del 2004, St. Louis Missouri, USA. ***
5. V. Ponce-Ponce, F. Gómez-Castañeda and, J. Moreno-Cadenas, “Prototype robotic arm assisted by smart CMOS vision chips”, presentado en la International Joint Conference on Neural Networks *IJCNN'05*, del 31 de julio al 4 de agosto del 2005, Montreal, Canadá. **
6. V. Ponce-Ponce, F. Gomez-Castañeda, J Moreno-Cadenas, L. Flores-Nava, “Macromodel for CMOS photogate-type active pixel sensors”, presentado en la 2nd. International Conference on Electrical and Electronics Engineering and XI Conference on Electrical and Electronics Engineering (*ICEEE/CIE 2005*), Cd. de México. ***

Nivel de participación:

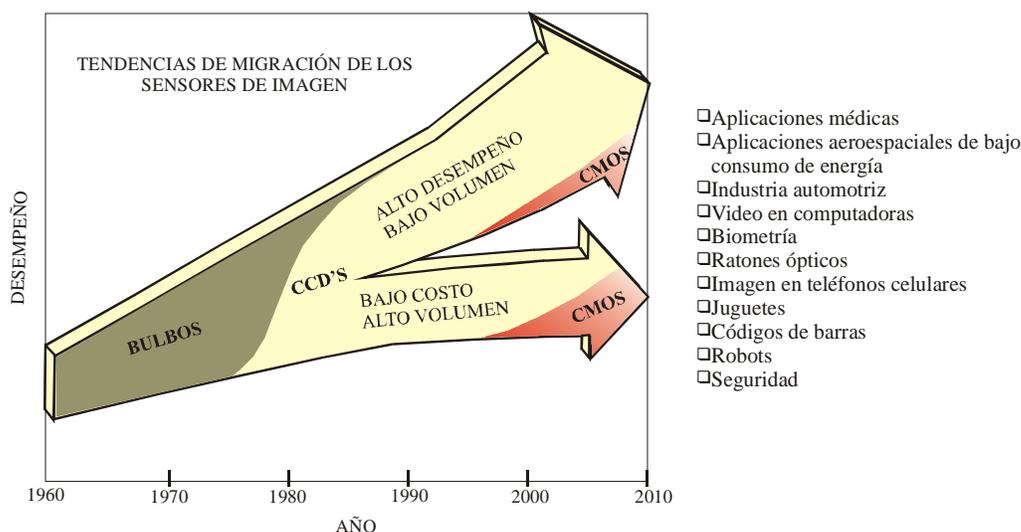
- *** Presentación oral y publicación en extenso en memorias del congreso
- ** Presentación de cartel y publicación en extenso en memorias del congreso
- * Presentación de cartel y publicación del resumen en memorias del congreso

A su vez, se espera la respuesta de un artículo, sometido desde mayo del 2005, a la revista “International Journal of Electronics”, en donde se presenta una metodología de extracción del parámetro gama asociado a los transistores FGMOS.

Trabajo Futuro

La tendencia que existe hacia el desarrollo de sensores de imagen CMOS, debido a la diversidad de aplicaciones que actualmente emplean tecnología de imagen, constituye una fuerte motivación para continuar con el desarrollo del prototipo sensor imágenes, expuesto en esta tesis.

En efecto, según reportes recientes de los principales fabricantes de sensores de imagen CMOS, se vislumbra un rápido crecimiento del mercado para estos dispositivos, el cual continuará durante los próximos años, gracias a su incorporación en nuevos productos de consumo masivo que emplean tecnología de imagen, como es el caso de la industria automotriz, así como de los fabricantes de cámaras de video para PC (cámaras Web), de ratones ópticos, de teléfonos celulares, de juguetes, de lectores de códigos de barras, etc.



En particular, en lo que respecta al SICMOS, como trabajo futuro se plantean los siguientes puntos:

1. Incremento en el formato de imagen

Para poder utilizar el SICMOS en aplicaciones de robótica, y en general, en ámbitos donde se requiera de una retroalimentación visual proveniente de un sensor CMOS, se deberá extender el formato de la imagen hacia dimensiones mayores, p.e., VGA, con lo cual sería posible utilizar el SICMOS en aplicaciones prácticas. Para esto, será necesario acceder a procesos de fabricación CMOS con más de dos niveles de metal, de menor longitud de canal y mayor área de silicio.

2. Centro de masa en 2D

El SICMOS, permite únicamente el cómputo del centro de masa en una dimensión. Sin embargo, el sistema se planeó para poder agregar un bloque repetido para cómputo del centro de masa, y así obtener el cómputo del centroide en 2D. No se repitió este segundo bloque en el diseño final, debido a las limitaciones de área de silicio.

3. Integración de referencias de voltaje no volátiles para la polarización de los transistores de ponderación del histograma.

Los coeficientes de ponderación de la fórmula del centro masa, correspondientes a cada columna del histograma, se almacenan en 18 capacitores integrados en el SICMOS. Desafortunadamente, esto resulta en un consumo de área de silicio y en la necesidad de invertir tiempo de proceso para regrabar los niveles de voltaje en los capacitores de muestreo, de manera secuencial y periódica. Esto se evitaría si se rediseña el bloque de ponderación de componentes de histograma, mediante el uso de circuitos basados en transistores FGMOS, con capacidad de programación de carga en la compuerta flotante, mediante, p.e., el principio de tunelamiento de FN.

4. Mayor número de bloques de proceso

Esto es, se podría incluir un bloque de conversión A/D, en el mismo CI, con lo cual, la información entregada por el SICMOS podría ser leída directamente por una computadora externa. Además de lo anterior, sería recomendable agregar bloques de circuito para extraer la imagen resultante en un modo especial de operación, únicamente con el objeto de poder calibrar al sensor. Todo esto, por supuesto, no fue posible realizarse debido a las limitaciones conocidas a priori.

Bibliografía

1. T. Shibata, T. Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations," *IEEE Transactions on Electron Devices*, vol. 39, No. 6, pp. 1444-1455, 1992.
2. C. Hu, S. Tam, F.C. Hsu, P.K. Ko, T.Y. Chan, K. Terrill, "Hot-electron-induced MOSFET degradation—Model, monitor, and improvement," *IEEE Journal of Solid-State Circuits*, Vol. SC-20, No. 1, pp. 295-305, Feb. 1985.
3. M. Lenzlinger, E.H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO₂," *J. Appl. Phys.*, Vol. 40, No. 6, pp. 278-283, 1969.
4. H. Guan, Y. S. Tang, "Accurate and efficient models for the simulation of neuron MOS integrated circuits," *International Journal of Electronics*, Vol. 87, No. 5, pp. 557-568.
5. OrCAD PSpice, "User's guide", 1998.
6. E. Sánchez-Sinencio, A. G. Andreou, *Low-Voltage/Low-Power Integrated Circuits and Systems—Low-Voltage Mixed-Signal Circuits*, *IEEE Press*, ISBN 0-7803-3446-9, p.p. 135-136, 1999.
7. J. Ramírez-Angulo, R.G. Carvajal, J. Tombs, A. Torbala, "Low voltage CMOS opamp with rail-to-rail input and output signal swing for continuous-time signal processing using multiple-input floating-gate transistors," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, 2001, 48, pp. 111-116.
8. M. Figueroa, S. Bridges, D. Hsu, C. Diorio, "A 19.2 GOPS mixed-signal filter with floating-gate adaptation," *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 7, pp., 1196-1201, July 2004.
9. J. Hyde, T. Humes, C. Diorio, M. Thomas, M. Figueroa, "A 300-MS/s 14-bit digital-to-analog converter in logic CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 5, pp. 734-740, May 2003.
10. K. Kotani, T. Shibata, M. Imai, T. Ohmi, "Clock-controlled neuron-MOS logic gates," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, Vol. 45, No. 4, pp. 518-522, 1998.
11. E. Rodríguez-Villegas, H. Barnes, "Solution to trapped charge in FG MOS transistors," *Electronics Letters*, Vol. 39, No. 19, pp. 1416-1417, Sep. 2003.
12. B. Yngvar, T. Lande, Ø. Naess, "Programming floating-gate circuits with UV-activated conductances," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, Vol. 48, No. 1, January 2001.

-
13. S. M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, second edition, 1981
 14. R. Jacob Baker, Harry W. Li and David E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, ISBN 0-7803-3416-7, *IEEE Press*, 1988.
 15. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava y M.A. Reyes-Barranca, “Modelo para PSPICE de transistores neuMOS con acceso temporal a la compuerta flotante,” presentado en la 9ª. Conferencia de Ingeniería Eléctrica, *CIE 2003*, Cd. de México.
 16. V. Ponce-Ponce, F. Gomez-Castañeda, J Moreno-Cadenas, L. Flores-Nava, “Macromodel for CMOS photogate-type active pixel sensors”, presentado en la 2nd. International Conference on Electrical and Electronics Engineering and XI Conference on Electrical and Electronics Engineering (*ICEEE/CIE 2005*), Cd. de México.
 17. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava, “Motion detection sensor based on CMOS floating-gate devices”, presentado en la 1st. International Conference on Electrical and Electronics Engineering and X Conference on Electrical and Electronics Engineering (*ICEEE/CIE 2004*), del 8 al 10 de septiembre del 2004, Acapulco, México.
 18. V. Ponce-Ponce, F. Gómez-Castañeda, J. Moreno-Cadenas, L. Flores-Nava, M.A. Reyes-Barranca, “Position detection sensor based on CMOS floating-gate devices”, presentado en *ANNIE2004—Smart Engineering System Design: Neural Networks, Fuzzy Logic, Evolutionary Programming, Complex Systems and Data Mining*, del 7 al 10 de noviembre del 2004, St. Louis Missouri, USA.
 19. V. Ponce-Ponce, F. Gómez-Castañeda and, J. Moreno-Cadenas, “Prototype robotic arm assisted by smart CMOS vision chips”, presentado en la International Joint Conference on Neural Networks *IJCNN'05*, del 31 de julio al 4 de agosto del 2005, Montreal, Canadá.
 20. O. Yadid-Pecht, B. Pain, C. Staller, C. Clark, and E. Fossum, “CMOS active pixel sensor start tracker with regional electronic shutter,” *IEEE Journal of Solide-Sate Circuits*, Vol. 32, No. 2, pp. 285-288, February 1997.
 21. E. Funatsu, Y. Nitta, Y. Miyake, T. Toyoda, J. Ohta, and K. Kyuma, “An artificial retina chip with current-mode focal plane image processing functions,” *IEEE Transactions on Electron Devices*, Vol. 44, No.10, pp. 1777-1781, October 1997.
 22. V. Brajovic and T. Kanade, “Computational sensor for visual tracking with attention,” *IEEE Journal of Solid-Sate Circuits*, Vol. 33, No.8, pp. 1199-1207, August 1998.

-
23. R. Etienne-Cummings, J. Van der Spiegel, P. Mueller, and M.Z. Zhang, "A foveated silicon retina for two-dimensional tracking," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, Vol. 47, No. 6, pp. 504-517, June 2000.
 24. T. Komuro, I. Ishii, M. Ishikawa, and A. Yoshida, "A digital vision chip specialized for high-speed target tracking," *IEEE Transactions on Electron Devices*, Vol. 50, No. 1, pp. 191-199, January 2003.
 25. A. Fish, D. Akselrod and O. Yadid-Pecht, "High precision image centroid computation via an adaptive k-winner-take-all circuit in conjunction with a dynamic element matching algorithm for start tracking applications," *Analog Integrated Circuits and Signal Processing—Kluwer Academic Publishers*, Vol. 39, pp. 251-266, 2004.
 26. J. Akita, A. Watanabe, O. Tooyama, M. Miyama, and M. Yoshimoto, "An image sensor with fast objects' positions extraction function," *IEEE Transactions on Electron Devices*, Vol. 50, No. 1, pp. 184-190, January 2003.
 27. K. Yamada, and M. Soga, "A compact integrated visual motion sensor for ITS applications," *IEEE Transaction on Intelligent Transportation Systems*, Vol. 4, No. 1, pp. 35-42, March 2003.
 28. M.H. Lei, and T.D. Chiueh, "An analog motion field detection chip for image segmentation," *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 12, No. 5, pp. 299-308, May 2002.
 29. N.M. Yu, T. Shibata, and T. Ohmi, "A real-time center-of-mass tracker circuit implemented by neuron MOS technology," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, Vol. 45, No. 4, pp. 495-503, April 1998.
 30. M. Magaña, and F. Holzapfel, "Fuzzy-logic control of an inverted pendulum with vision feedback," *IEEE Transaction on Education*, Vol. 41, No. 2, pp. 165-170, May 1998.
 31. J. Ramírez-Angulo, C. Urquidi, R. Gonzalez-Carvajal, A. Torralba, and A. López-Martín, "A new family of very low-voltage analog circuits based on quasi-floating-gate transistors," *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, Vol. 50, No. 5, pp. 214-220, May 2003.
 32. R. Philipp, and R. Etienne-Cummings, "Single-Chip Stereo Imager," *Analog Integrated Circuits and Signal Processing—Kluwer Academic Publishers*, Vol. 39, pp. 237-250, 2004.

-
33. H.Y Cheng, and Y.C. King, "A CMOS imager sensor with dark-current cancellation and dynamic sensitivity operations," *IEEE Transaction on Electron Devices*, Vol. 50, No. 1, pp. 91-95, January 2003.
 34. R. Perry, and K. Arora, "Using PSPICE to simulate the photoresponse of ideal CMOS integrated circuit photodiodes," *Proc. IEEE SOUTHCON'96*, pp. 374-380, April 1996.
 35. N. Desai, K. Hoang, G.J. Sonek, "Applications of PSPICE simulation software to the study of optoelectronic integrated circuits and devices," *IEEE Transaction on Education*, Vol. 36, No. 4, pp. 357-362, November 1993.
 36. H. Tian, B. Fowler, and A. El-Gammal, "Analysis of temporal noise in CMOS photodiode active pixel sensor," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 1, pp. 92-101, January 2001.
 37. I. Shcherback and O. Yadid-Pecht, "Photoresponse analysis and pixel shape optimization for CMOS active pixel sensors," *IEEE Transactions on Electron Devices*, Vol. 50, No. 1, pp. 12-18, January 2003.
 38. M. La-Haye, G. Chapman, C. Jung, D. Cheung, S. Djaja, B. Wang, G. Liaw, and Y. Audet, "Characteristics of fault-tolerant photodiode and photogate active pixel sensor (APS)," *Proc. of the 19th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, (DFT'04)*.
 39. S. Djaja, G. Chapman, D. Cheung, and Y. Audet, "Implementation and testing of fault-tolerant photodiode active pixel sensor (APS)," *Proc. of the 18th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, (DFT'03)*.
 40. S. Miyatake, M. Mayamoto, K. Ishida, T. Morimoto, Y. Masaki, and H. Tanabe, "Transversal-readout architecture for CMOS active pixel sensors," *IEEE Transactions on Electron Devices*, Vol. 50, No. 1, January 2003.
 41. A. Blanksby, M. Loinaz, D. Inglis, and B. Ackland, "Noise performance of color CMOS photogate image sensor," *Proc. of IEDM'97*, pp. 205-208, 1997.
 42. A. Blanksby, and M. Loinaz, "Performance analysis of a color CMOS photogate image sensor," *IEEE Transactions on Electron Devices*, Vol. 47, No. 1, pp. 55-62, January 2000.
 43. Y. Degerli, F. Lavernhe, P. Magnan, and J. Farre, "Analysis and reduction of signal readout circuitry temporal noise in CMOS image sensors for low-light levels," *IEEE Transactions on Electron Devices*, Vol. 47, No. 5, pp. 949-962, May 2000.

-
44. S. Mendis, S. Kemeny, and E. Fossum, "A 128×128 CMOS active pixel image sensor for highly integrated imaging systems," *Proc. of IEDM93*, pp. 583-586, 1993.
 45. T. Lule, S Benthien, H. Keller, F. Mutze, P. Rieve, K. Seible, M. Sommer, M. Bohm, "Sensitivity of CMOS based imagers and scaling perspectives," *IEEE Transactions on Electron Devices*, Vol. 47, No. 11, pp. 2110-2122, November 2000.
 46. J. Eklund, C. Svensson, and A. Astrom, "VLSI implementation of focal plane image processor—A realization of the near-sensor image concept," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 4, No.3, pp. 322-325, September 1996.
 47. W. Zhang, and M. Chan, "A high gain n-well/gate tied PMOSFET image sensor fabricated from a standard CMOS process," *IEEE Transactions on Electron Devices*, Vol. 48, No. 6, pp. 1097-1102, June 2001.
 48. H. Ritter, T. Martinetz, and K. Schulten, "Topology-conserving maps for learning visuo-motor-coordination," *Neural Networks*, Vol. 2, pp. 159-168, 1989.
 49. M. Howes, and D. Morgan, Charge-Coupled Devices and Systems, *John Wiley & Sons*, ISBN 0-471-99665-3, 1979.
 50. J. Uyemura, Physical Design of CMOS Integrated Circuits Using L-EDIT, *PWS Publishing Company*, ISBN 0-534-94327-1, 1995.
 51. B. Razavi, Design of Analog CMOS Integrated Circuits, *McGraw-Hill Series in Electrical Engineering*, ISBN 0-07-118839-8.
 52. R. Geiger, P. Allen, N. Strader, "VLSI Techniques for Analog and Digital Circuits," *McGraw-Hill Series in Electrical Engineering*, ISBN 0-07-023253-9, 1990.
 53. R. Burns, J. Shah, C. Hong, S. Pepic, J. Lee, R. Horsey, and P. Thomas, "Object location and centroid techniques with CMOS active pixel sensors," *IEEE Transactions on Electron Devices*, Vol. 50, No. 12, pp.2369-2377, December 2003.
 54. E. Fossum, "CMOS image sensors electronic camera-on-a-chip," *IEEE Transactions on Electron Devices*, Vol. 44, No. 10, October, 1997.
 55. S. Mendis, and E. Fossum, "CMOS active pixel image sensors for highly integrated imaging systems," *IEEE Journal of Solid State Circuits*, Vol. 32, No.2, February 1997.

-
56. R. Hornsey, "Design and Fabrication of Integrated Image Sensors," Electrical and Computer Engineering/University of Waterloo, Canadá. Reporte Técnico.
 57. A. Moini, Vision Chips, *Kluwer Academic Publishers*, ISBN 0-7923-8664-7, 1999.
 58. J. Moreno, "Etude et Realisation des Dispositifs a Trasfer des Charges Photosensibles," Tesis Doctoral, L'Institut National Polytechnique de Grenoble, Francia,1976.

ANEXO 1

MACROMODELO PROPUESTO PARA SIMULACIÓN EN PSPICE DE CIRCUITOS CMOS DE COMPUERTA FLOTANTE

*CASO: INVERSOR CMOS DE COMPUERTA FLOTANTE DE 3 ENTRADAS
SIN INTERRUPTOR DE ACCESO A LA CF*

```

.SUBCKT TMCF3E_NA DP SP BP DN SN BN G1 G2 G3
*-----
*      CINVSTAV / INGENIERIA ELECTRICA / SEES / LABORATORIO DE SISTEMAS VLSI
*      MODELO ABM PARA INVERSOR CMOS DE COMPUERTA FLOTANTE CON 3 ENTRADAS
*      COMPUERTA TOTALMENTE FLOTANTE
*-----
* DECLARACION DE PARAMETROS, PASADOS AL MODELO MEDIANTE EL SIMBOLO
* EN EL EDITOR ESQUEMATICO
+      PARAMS: C1=0          C2=0          C3=0
+      AREA_POLY1=0
+      LN=0   WN=0   LP=0   WP=0
+      ASN=0  PSN=0  ADN=0  PDN=0
+      ASP=0  PSP=0  ADP=0  PDP=0
*-----
* PARAMETROS EXTRAIDOS DEL PROCESO DE FABRICACION CMOS
* SE DEBEN MANTENER ACTUALIZADOS
* P.E.: EN PSPICE "CGBO" EQUIVALE A "CGBON" PARA UN MOSFET-N EN ESTE MODELO, ETC.
*-----
* PARA EL MOSFET-N
.PARAM      CGBON=1.0E-10 CGSON=1.72E-10 CGDON=1.72E-10
+          WDN=0.01U LDN=0.01U PHIN=0.7
+          TOXN=319E-10
*          TOXN: en metros
*-----
* PARA EL MOSFET-P
.PARAM      CGBOP=1.0E-10 CGSOP=2.13E-10 CGDOP=2.13E-10
+          WDP=0.01U LDP=0.01U PHIP=0.7
+          TOXP=319E-10
*          TOXP: en metros
*-----
* EXPRESIONES DEL MODELO
*-----
.PARAM RGDE=1E12
.PARAM EPSI=34.530E-12
*      Farads/metro
.PARAM DIST_POLY1_A_SUB=0.958e-6
*      en metros
*-----
* CAPACITANCIAS DE CONTROL DE ENTRADA
C1 G1 CF {C1}
C2 G2 CF {C2}
C3 G3 CF {C3}
*-----
* RESISTENCIAS ASOCIADAS A LAS COMPUERTAS DE CONTROL
R1 G1 0 {RGDE}
R2 G2 0 {RGDE}
R3 G3 0 {RGDE}
*-----
*SUMA DE LAS CAPACITANCIAS DE CONTROL (Cin)
VCT1 CT1 0   {C1+C2+C3}
RVCT1 CT1 0   {RGDE}
*-----
* CAP. PARASITA ENTRE: CF Y CANAL, "COXN", MOSFET-N
VCT2 CT2 0   {(EPSI/TOXN)*(LN-2*LDN)*(WN-2*WDN)}
RVCT2 CT2 0   {RGDE}
*-----
* CAP. PARASITA ENTRE: CF Y CANAL, "COXP", MOSFET-P
VCT3 CT3 0   {(EPSI/TOXP)*(LP-2*LDP)*(WP-2*WDP)}
RVCT3 CT3 0   {RGDE}
*-----
* CAPS. PARASITAS ENTRE: CF Y SUBSTRATO (MOSFET-N), CF Y POZO (MOSFET-P)
VCT4 CT4 0   {CGBON*(LN-2*LDN)+CGBOP*(LP-2*LDP)}
RVCT4 CT4 0   {RGDE}
*-----
*CAPS. PARASITAS ENTRE: CF Y FUENTE, CF Y DRENADOR, EN MOSFET-N Y MOSFET-P
VCT5 CT5 0   {(CGSON+CGDON)*(WN- 2*WDN)+(CGSOP+CGDOP)*(WP- 2*WDP)}
RVCT5 CT5 0   {RGDE}
*-----
*CAPACITANCIA PARASITA ENTRE POLY1 Y SUBSTRATO
VCT6 CT6 0   {(EPSI/DIST_POLY1_A_SUB)*AREA_POLY1}
RVCT6 CT6 0   {RGDE}

```

* continúa

```

*-----
*CAPACITANCIA TOTAL (TERMINO DEL DENOMINADOR PARA EL POTENCIAL DE "CF")
ECTOT CTOT 0 VALUE={V(CT1)+V(CT2)+V(CT3)+V(CT4)+V(CT5)+V(CT6)}
RECTC CTOT 0 {RGDE}
*-----
* CONTINUACION... TERMINOS PARA EL POTENCIAL DE COMPUERTA FLOTANTE
*-----
*POTENCIAL DEBIDO A LAS CAPACITANCIAS DE CONTROL

ECIN CIN 0 VALUE={C1/V(CTOT)*V(G1)+C2/V(CTOT)*V(G2)+C3/V(CTOT)*V(G3)}
RECIN CIN 0 {RGDE}

*-----
*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: FUENTE, DRENADOR Y SUBSTRATO
*MOSFET CANAL-N

EDSN DSN 0 VALUE={ CGSON*(WN-2*WDN)/V(CTOT)*V(SN)
+ CGDON*(WN-2*WDN)/V(CTOT)*V(DN)
+ CGBON*(LN-2*LDN)/V(CTOT)*V(BN)}
REDSN DSN 0 {RGDE}

*-----
*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: FUENTE, DRENADOR Y SUBSTRATO
*MOSFET CANAL-P

EDSP DSP 0 VALUE={ CGSOP*(WP-2*WDP)/V(CTOT)*V(SP)
+ CGDOP*(WP-2*WDP)/V(CTOT)*V(DP)
+ CGBOP*(LP-2*LDP)/V(CTOT)*V(BP)}
REDSP DSP 0 {RGDE}

*-----
*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: EL CANAL Y SUBSTRATO
*MOSFET CANAL-N

EOXBN OXBN 0 VALUE={((EPSI/TOXN)*(LN-2*LDN)*(WN-2*WDN)*(V(SN)+2*PHIN))/V(CTOT)}
REOXBN OXBN 0 {RGDE}

*-----
*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: EL CANAL Y SUBSTRATO
*MOSFET CANAL-P

EOXBP OXBP 0 VALUE={((EPSI/TOXP)*(LP-2*LDP)*(WP-2*WDP)*(V(SP)+2*PHIP))/V(CTOT)}
REOXBP OXBP 0 {RGDE}

*-----
*POTENCIAL DE CF EN FUNCION DEL POTENCIAL EN: POLY1 SOBRE OXIDO GRUESO
*(BACK-PLATE), PARA UN PROCESO SUBSTRATO P Y POZO N

EPOL1 POL1 0 VALUE={((EPSI/DIST_POLY1_A_SUB)*AREA_POLY1*V(BN)/V(CTOT)) }
RPOL1 POL1 0 {RGDE}

*-----
*POTENCIAL TOTAL EN LA COMPUERTA FLOTANTE

ECF CF 0 VALUE={V(DSN)+V(DSP)+V(OXBN)+V(OXBP)+V(CIN)+V(POL1)}
RECF CF 0 {RGDE}

*-----
*LISTA DE MOSFETS ASOCIADOS AL MODELO

M1 DN CF SN BN MN L={LN} W={WN} AD={ADN} AS={ASN} PD={PDN} PS={PSN} OFF
M2 DP CF SP BP MP L={LP} W={WP} AD={ADP} AS={ASP} PD={PDP} PS={PSP} OFF

*-----
.ENDS TMC3E_NA

```


ANEXO 2

**MACROMODELO PROPUESTO PARA SIMULACIÓN EN PSPICE DE
CIRCUITOS CMOS DE COMPUERTA FLOTANTE
CON INTERRUPTOR DE ACCESO A LA COMPUERTA FLOTANTE**

CASO: INVERSOR CMOS DE COMPUERTA FLOTANTE DE 3 ENTRADAS

```

.SUBCKT TMCF3E_A DP SP BP DN SN BN G1 G2 G3
+
      SFGM VTM VTC
*
-----
*
      CINVESTAV / INGENIERIA ELECTRICA / SEES / LABORATORIO DE SISTEMAS VLSI
*
      MODELO ABM PARA INVERSOR CMOS DE COMPUERTA FLOTANTE CON 3 ENTRADAS
*
      CON INTERRUPTOR DE ACCESO A LA COMPUERTA FLOTANTE
*
-----
*
      DECLARACION DE PARAMETROS, PASADOS AL MODELO MEDIANTE EL SIMBOLO
*
      EN EL EDITOR ESQUEMATICO
+
      PARAMS: C1=0 C2=0 C3=0
+
      AREA_POLY1=0
+
      LN=0 WN=0 LP=0 WP=0
+
      ASN=0 PSN=0 ADN=0 PDN=0
+
      ASP=0 PSP=0 ADP=0 PDP=0
*
-----
*
      PARAMETROS EXTRAIDOS DEL PROCESO DE FABRICACION CMOS
*
      SE DEBEN MANTENER ACTUALIZADOS
*
      P.E.: EN PSPICE "CGBO" EQUIVALE A "CGBON" PARA UN MOSFET-N EN ESTE MODELO, ETC.
*
-----
*
      PARA EL MOSFET-N
.PARAM      CGBON=1.0E-10 CGSON=1.72E-10 CGDON=1.72E-10
+
      WDN=0.01U LDN=0.01U PHIN=0.7
+
      TOXN=319E-10
*
      TOXN: en metros
*
-----
*
      PARA EL MOSFET-P
.PARAM      CGBOP=1.0E-10 CGSOP=2.13E-10 CGDOP=2.13E-10
+
      WDP=0.01U LDP=0.01U PHIP=0.7
+
      TOXP=319E-10
*
      TOXP: en metros
*
-----
*
      EXPRESIONES DEL MODELO
*
-----
*
.PARAM RGDE=1E12
.PARAM RMIN=1E-3
.PARAM EPSI=34.530E-12
*
      farads/metro
.PARAM DIST_POLY1_A_SUB=0.958e-6
*
      en metros
*
-----
*
      RESISTENCIAS ASOCIADAS A LOS PUERTOS DE ENTRADA DEL MODELO
*
      EL PUERTO "VTC" DEBE "OBSERVAR" UNA ALTA IMPEDANCIA CUANDO SE OPERA EN EL
*
      MODO DE EVALUACION. SE DEBE AGREGAR EXTERNAMENTE UNA COMPUERTA DE
*
      TRANSMISION CMOS PARA PONER EN CONTACTO A LA CF CON UN VOLTAJE DE RESET,
*
      UNICAMENTE DURANTE EL MODO DE OPERACION DE RESET.

RM      VTC      CF      {RMIN}
RVTC    VTC      0      {RGDE}
RVTM    VTM      0      {RGDE}
RSFGM   SFGM     0      {RGDE}
*
-----
*
      CAPACITANCIAS DE CONTROL DE ENTRADA
C1 G1 CF {C1}
C2 G2 CF {C2}
C3 G3 CF {C3}
*
-----
*
      RESISTENCIAS ASOCIADAS A LAS COMPUERTAS DE CONTROL
R1 G1 0 {RGDE}
R2 G2 0 {RGDE}
R3 G3 0 {RGDE}
*
-----
*
      SUMA DE LAS CAPACITANCIAS DE CONTROL (Cin)
VCT1 CT1 0 {C1+C2+C3}
RVCT1 CT1 0 {RGDE}
*
-----
*
      CAP. PARASITA ENTRE: CF Y CANAL, "COXN", MOSFET-N
VCT2 CT2 0 {(EPSI/TOXN)*(LN-2*LDN)*(WN-2*WDN)}
RVCT2 CT2 0 {RGDE}
*
-----
*
      CAP. PARASITA ENTRE: CF Y CANAL, "COXP", MOSFET-P
VCT3 CT3 0 {(EPSI/TOXP)*(LP-2*LDP)*(WP-2*WDP)}
RVCT3 CT3 0 {RGDE}
*
-----

```

* CAPS. PARASITAS ENTRE: CF Y SUBSTRATO (MOSFET-N), CF Y POZO (MOSFET-P)
VCT4 CT4 0 {CGBON*(LN-2*LDN)+CGBOP*(LP-2*LDP)}
RVCT4 CT4 0 {RGDE}

*CAPS. PARASITAS ENTRE: CF Y FUENTE, CF Y DRENADOR, EN MOSFET-N Y MOSFET-P
VCT5 CT5 0 {(CGSON+CGDON)*(WN- 2*WDN)+(CGSOP+CGDOP)*(WP- 2*WDP)}
RVCT5 CT5 0 {RGDE}

*CAPACITANCIA PARASITA ENTRE POLY1 Y SUBSTRATO
VCT6 CT6 0 {(EPSI/DIST_POLY1_A_SUB)*AREA_POLY1}
RVCT6 CT6 0 {RGDE}

*CAPACITANCIA TOTAL (TERMINO DEL DENOMINADOR PARA EL POTENCIAL DE "CF")
ECTOT CTOT 0 VALUE=(V(CT1)+V(CT2)+V(CT3)+V(CT4)+V(CT5)+V(CT6))
RECTC CTOT 0 {RGDE}

* CONTINUACION... TERMINOS PARA EL POTENCIAL DE COMPUERTA FLOTANTE
* SOLAMENTE PERMANECEN AQUELLOS QUE NO SON ESTÁTICOS
* SEGÚN LA PROPUESTA DE OPERACIÓN Y CONEXIÓN DEL CIRCUITO

*POTENCIAL DEBIDO A LAS CAPACITANCIAS DE CONTROL

ECIN CIN 0 VALUE=(C1/V(CTOT)*V(G1)+C2/V(CTOT)*V(G2)+C3/V(CTOT)*V(G3))
RECIN CIN 0 {RGDE}

*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: FUENTE, DRENADOR Y SUBSTRATO
*MOSFET CANAL-N
*SOBREVIVE TERMINO ASOCIADO AL DRENADOR DEL MOSFET-N

EDSN DSN 0 VALUE=(CGDON*(WN-2*WDN)/V(CTOT)*V(DN))
REDSN DSN 0 {RGDE}

*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: FUENTE, DRENADOR Y SUBSTRATO
*MOSFET CANAL-P
*SOBREVIVE TERMINO ASOCIADO A LA FUENTE DEL MOSFET-P

EDSP DSP 0 VALUE=(CGSOP*(WP-2*WDP) /V(CTOT)*V(SP))
REDSP DSP 0 {RGDE}

*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: EL CANAL Y SUBSTRATO
*MOSFET CANAL-N

*NULO (ESTATICO)

*POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN: EL CANAL Y SUBSTRATO
*MOSFET CANAL-P

*NULO (ESTATICO)

*POTENCIAL DE CF EN FUNCION DEL POTENCIAL EN: POLY1 SOBRE OXIDO GRUESO
*(BACK-PLATE), PARA UN PROCESO SUBSTRATO P Y POZO N

*NULO (ESTATICO)

*POTENCIAL TOTAL EN LA COMPUERTA FLOTANTE

ECF CFA 0 VALUE=(V(DSN)+V(DSP)+V(CIN)+V(VTM))
RECF CFA 0 {RGDE}

* PARA CONMUTAR DEL ESTADO DE PRECARGA, AL ESTADO DE COMPUERTA FLOTANTE
* SE UTILIZA UN SWITCH IDEAL.

S1 CFA CF SFGM 0 SWITCH

*continua

*continuación

*

*LISTA DE MOSFETS ASOCIADOS AL MODELO

M1 DP CF SP BP MP L={LP} W={WP} AD={ADP} AS={ASP} PD={PDP} PS={PSP} OFF
M2 DN CF SN BN MN L={LN} W={WN} AD={ADN} AS={ASN} PD={PDN} PS={PSN} OFF

*

.MODEL SWITCH VSWITCH ROFF={RGDE} RON=1 VOFF=0 VON=5

.ENDS TMCF3E_A

ANEXO 3

CONTRIBUCIÓN DE LOS POTENCIALES DE DC EN EL POTENCIAL DE COMPUERTA FLOTANTE

Aplicando la ley de corriente de Kirchoff al circuito equivalente mostrado en la Fig. 1.14, del Capítulo 1, se tiene que:

$$\sum_{i=1}^n C p_i \cdot \left[\frac{d(V_{CF} - VDC_i)}{dt} \right] + C^*_{TOT} \frac{dV_{CF}}{dt} + \frac{V_{CF}}{R_{FUGA}} = 0 \quad A3-1$$

donde:

$$C^*_{TOT} = C_{TOT} - \sum_{i=1}^n C p_i \quad A3-2$$

Resolviendo la transformada de Laplace, de la expresión A3-1

$$\sum_{i=1}^n C p_i [sV_{CF}(s) - V_{CF}(0^-)] - s \sum_{i=1}^n C p_i VDC_i(s) + C^*_{TOT} [sV_{CF}(s) - V_{CF}(0^-)] + \frac{V_{CF}(s)}{R_{FUGA}} = 0 \quad A3-3$$

La condición inicial en el potencial de compuerta flotante, será igual al potencial que se almacena en la compuerta flotante durante el periodo de reset, es decir:

$$A3-4$$

$$V_{CF}(0^-) = V_{RES}$$

Por lo tanto, despejando al término $V_{CF}(s)$, de la expresión A3-3, y considerando que la transformada de Laplace, correspondiente a la suma de todos los potenciales de DC acoplados con la compuerta flotante, es:

$$\mathcal{L}\left(\sum_{i=1}^n VDC_i(t)\right) = \sum_{i=1}^n VDC_i\left(\frac{1}{s}\right) \quad A3-5$$

se obtiene:

$$V_{CF}(s) = \frac{\sum_{i=1}^n C p_i VDC_i}{C_{TOT} \left(s + \frac{1}{R_{FUGA} C_{TOT}} \right)} + \frac{V_{CF}(0^-)}{s + \frac{1}{R_{FUGA} C_{TOT}}} \quad A3-6$$

Resolviendo la transformada inversa a la expresión A3-6, se obtiene:

$$V_{CF}(t) = \frac{\sum_{i=1}^n C p_i VDC_i}{C_{TOT}} e^{-\frac{t}{R_{FUGA} C_{TOT}}} + V_{CF}(0^-) e^{-\frac{t}{R_{FUGA} C_{TOT}}} \quad A3-7$$

Finalmente, considerando la condición inicial A3-4:

$$V_{CF}(t) = \left(\sum_{i=1}^n \frac{C p_i VDC_i}{C_{TOT}} + V_{RES} \right) e^{-\frac{t}{R_{FUGA} C_{TOT}}} \quad A3-7$$

ANEXO 4

**SOLUCIÓN DE LA ECUACIÓN DE CONTINUIDAD QUE DETERMINA LA
CORRIENTE DE DIFUSIÓN FOTOGENERADA
PARA LA ESTRUCTURA DE TIPO FOTOCOMPUERTA**

Para resolver a la Ec. (2.15), se busca la solución de la ecuación homogénea, que se expresa de la siguiente manera:

$$n_p'' + \left(-\frac{1}{L_n^2}\right)n_p = 0 \quad (\text{A4-1})$$

Entonces, las raíces de la ecuación quedan determinadas como:

$$m_{1,2} = \frac{-0 \pm \sqrt{0^2 - 4(1)\left(-\frac{1}{L_n^2}\right)}}{2(1)} \quad (\text{A4-2})$$

$$m_1 = \frac{1}{L_n} \quad m_2 = -\frac{1}{L_n} \quad (\text{A4-3})$$

La solución de la ecuación homogénea, para el caso de raíces reales y diferentes, se expresa de la siguiente manera:

$$n_p(x) = C_1 e^{\frac{x}{L_n}} + C_2 e^{-\frac{x}{L_n}} \quad (\text{A4-4})$$

Para resolver la ecuación particular, se propone la siguiente solución, y se obtienen sus correspondientes derivadas:

$$n_p(x) = Ae^{-\alpha x} + B \quad (\text{A4-5})$$

$$n_p'(x) = -\alpha Ae^{-\alpha x} \quad (\text{A4-6})$$

$$n_p''(x) = \alpha^2 Ae^{-\alpha x} \quad (\text{A4-7})$$

Se sustituyen las derivadas correspondientes en la Ec. (A4-1), obteniéndose la siguiente expresión:

$$\alpha^2 Ae^{-\alpha x} + \left(-\frac{1}{L_n^2}\right)(Ae^{-\alpha x} + B) = -\frac{\phi_1 \alpha}{D_n} e^{-\alpha x} - \frac{n_{po}}{L_n^2} \equiv g(x) \quad (\text{A4-8})$$

Entonces, se procede a despejar las constantes A y B . Por simple igualdad de términos, se tiene:

$$e^{-\alpha x} \left(\alpha^2 A - \frac{A}{L_n^2} \right) - \frac{B}{L_n^2} = -\frac{\phi_1 \alpha}{D_n} e^{-\alpha x} - \frac{n_{po}}{L_n^2} \quad (\text{A4-9})$$

$$\left(\alpha^2 A - \frac{A}{L_n^2} \right) = - \frac{\phi_1 \alpha}{D_n} \quad (\text{A4-10})$$

$$A(L_n^2 \alpha^2 - 1) = - \frac{\phi_1 \alpha L_n^2}{D_n} \quad (\text{A4-11})$$

quedando A, expresada de la siguiente manera.

$$A = \frac{\phi_1 \alpha L_n^2}{D_n (1 - \alpha^2 L_n^2)} \quad (\text{A4-12})$$

De manera similar, para la constante B, se tiene:

$$- \frac{B}{L_n^2} = - \frac{n_{po}}{L_n^2} \quad (\text{A4-13})$$

$$B = n_{po} \quad (\text{A4-14})$$

Finalmente, la solución general que determina la concentración de portadores de carga (en este caso electrones) para una fotocpuerta, por la absorción de fotones de longitud de onda λ , y en función de la distancia, está dada por la siguiente ecuación:

$$n_p(x) = C_1 e^{\frac{x}{L_n}} + C_2 e^{-\frac{x}{L_n}} + \frac{\phi_1 \alpha L_n^2}{D_n (1 - \alpha^2 L_n^2)} e^{-\alpha x} + n_{po} \quad (\text{A4-15})$$

O bien,

$$n_p(x) = C_1 e^{\frac{x}{L_n}} + C_2 e^{-\frac{x}{L_n}} + C_3 e^{-\alpha x} + n_{po} = 0 \quad (\text{A4-16})$$

Donde:

$$C_3 = \frac{\phi_1 \alpha L_n^2}{D_n (1 - \alpha^2 L_n^2)} \quad (\text{A4-17})$$

Se asume que todos los portadores que llegan a la frontera de la zona de agotamiento son atrapados por el pozo de potencial asociado, de tal manera que la concentración de portadores en exceso, en esta frontera es cero ($n_p=0$). A su vez, se asume que la concentración de portadores minoritarios a una distancia muy lejana de la frontera mencionada, es igual a la concentración de portadores minoritarios en equilibrio ($n_p = n_{po}$).

Por lo anteriormente expuesto, se establecen las siguientes condiciones de frontera, para determinar los valores adecuados de las constantes C_1 y C_2 .

$$n_p(x) \Big|_{x=x_d} = 0 \quad n_p(x) \Big|_{x=x_{epi}} = n_{po} \quad (\text{A4-18})$$

Aplicando las condiciones de frontera en la Ec. (A4-16), se obtiene el siguiente conjunto de ecuaciones simultáneas.

$$n_p(x_d) = C_1 e^{\frac{x_d}{L_n}} + C_2 e^{-\frac{x_d}{L_n}} + C_3 e^{-\alpha x_d} + n_{po} \equiv 0 \quad (\text{A4-19})$$

$$n_p(x_{epi}) = C_1 e^{\frac{x_{epi}}{L_n}} + C_2 e^{-\frac{x_{epi}}{L_n}} + C_3 e^{-\alpha x_{epi}} + n_{po} \equiv n_{po} \quad (\text{A4-20})$$

El determinante del sistema de ecuaciones, queda expresado por:

$$\Delta C = \begin{vmatrix} e^{\frac{x_d}{L_n}} & e^{-\frac{x_d}{L_n}} \\ e^{\frac{x_{epi}}{L_n}} & e^{-\frac{x_{epi}}{L_n}} \end{vmatrix} \quad (\text{A4-21})$$

$$\Delta C = e^{\frac{x_d}{L_n}} e^{-\frac{x_{epi}}{L_n}} - e^{-\frac{x_d}{L_n}} e^{\frac{x_{epi}}{L_n}} \quad (\text{A4-22})$$

Para determinar C_1 , se tiene:

$$\Delta C_1 = \begin{vmatrix} (-C_3 e^{-\alpha x_d} - n_{po}) & e^{-\frac{x_d}{L_n}} \\ -C_3 e^{-\alpha x_{epi}} & e^{-\frac{x_{epi}}{L_n}} \end{vmatrix} \quad (\text{A4-23})$$

$$\Delta C_1 = e^{-\frac{x_{epi}}{L_n}} (-C_3 e^{-\alpha x_d} - n_{po}) + C_3 e^{-\alpha x_{epi}} e^{-\frac{x_d}{L_n}} \quad (\text{A4-24})$$

$$\Delta C_1 = -n_{po} e^{-\frac{x_{epi}}{L_n}} - C_3 \left[e^{-\frac{x_{epi}}{L_n}} e^{-\alpha x_d} - e^{-\frac{x_d}{L_n}} e^{-\alpha x_{epi}} \right] \quad (\text{A4-25})$$

Por lo que la constante C_1 queda establecida como $\Delta C_1/\Delta C$:

$$C_1 = \frac{-n_{po} e^{-\frac{x_{epi}}{L_n}} + C_3 \left[e^{-\frac{x_d}{L_n}} e^{-\alpha x_{epi}} - e^{-\frac{x_{epi}}{L_n}} e^{-\alpha x_d} \right]}{e^{\frac{x_d}{L_n}} e^{-\frac{x_{epi}}{L_n}} - e^{-\frac{x_d}{L_n}} e^{\frac{x_{epi}}{L_n}}} \quad (\text{A4-26})$$

De manera similar para el caso de C_2 , se tiene:

$$\Delta C_2 = \begin{vmatrix} e^{\frac{x_d}{L_n}} & -C_3 e^{-\alpha x_d} - n_{po} \\ e^{\frac{x_{epi}}{L_n}} & -C_3 e^{-\alpha x_{epi}} \end{vmatrix} \quad (\text{A4-27})$$

$$\Delta C_2 = e^{\frac{x_d}{L_n}} \left(-C_3 e^{-\alpha x_{epi}} \right) - e^{\frac{x_{epi}}{L_n}} \left(-C_3 e^{-\alpha x_d} - n_{po} \right) \quad (A4-28)$$

$$\Delta C_2 = n_{po} e^{\frac{x_{epi}}{L_n}} + C_3 \left[e^{\frac{x_{epi}}{L_n}} e^{-\alpha x_d} - e^{\frac{x_d}{L_n}} e^{-\alpha x_{epi}} \right] \quad (A4-29)$$

Así, la constante C_2 queda establecida como:

$$C_2 = \frac{-n_{po} e^{\frac{x_{epi}}{L_n}} - C_3 \left[e^{\frac{x_d}{L_n}} e^{-\alpha x_{epi}} - e^{\frac{x_{epi}}{L_n}} e^{-\alpha x_d} \right]}{e^{\frac{x_{epi}}{L_n}} e^{\frac{x_d}{L_n}} - e^{\frac{x_d}{L_n}} e^{\frac{x_{epi}}{L_n}}} \quad (A4-30)$$

La densidad de corriente en la frontera de la zona de agotamiento está dada por:

$$J_{diff} = -qD_n \left. \frac{\partial n_p}{\partial x} \right|_{x=x_d} \quad (A4-31)$$

Sustituyendo la Ec. (A4-16) en la Ec. (A4-31):

$$J_{diff} = -qD_n \frac{\partial \left(C_1 e^{\frac{x}{L_n}} + C_2 e^{\frac{x}{L_n}} + C_3 e^{-\alpha x} + n_{po} \right)}{\partial x}, \quad \forall x = x_d \quad (A4-32)$$

Finalmente, la densidad de corriente fotogenerada queda expresada por la siguiente ecuación:

$$J_{diff} = \frac{-qD_n C_1 e^{\frac{x_d}{L_n}}}{L_n} + \frac{qD_n C_2 e^{\frac{x_d}{L_n}}}{L_n} - qD_n \alpha C_3 e^{-\alpha x_d} \quad (A4-33)$$

ANEXO 5

MACROMODELO EN PSPICE DE UN PIXEL DE TIPO FOTOCOMPUERTA

.SUBCKT Idiff STX I SUB

+params: tint=0 tx=0 area=0 pinc=0 vg=0 lambda=0

```

* -----
*   CINVSTAV / INGENIERIA ELECTRICA / SEES / LABORATORIO DE SISTEMAS VLSI
*   CORRIENTE DE DIFUSION EN UNA ESTRUCTURA FOTOCOMPUERTA CMOS
* -----

```

```

* (tint) Photocarge integration-time
* (tx)   Transfer time (it must match the STX pulse width)
* (area) Photogate area, in [cm^2]
* (pinc) Incident power per unit area, in [w/cm^2]
* (lambda) Incident light-wavelength, in [um]

```

```

* Model parameters (IC process dependent) -----
.param h=6.62617e-34 ; Planck's constant, in [joules*sec]
.param R=0.0 ; Reflection coefficient
.param xepi=152e-4 ; Thickness of the epitaxial layer, in [cm]
.param Nd=1e17 ; Electron doping concentration, in [1/cm^3]
.param Na=3.9848e15 ; Holes doping concentration, in [1/cm^3]
.param ni=1.45e10 ; Silicon intrinsic carrier concentration, in [1/cm^3]
.param K=1.38066e-23 ; Boltzmann's constant, in [joules/kelvin]
.param q=1.602e-19 ; Electron charge, in [coulombs]
.param mobp=214.33 ; Surface hole mobility, in [cm^2/v*s]
.param mobn=652.22 ; Surface electron mobility, in [cm^2/v*s]
.param eps=1.035e-12 ; Silicon dielectric permittivity, in [F/cm]
.param c=2.99e14 ; Speed of light in vacuum, in [um/s]
.param Tgate=2e-4 ; Thickness of the poly-gate, in [cm]
.param Tox=0.0319e-4 ; Thickness of the thin-oxide, in [cm]
.param T=300 ; Room temperature

```

```

* Model expressions -----
.param tn={1/(3.45e-12*Na+9.5e-32*(Na**2))};Elec. lifetime for Si [sec]
.param npo={(ni**2)/Na} ; Minority carrier concentration, in [1/cm^3]
* Electron diffusion constant, empirical expression for silicon:
.param Dn={{(K*T)/q}*(65.4+(1265/(1+(Na/8.5e16)**0.72)))}
* Dn, in [cm^2/seg]
.param Ln={sqrt(Dn*tn)} ;Electron diffusion length, in [cm]
* Absorption coefficient, empirical expression for silicon
.param alfa={{(84.732/lambda)-76.417**2}; Lambda in [um], but alpha in [cm].
.param fio={ (lambda*pinc*(1-R)/(h*c)) } ; Optical incident photon-flux
* [{um*joules/(s*cm^2)}/joules*s *um/s]}>1/(cm^2*s)
.param fio1={fio*exp(-alfa*Tgate)}; photon-flux at the substrate surface

```

```

* Model expressions for the diffusion current model -----
.param Ct1={ (q*Na)/(2*eps) }
.param Ct2={ (q*Na*Tox)/(2*eps) }
.param xd={ (-Ct2+sqrt((Ct2**2)+4*Ct1*Vg))/(2*Ct1) } ; depletion width
.param C3={ (fio1*alfa*(Ln**2))/(Dn*(1-(alfa**2)*(Ln**2))) }
.param C1num={ -npo*exp(-xepi/Ln)+C3*(exp(-xd/Ln)*exp(-alfa*xepi)-
exp(-xepi/Ln)*exp(-alfa*xd))}
.param C1den={ exp(xd/Ln)*exp(-xepi/Ln) - exp(xepi/Ln)*exp(-xd/Ln) }
.param C1={C1num/C1den}
.param C2num={(-npo*exp(xepi/Ln)-C3*(exp(xd/Ln)*exp(-alfa*xepi)-
exp(xepi/Ln)*exp(-alfa*xd)))}
.param C2den={ (exp(xepi/Ln)*exp(-xd/Ln)-exp(xd/Ln)*exp(-xepi/Ln)) }
.param C2={C2num/C2den}

```

```

.param jtot={abs((-q*(Dn/Ln)*C1*exp(xd/Ln)+
q*(Dn/Ln)*C2*exp(-xd/Ln)-
q*Dn*C3*alfa*exp(-alfa*xd)))}

```

```

.func switch1(Z)={1/(1+exp(-5*(z-2.5)))}

```

```

* blocks GPG if STX is in low-state (STX=0V)

```

```

.param qint={area*jtot*tint}

```

```

*Charge accumulated during integration time (tint)

```

```

* Implements the pulse current source

```

```

GDIFF I SUB VALUE = {switch1(V(stx))*qint/tx}

```

```

*Same charge, transferred when STX is in on-state

```

```

ends Idiff

```